

Circuitos Secuenciales

Fundamentos de Computadores
Escuela Politécnica Superior. U.A.M

Índice de la Unidad 4

U4. Circuitos secuenciales

U4.1. Contadores.

U4.1.1. Contador en anillo.

U4.1.2. Otros contadores síncronos. Análisis y Síntesis.

U4.2. Sistemas secuenciales. Máquina de estados finitos.

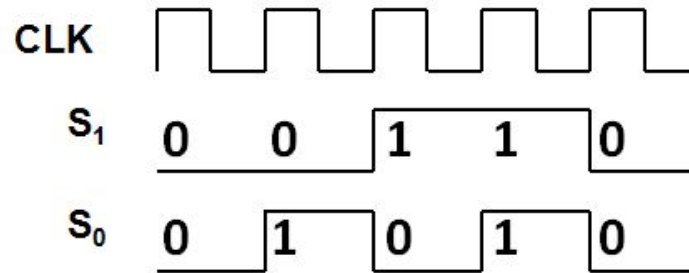
U4.3. Circuitos de Moore y Mealy. Síntesis de estados.

U4.4. Ejemplos de máquinas de estados finitas.

Contadores Síncronos

Contador. Sistema secuencial que cambia de valor (estado) cuando cambia la señal de reloj.

- ✓ Sirven para contar eventos en los sistemas digitales.
 - Ej.: contar pulsos del reloj (flancos [⌋] se utilizan flip-flops).

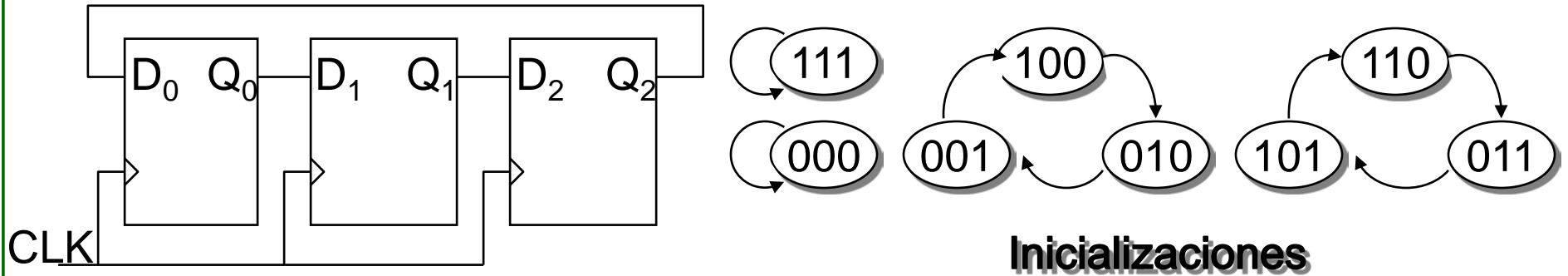


- ✓ Módulo de un contador es el número máximo de estados que puede contar (para n bits, Módulo = 2^n).

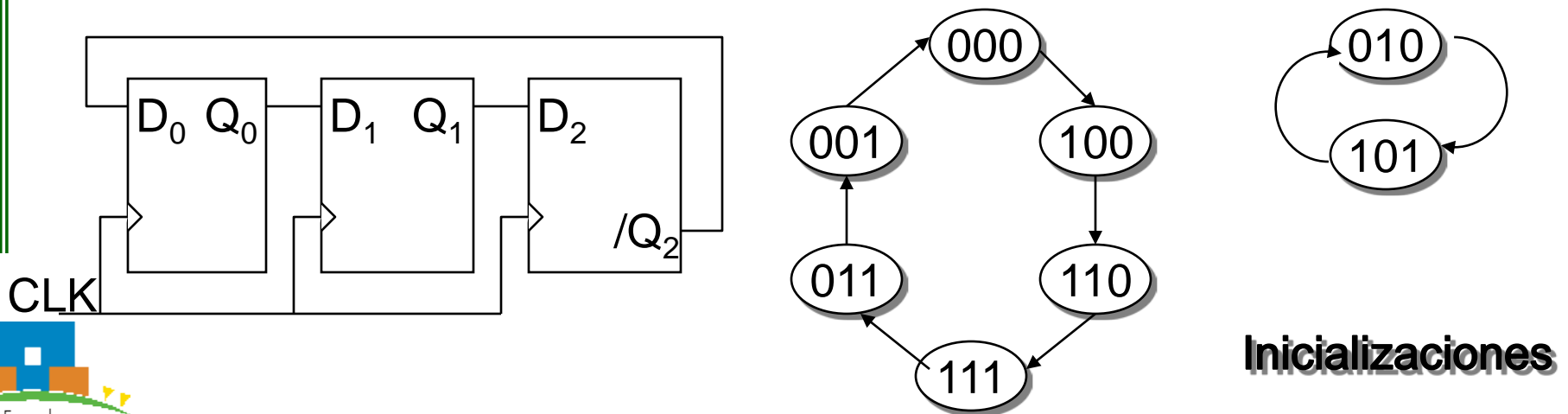
Contadores Síncronos. Análisis

Utilizando registros de desplazamiento

a) Contador en anillo



b) Contador Johnson

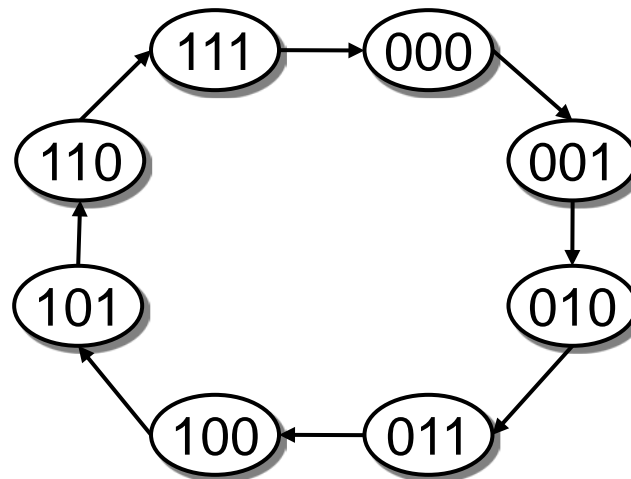
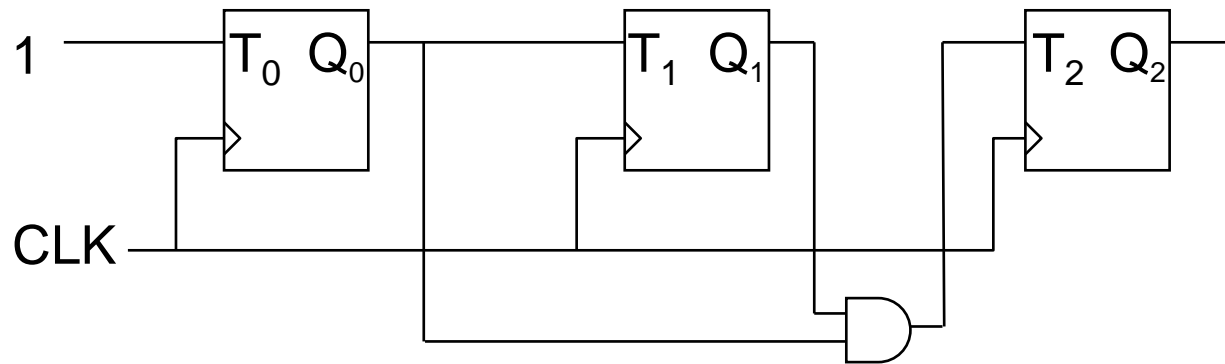


Contadores Síncronos. Análisis

Utilizando registros de desplazamiento

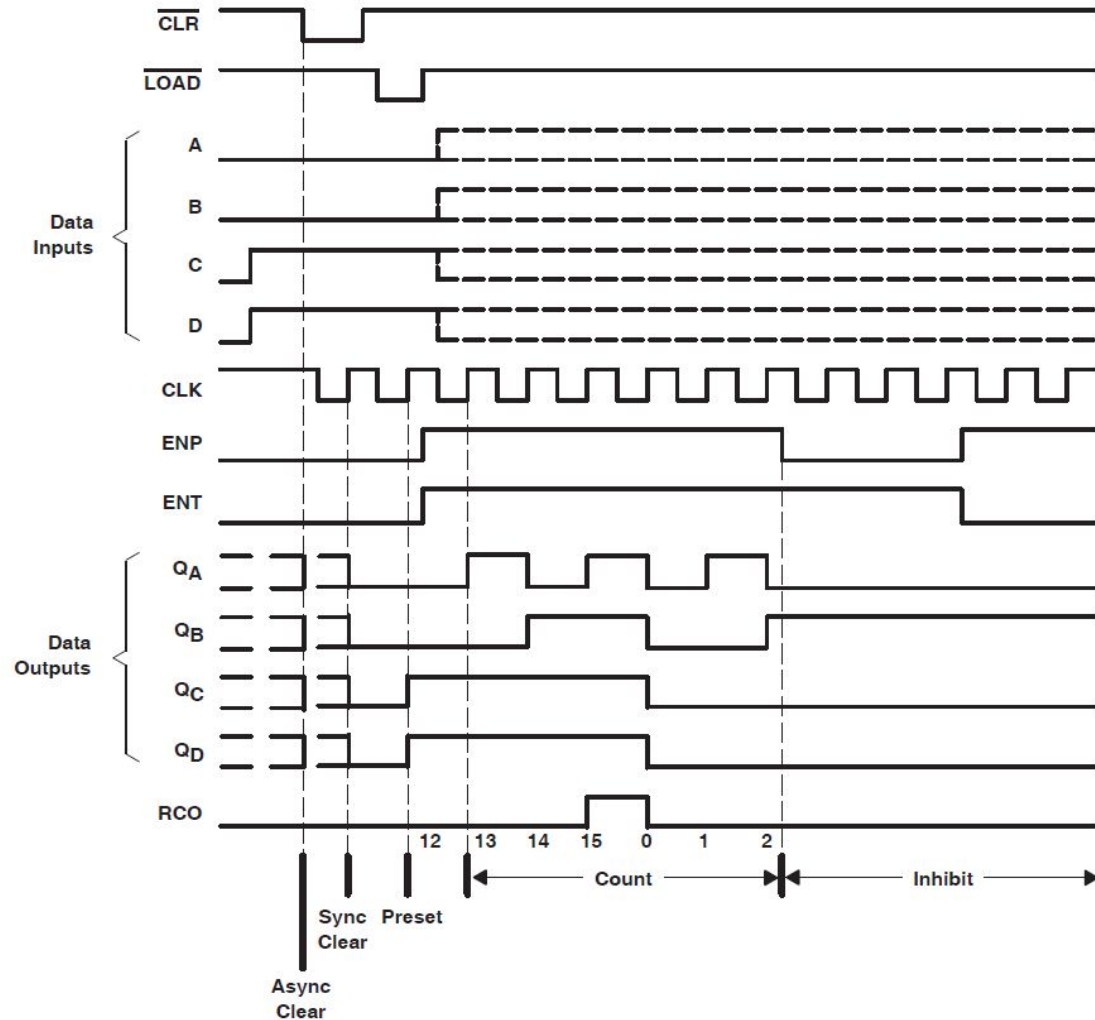
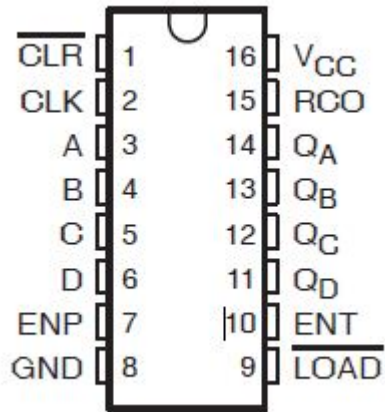
c) Contador binario 3b de módulo máximo (8 estados).

	Q_2	Q_1	Q_0
S_0	0	0	0
S_1	0	0	1
S_2	0	1	0
S_3	0	1	1
S_4	1	0	0
S_5	1	0	1
S_6	1	1	0
S_7	1	1	1



Contadores Síncronos. Análisis

d) Contador binario 4b: 74HC163



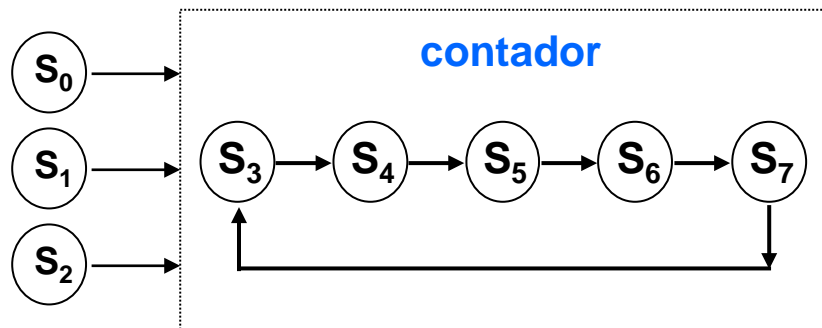
Contadores Síncronos. Síntesis

- ✓ Pasos a seguir para el diseño de contadores de **m** estados.
 - El número de estados determina el número n (mínimo) de flip-flops, $2^n \geq m$
 - Elegir el orden en el que se recorrerán los estados (diagrama de estados).
 - Definir un estado inicial.
 - Definir una solución para posibles bloqueos.
 - Escribir la tabla de transición entre estados:
Estado actual (n) → Estado siguiente ($n+1$).
 - Elegir el tipo de biestable con el que realizar el diseño (**D**, **T**, **JK**).
 - Escribir la ecuaciones de estado $\{ g(Q_i^n, E_i^n) \}$

Contadores Síncronos. Síntesis

EJEMPLO

- ✓ Contador de 5 estados. $2^3 > 5 > 2^2 \Rightarrow$ (3 flip-flops)
- ✓ Secuencia de estados: S_3, S_4, S_5, S_6, S_7 ; $Q_2 Q_1 Q_0 = (011, 100, 101, 110, 111)$
- ✓ Añadir antibloqueo: si S_0, S_1 o $S_2 \Rightarrow S_4$



Estado ACTUAL				Estado SIGUIENTE		
	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
S_0	0	0	0	1	0	0
S_1	0	0	1	1	0	0
S_2	0	1	0	1	0	0
S_3	0	1	1	1	0	0
S_4	1	0	0	1	0	1
S_5	1	0	1	1	1	0
S_6	1	1	0	1	1	1
S_7	1	1	1	0	1	1

Sistemas secuenciales

Características:

- Un circuito secuencial es una máquina de estados finita (FSM).
- El cambio desde el estado actual ($t = n$) al estado siguiente ($t + \Delta t = n + 1$) se produce síncronamente con la señal del reloj del sistema (\uparrow ó \downarrow).
- El estado del sistema se define por los valores asociados a las salidas (Q_i) de los biestables que lo configuran.
- El paso al estado siguiente (Q_i^{n+1}) depende del estado actual (Q_i^n) y de las entradas aplicadas al sistema (X_i^n) cuando sucede la fase activa del reloj.

Las salidas (S_i) dependen sólo del estado (Q_i)

FSM-MOORE: $S^n = g(Q^n)$

Las salidas (S_i) dependen del estado (Q_i) y de las entradas (E_i)

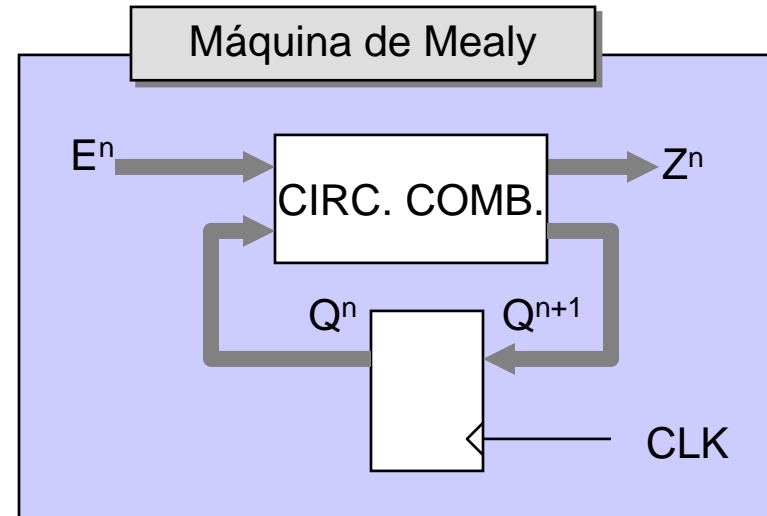
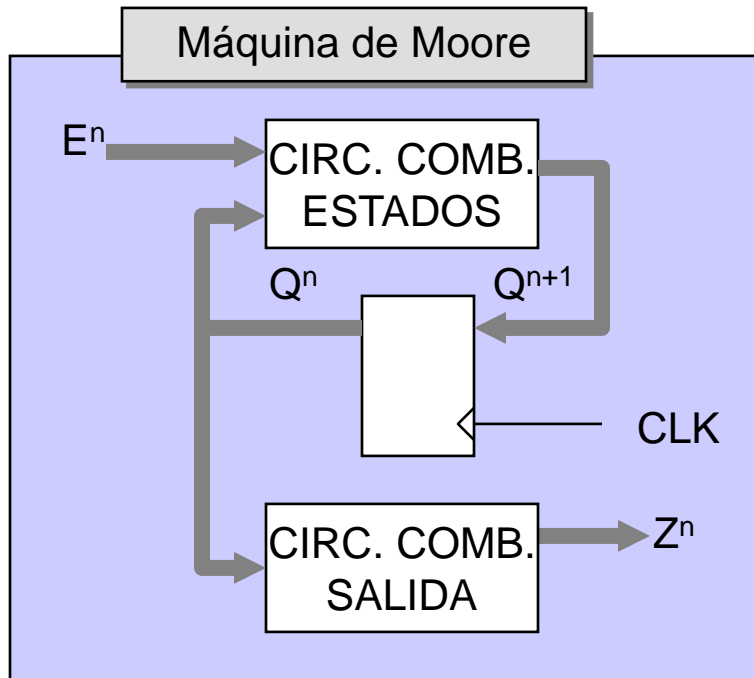
FSM-MEALY: $S^n = g(Q^n, E^n)$

Sistemas secuenciales

OBJETIVOS:

- ✓ Plantear la funcionalidad de forma estructurada → Diagrama de estados

SÍNTESIS: Diagrama de estados ⇒ Circuito



La máquina queda determinada por los circuitos combinatoriales que contiene

Sistemas secuenciales. Síntesis

A Identificación de entradas y salidas

B Diagrama de estados

C Comprobación y reducción del diagrama

D Determinación del número y tipo de biestables

E Asignación de estados

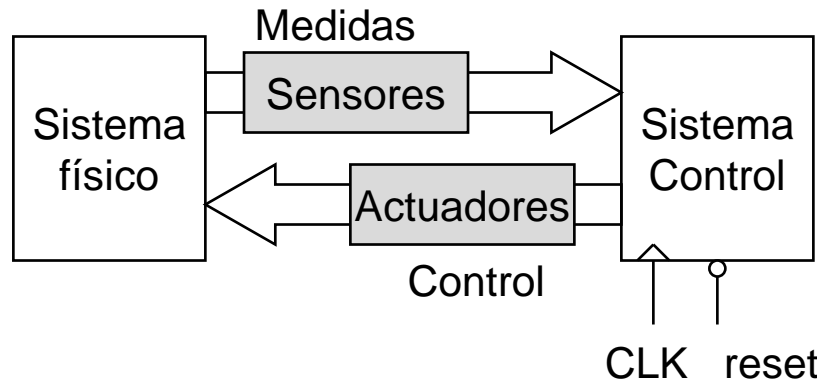
F Tablas de verdad

G Minimización de funciones lógicas

H Diseño del circuito

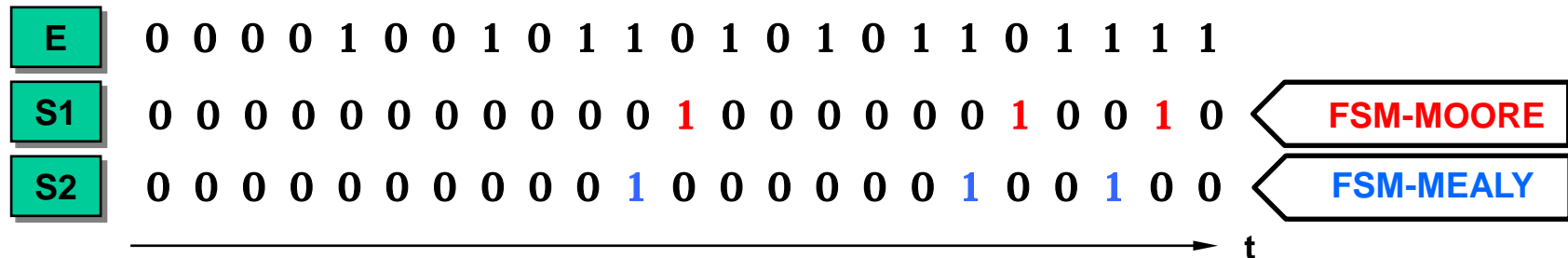
Puede haber variaciones en función del tipo de implementación

Sistemas Secuenciales. Síntesis



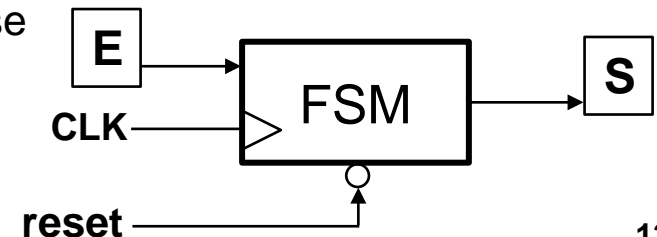
En los sistemas de control, los sensores son las entradas del circuito y los actuadores son las salidas del mismo.

Ejemplo_1: Detectar la secuencia con solapamiento de valor "1011" síncrona con un reloj.



A Identificación de entradas y salidas

- Determinar las señales que entran o salen del circuito que se quiere diseñar
- El reloj y el reset deben ir siempre, y en el diseño no se consideran como entradas



Sistemas Secuenciales. Síntesis

Ejemplo_1: Detectar la secuencia con solapamiento de valor "1011" síncrona con un reloj.

E	0	0	0	0	1	0	0	1	0	1	1	0	1	0	1	1	0	1	1	1	1				
S1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1	0	
S2	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1	0	0

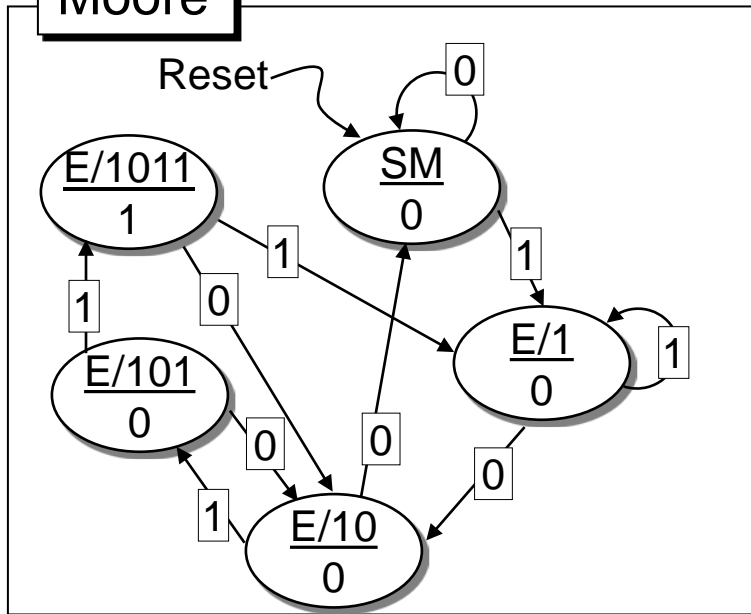
FSM-MOORE
FSM-MEALY

t

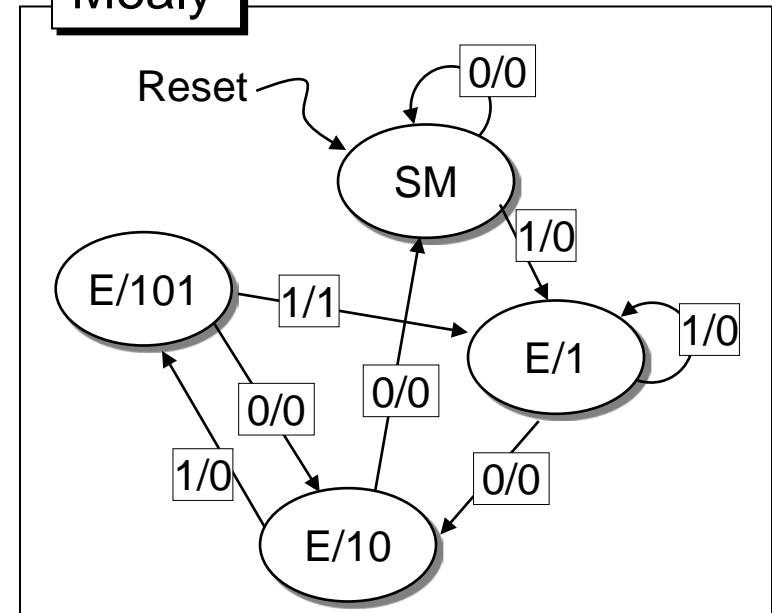
B

Diagrama de estados (NO AUTOMATIZABLE (no hay método sistemático))

Moore



Mealy



Sistemas Secuenciales. Síntesis

Ejemplo_1: Detectar la secuencia con solapamiento de valor “1011” síncrona con un reloj.

D Determinación del número y tipo de biestables

N estados \Rightarrow n biestables tal que $2^n \geq N$

Moore

5 estados \rightarrow 3 biestables

Mealy

4 estados \rightarrow 2 biestables

E Asignación de estados

Moore

ESTADO	Valor binario		
	Q ₂	Q ₁	Q ₀
SM	0	0	0
E/1	0	0	1
E/10	0	1	0
E/101	1	0	0
E/1011	1	1	1

Mealy

ESTADO	Valor binario	
	Q ₁	Q ₀
SM	0	0
E/1	0	1
E/10	1	0
E/101	1	1

Sistemas Secuenciales. Síntesis

Ejemplo_1: Detectar la secuencia con solapamiento de valor “1011” síncrona con un reloj.

F Tablas de verdad: Estado y Salida (Moore)

Estado Actual			
Q_2^n	Q_1^n	Q_0^n	E^n
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
1	0	0	0
1	0	0	1
1	1	1	0
1	1	1	1

Estado Siguiete		
Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0
0	0	1
0	1	0
0	0	1
0	0	0
1	0	0
0	1	0
1	1	1
0	1	0
0	0	1

Salida
S_1
0
0
0
0
0
0
0
0
1
1

Ec. Estado (3)

Ec. Salida

Sistemas Secuenciales. Síntesis

Ejemplo_1: Detectar la secuencia con solapamiento de valor “1011” síncrona con un reloj.

F Tablas de verdad: Estado y Salida (Mealy)

Estado Actual		
Q_1^n	Q_0^n	E^n
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

Estado Siguiente	
Q_1^{n+1}	Q_0^{n+1}
0	0
0	1
1	0
0	1
0	0
1	1
1	0
0	1

Salida
S_2
0
0
0
0
0
0
0
0
1

Ec. Estado (2)

Ec. Salida

Sistemas Secuenciales. Síntesis

Ejemplo_1: Detectar la secuencia con solapamiento de valor “1011” síncrona con un reloj.

G Minimización de funciones lógicas

H Diseño del circuito

- Las ecuaciones de estado dependen del tipo de biestable seleccionado. En cada caso las ecuaciones de transición que se deben aplicar son:

Q_i^n	\rightarrow	Q_i^{n+1}
0	\rightarrow	0
0	\rightarrow	1
1	\rightarrow	0
1	\rightarrow	1

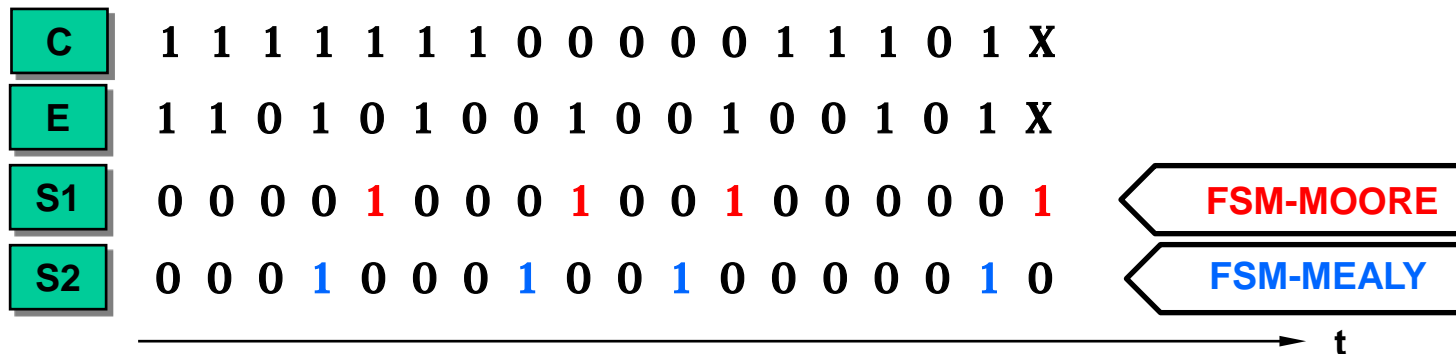
D_i^n
0
1
0
1

T_i^n
0
1
1
0

J_i^n	K_i^n
0	X
1	X
X	1
X	0

Otros circuitos de tipo Moore o Mealy

Ejemplo_2: Detectar una secuencia completa sin solapamiento de tres bits consecutivos en función de una señal de control C (si C = 0 secuencia 100, si C = 1 secuencia 101). Si en medio de la búsqueda de una secuencia válida, se cambia la señal de control, el circuito debe responder en el flanco de reloj siguiente a la nueva señal.



Otros circuitos de tipo Moore o Mealy

Ejemplo_3: Se pide controlar una máquina expendedora de bebidas. Las entradas al circuito son señales que provienen de la entrada de monedas. Las salidas son señales que se deben enviar para dispensar la bebida (única) y activar la devolución del cambio cuando sea necesario. El precio de la bebida es de 1,5 €, el sistema sólo admite monedas de 50 céntimos, 1 € y 2 €, monedas que se detectan de una en una de forma independiente y en un único ciclo del sistema. Se quiere el diseño de Moore y de Mealy.

Ejemplo_4: Sean dos procesadores que comparten una misma zona de memoria que sólo acepta el acceso de uno a la vez. Los procesadores pueden solicitar acceso a la memoria por las líneas X_i ($i=1,2$). Ante una petición de acceso por parte de cualquiera de los procesadores, la FSM a diseñar, activa una de las líneas Z_i ($i=1,2$), para indicar a qué procesador concede el permiso de uso. Si la memoria está ocupada, no se atienden nuevas peticiones, hasta que quede libre. Si la memoria está libre, se acepta la petición del procesador que lo solicite. En el caso de una petición simultánea, la FSM aplica el siguiente protocolo de prioridad, la mayor prioridad la tiene el procesador que hace más tiempo que no ha usado la memoria. Se pide diseñar el diagrama de Moore para esta FSM de control.

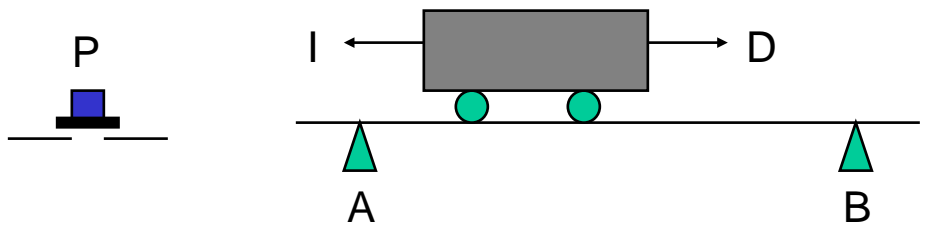
Otros circuitos de tipo Moore o Mealy

Ejemplo_5: Para controlar el movimiento de un carro de transporte de material entre dos puntos A y B, se dispone de dos sensores de presencia en dichos puntos y de un pulsador P. El motor se controla mediante dos señales D e I para desplazarse a derecha e izquierda. El funcionamiento del sistema ha de ser el siguiente:

- ☞ Inicialmente, el carro está parado en la posición A.
- ☞ Al pulsar el botón P, el carro arrancará hacia la posición B sin detenerse. Una vez llegado a B, el carro se pondrá en marcha en dirección opuesta, sin detenerse, hasta llegar de nuevo al punto A. Durante los trayectos no se atenderá al valor de P.
- ☞ Si al llegar al punto A, el botón P no está pulsado, el carro se detendrá. Si al llegar a A, el botón P está pulsado, se iniciará un nuevo trayecto.

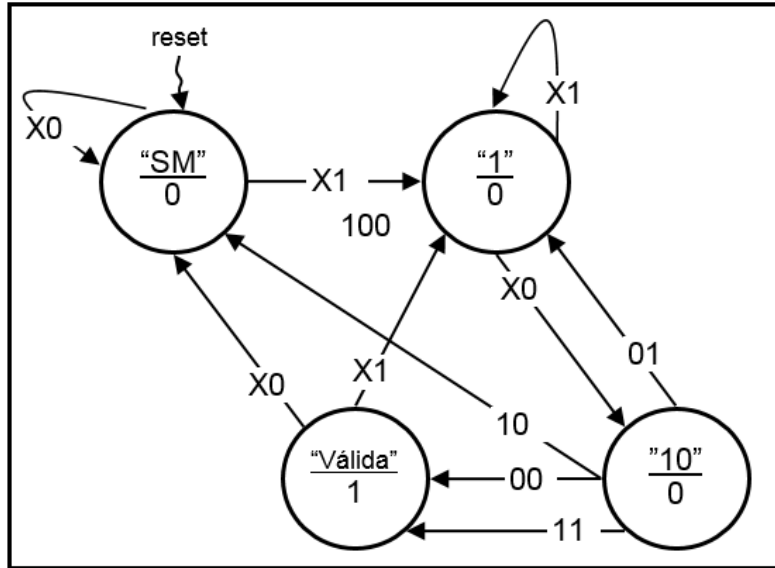
Determinar:

- Diagrama de estados Mealy
- Tablas de verdad
- Ecuaciones de estado minimizadas



Ejemplo_2:

Solución:



Explicar redundancia:

Un quinto estado "Válida" como resolución de la segunda secuencia

Asignación de estados en el orden de detección de una secuencia válida: SM (00), "1" (01), "10" (10) y "Sec. Válida" (11).

Las entradas al sistema son S y X. La salida vale 1 en el estado 11.

Las ecuaciones de excitación y salida son:

$$D_0 = X + Q_1 \overline{Q_0} \overline{S}$$

$$D_1 = \overline{Q_1} \overline{Q_0} \overline{X} + Q_1 \overline{Q_0} S X + Q_1 \overline{Q_0} \overline{S} \overline{X}$$

$$Z = Q_1 Q_0$$

Ejemplo_3:

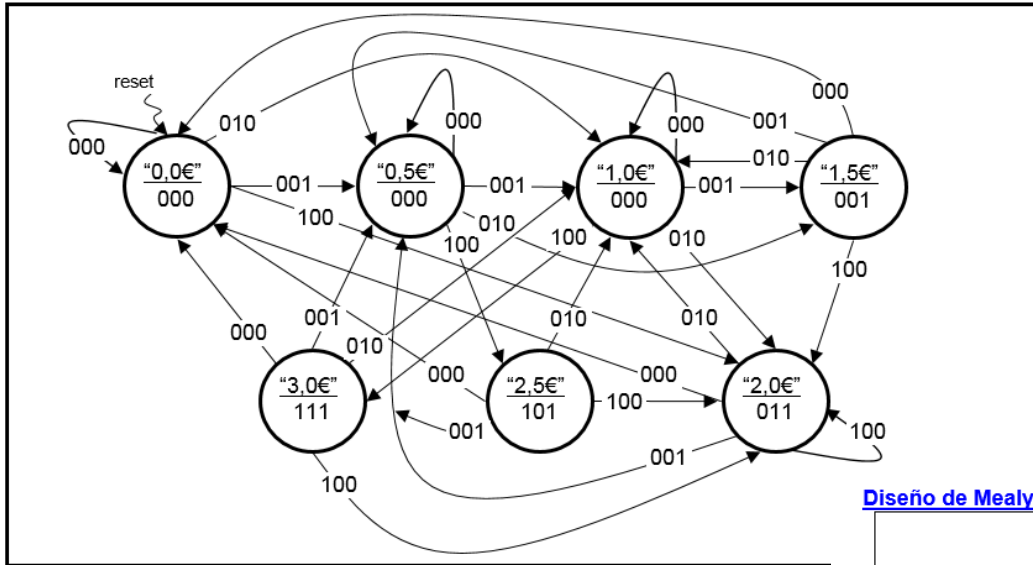
Solución:

Asignación de entradas: X_2, X_1, X_0 , equivalen a introducir una moneda de 2 €, 1 € y 0,5 € respectivamente.

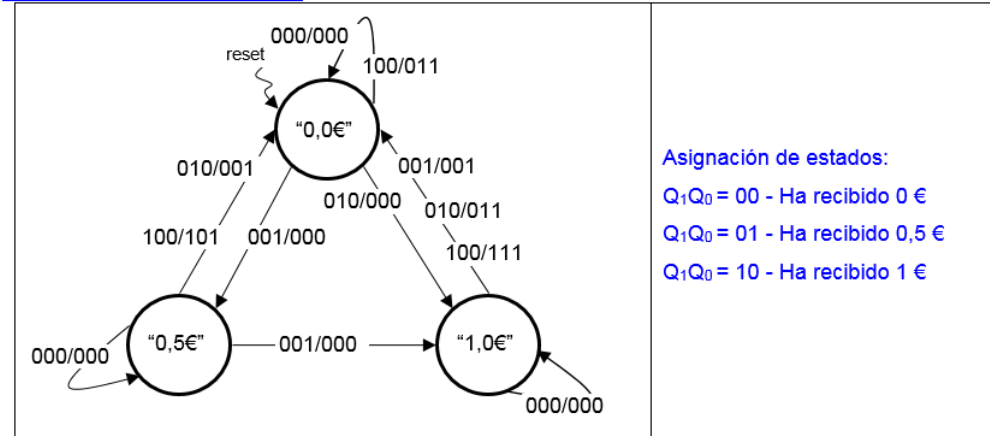
Cualquier combinación que suponga recibir más de una moneda al tiempo no se considera.

Asignación de salidas: Z_2, Z_1, Z_0 , equivalen, devolver 1 €, devolver 0,5 € y a dispensar bebida respectivamente.

Diseño de Moore (7 estados)



Diseño de Mealy (3 estados):

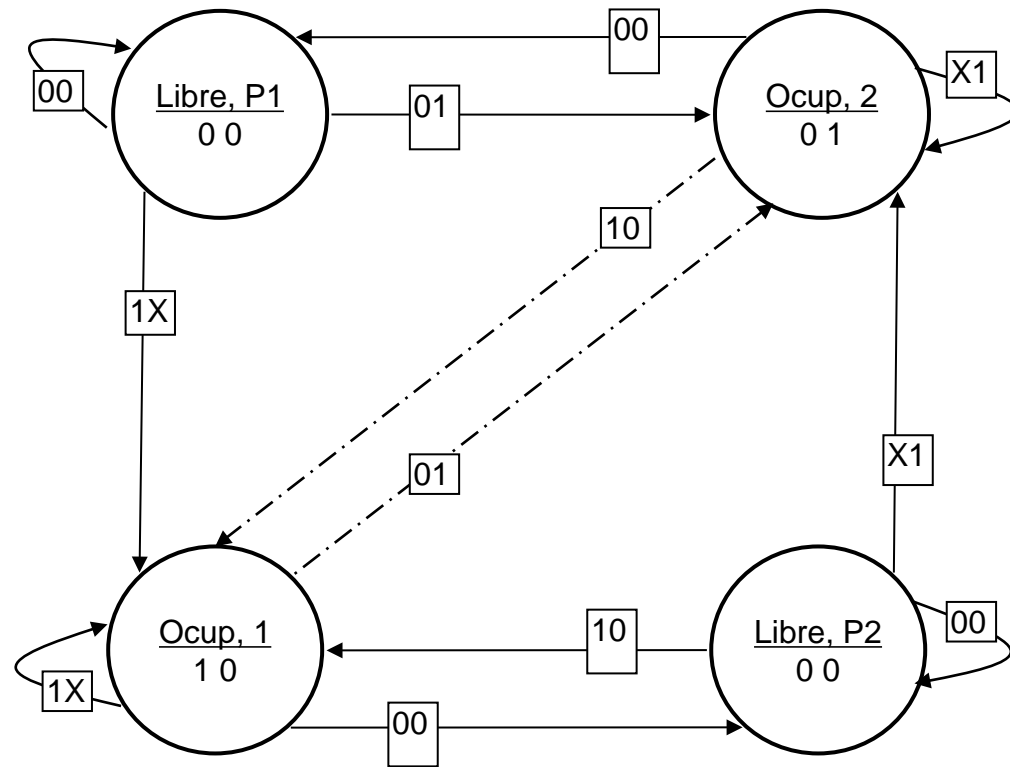


Asignación de estados:
 $Q_1Q_0 = 00$ - Ha recibido 0 €
 $Q_1Q_0 = 01$ - Ha recibido 0,5 €
 $Q_1Q_0 = 10$ - Ha recibido 1 €

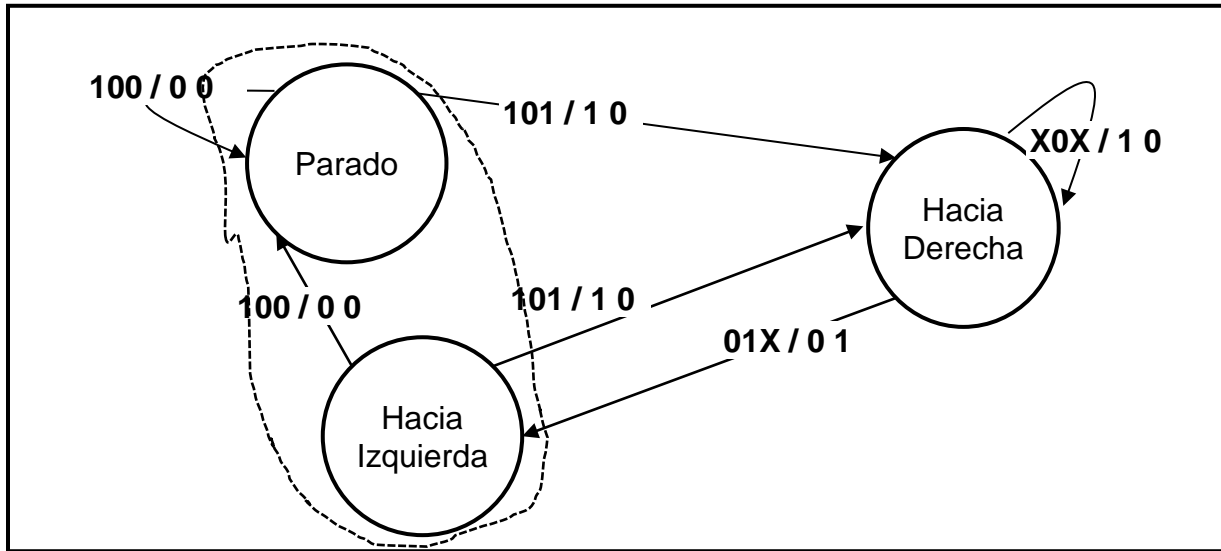
Ec. Salida: $Z_0 = X_2 + Q_0X_1 + Q_1X_1 + Q_1X_0$; $Z_1 = Q_1X_1 + \overline{Q_0}X_2$; $Z_2 = Q_1X_2 + Q_0X_2$

Ec. Estado: $D_0 = \overline{Q_1} \overline{Q_0} X_0 + Q_0 \overline{X_2} \overline{X_1} X_0$; $D_1 = Q_0X_0 + \overline{Q_1} \overline{Q_0} X_1 + Q_1 \overline{X_2} \overline{X_1} \overline{X_0}$

Ejemplo_4:



Ejemplo_5:



ABP / D I

Si IZQ \equiv PARADO

