

Ejemplo:

TC: 0 0 0 0 | 1 | 1 1 1 | 2 | 2 2 ...  
 PC: 0 1 2 3 | 0 | 1 2 3 | 0 | 1 2 ...  
 (PR=3)

PC Contador preescaler  
 TC Contador timer

PR Valor del preescaler (\*)  
 TCR TC Reset; TC Enable

IR NR0? NR1? NR2? NR3?  
 CR0? CR1?

MATCH:



Comparadores → Si TC = NRn entonces pueden ocurrir eventos, que se configuran en el registro NER y ENR

NER bit 0 INT en NR0  
 bit 1 RESET en NR0  
 bit 2 STOP en NR0  
 bit 3 INT en NR1  
 bit 4 RESET en NR1  
 ...

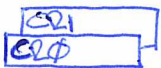
Cambios internos

ENR

bit 0: Si TC = NR0 → EN0 cambia de estado  
 bit 1: Si TC = NR1 → EN1 cambia de estado  
 ...  
 NOTA:  
 EN0 corresponde con el pin PAT0.0  
 EN1 " " " " PAT0.1  
 ...

Cambios externos

CAPTURE:



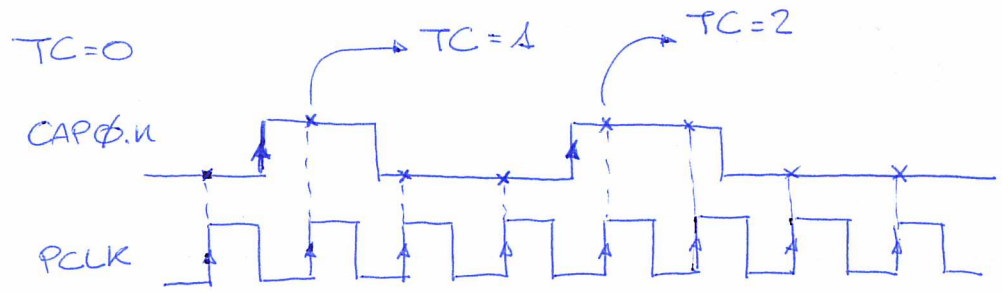
Capturan valor de TC cuando en los pines CAP0.n ocurren eventos. Estos eventos se configuran en el registro CCR

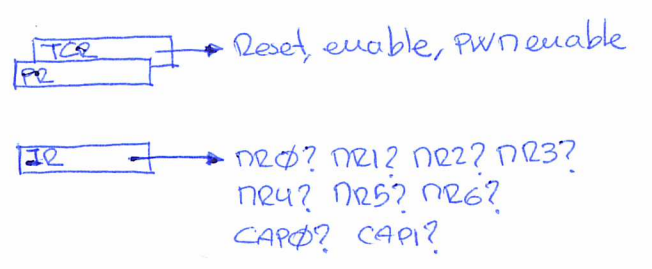
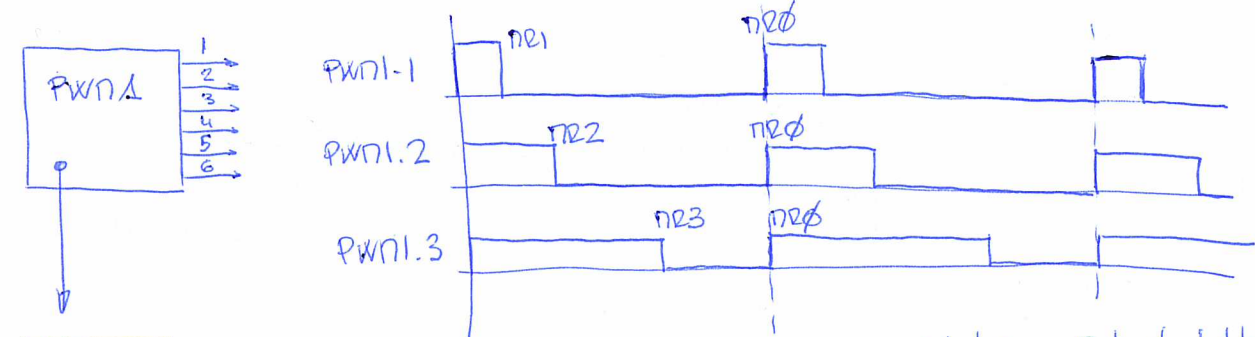
CCR bit 0 Captura cuando se produce un  $\downarrow$  en el pin CAP0.0  
 bit 1 " " " " "  $\uparrow$  " " " CAP0.0  
 bit 2 Interrumpe cuando ocurre un evento en CAP0.0  
 bit 3 Captura cuando se produce un  $\downarrow$  en el pin CAP0.1  
 bit 4 " " " " "  $\uparrow$  " " " CAP0.1  
 bit 5 Interrumpe cuando ocurre un evento en CAP0.1

COUNTER:

CTCR

bit 1:0	00	→	Modo Timer
	01	→	Modo Counter por $\bar{F}$ em CAP $\phi$ .n
	10	→	" " " $\bar{Z}$ em CAP $\phi$ .n
	11	→	" " " $\bar{F}$ e $\bar{Z}$ em CAP $\phi$ .n
bit 3:2	00	→	CAP $\phi$ . $\phi$
	01	→	CAP $\phi$ .1



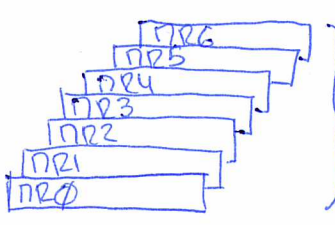


- bit 2 → Select double/single edge para PWN1?
- 3 → " PWN1.3
- 4 → " PWN1.4
- 5 → " PWN1.5
- 6 → " PWN1.6

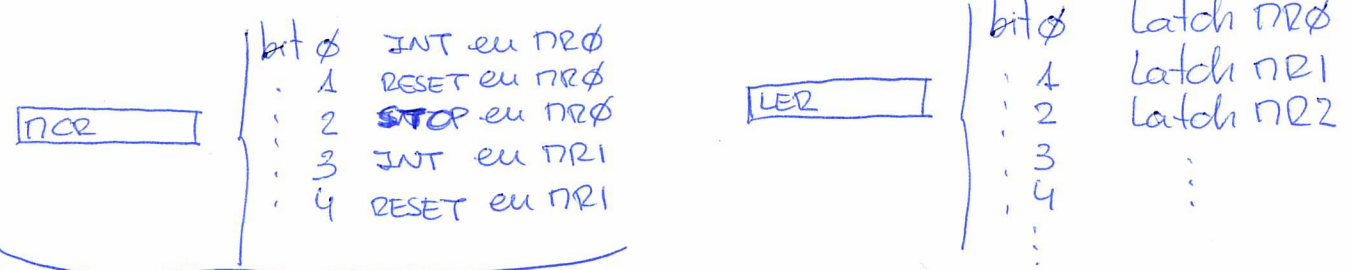
---

- 9 → PWN1.1 output enabled
- 10 → PWN1.2 " "
- ...
- 14 → PWN1.6 " "

**CATCH:**

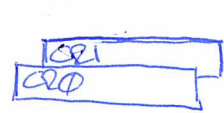


Comparadores ⇒ Si TC = PRn entonces pueden ocurrir eventos, que se configuran en el registro PCR

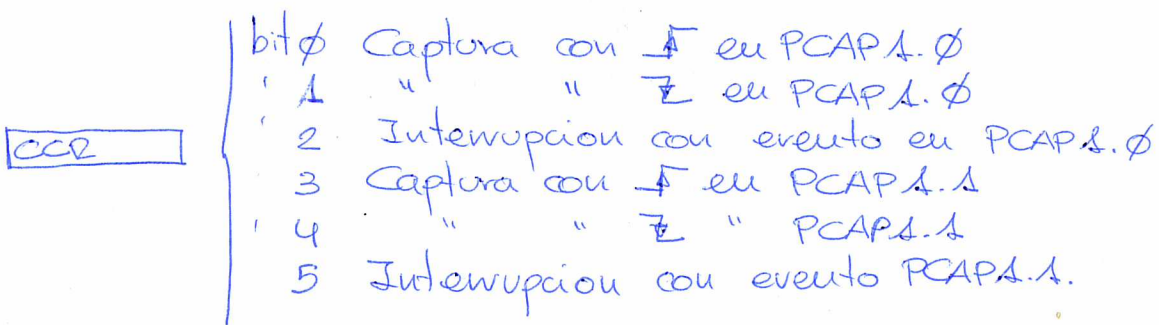


Cambios internos

**CAPTURE:**



Capturan valor de TC cuando en las pines PCAP1.n ocurren eventos. Estos eventos se configuran en el registro CCR



COUNTER:

CTCR

bit 1:0

00 → Timer

01 → Counter por  $\downarrow$  em PCAP1.n

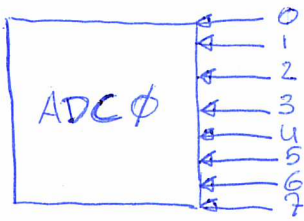
$\phi$ 0 → " "  $\bar{E}$  " "

11 → " "  $\bar{E}$  em PCAP1.n

bit 3:2

00 → PCAP1.0

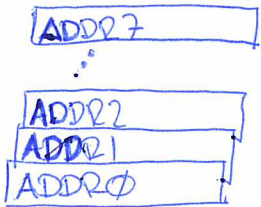
01 → PCAP1.1



SEL: Selección de canal  
 CLKDIV: " de  $PClk|_{ADC\phi}$  ( $< 13MHz$ )  
 BURST: Sw/burst  
 PDN: Señal enable  
 START: Indica cuando se inicia lectura  
 EDGE: Flanco de activación  $\uparrow$

ADINTEN  $\rightarrow$  Selecciona si conversión en  $ADC\phi.\phi \dots ADC\phi.7$  producirán interrupción.

ADGINTEN:  $\phi \Rightarrow$  Interrupción sólo cuando los canales activos generen interrupción (bit DONE)  
 $\uparrow \Rightarrow$  la interrupción la genera el bit DONE del registro ADGDR



RESULT: Valor leído

OVERRUN: La última adquisición no fue leída

DONE:  $\uparrow$  cuando conversión ha terminado en ese canal  
 Se pone a cero cuando se lee el registro ADDR<sub>n</sub>



RESULT: Contiene el último valor leído + cualquiera de los canales.

CHN: Que canal ha leído el dato

OVERRUN: la última adquisición no fue leída.

DONE: Ha terminado la última conversión. Se pone a  $\phi$  cuando se lee el registro.



Espejo de los bits de DONE y OVERRUN de cada canal.

ADINT: Flag de interrupción.