

Colección de Problemas de Transistor de Efecto de Campo. Capítulo 5

1.

Debido a un error de fabricación, en el circuito de la figura 5.1 la resistencia R_S está cortocircuitada ($R_S = 0$). Las especificaciones del FET indican que κ puede estar entre 220 y 380 $\mu\text{A}/\text{V}^2$ y V_T entre 1,3 y 2,4 V. Se pide:

- ¿Cuánto vale la tensión en la puerta?
- Suponiendo R_D tal que el transistor está en saturación, ¿entre qué valores extremos puede estar I_D en este circuito?
- ¿Cuánto tendría que valer R_S para que la máxima I_D posible fuera 0,15 mA estando el transistor en saturación?

DATOS: $V_{DD}=12\text{ V}$; $R_{G1}=5,6\text{ M}\Omega$; $R_{G2}=2,2\text{ M}\Omega$

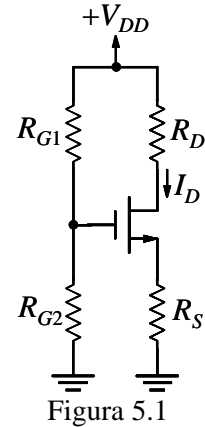


Figura 5.1

2.

El circuito de la figura 5.2 utiliza un transistor FET de deplexión con una tensión umbral $|V_T| = 7\text{ V}$. Se pide:

- Calcule la tensión V_{DS} .
- El parámetro κ es directamente proporcional a la relación de aspecto Z/L . Si la longitud del canal, L , se redujera a la mitad, ¿en qué región trabajaría el FET si la tensión umbral fuera la misma?

DATOS:

$$\kappa=0,02\text{ mA}/\text{V}^2$$

$$R_D=7\text{ k}\Omega, R_S=1\text{ k}\Omega, V_{GG}=12\text{ V}$$

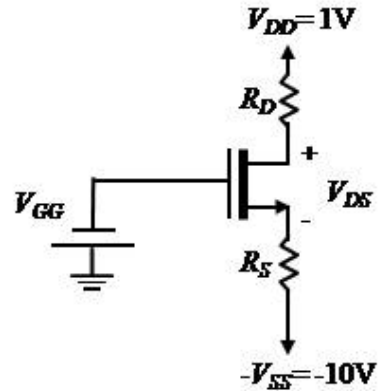


Figura 5.2

3.

Calcule y represente la respuesta del circuito de la figura 5.3(a) al pulso dibujado junto a él. Utilice la información de las curvas características del transistor dibujadas en la figura 5.3(b). Suponga despreciable el efecto de todas las capacidades.

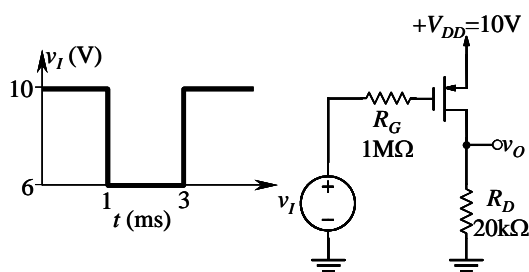


Figura 5.3(a)

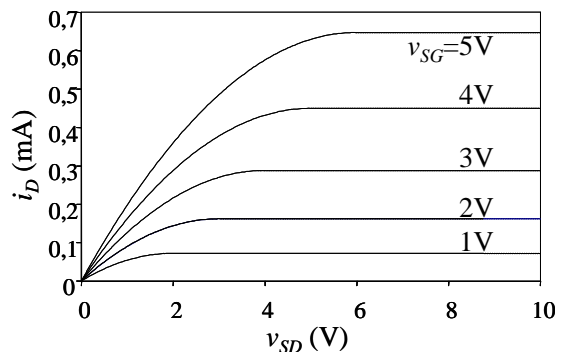


Figura 5.3(b)

4.

Para el circuito inversor de la figura 5.4 se pide:

- Determine el valor mínimo de R_D que garantiza que el nivel a la salida es menor que 2 V cuando $v_I = 5$ V.
- Para este valor de R_D , indique los valores de v_I para los que el transistor cambia de estado ($0 \leq v_I \leq 5$ V).

DATOS:

$$V_{DD} = 5 \text{ V}; V_T = 1 \text{ V}; k = 20 \mu\text{A} \cdot \text{V}^{-2}$$

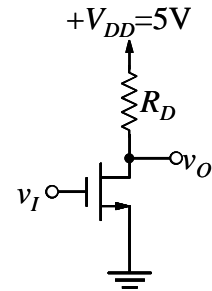


Figura 5.4

5

Se quiere diseñar un divisor de tensión mediante transistores MOSFET de canal n y de acumulación, según el esquema de la figura 5.5. Sabiendo que sus tensiones umbral cumplen $V_{T1} = 2V_{T2} = 2$ V, se pide que:

- Calcule el valor mínimo de V_{DD} ($V_{DD,min}$) que asegura un correcto funcionamiento del conjunto. Indicar el estado de los transistores para este valor de V_{DD} .
- Deduzca una expresión de la tensión de salida V_O en función de V_{DD} , de V_{T1} y de las relaciones Z/L de ambos transistores para $V_{DD} \geq V_{DD,min}$.
- Se desea que el circuito proporcione 0 V a la salida. Calcule para $V_{DD} = 5$ V las relaciones de aspecto Z/L mínimas para ambos transistores, sabiendo que ha de ser $Z/L \geq 1$.

DATOS:

En saturación $I_D = k_{te} \frac{Z}{L} (V_{GS} - V_T)^2$, siendo

$k_{te} = 0,5 \text{ mA/V}^2$ una constante de la tecnología igual para ambos transistores. Por tanto $k = k_{te} Z/L$.

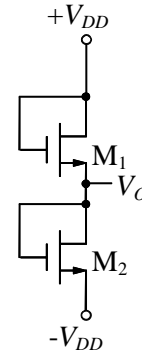


Figura 5.5

6.

Para una determinada aplicación en que se desea duplicar la capacidad de conducción de corriente de un transistor MOST de canal n, se ha decidido conectar otro transistor similar en paralelo, como muestra la figura 5.6. En el caso ideal en que ambos transistores fueran idénticos, el dispositivo conjunto que forman se comportaría como un único transistor equivalente de parámetro κ igual al doble del de los transistores individuales, y de la misma tensión umbral.

No obstante, se ha detectado que las tensiones umbral de ambos transistores son diferentes, lo que aparta al dispositivo conjunto del funcionamiento ideal indicado, como pretende ilustrar este ejercicio. A pesar de ello, el dispositivo conjunto se comporta como un MOSFET de canal n en cuanto a que tiene V_T y $V_{DS,SAT}$. Obtenga razonadamente para el dispositivo conjunto:

- a) Su tensión umbral V_T
- b) La tensión $V_{DS,SAT}$ para $V_{GS} = 3 \text{ V}$
- c) La expresión de la característica $I_D = f(V_{GS})$ para saturación, es decir, M_1 y M_2 en saturación

DATOS:

$\kappa_1 = \kappa_2 = 1 \text{ mA/V}^2$, $V_{T1} = 1 \text{ V}$, $V_{T2} = 2 \text{ V}$,
 En saturación $I_D = \kappa (V_{GS} - V_T)^2$

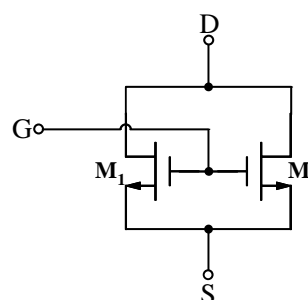


Figura 5.6

7.

Mediante el circuito de la figura 5.7 se pretende alimentar con una corriente determinada la resistencia de carga R_L . Sabiendo que los dos transistores MOSFET de acumulación trabajan en saturación se pide que:

- a) Demuestre razonadamente que $I_1 = I_2$.
- b) Calcule el valor de $I = I_1 = I_2$.
- c) Calcule el máximo valor de R_L para que el transistor M_2 se mantenga en saturación.

DATOS:

$V_{SS} = 10 \text{ V}$, $R = 1 \text{ k}\Omega$

Para los dos transistores: $\kappa = 1 \text{ mA/V}^2$ y se cumple que $|V_{T1}| = |V_{T2}| = 1 \text{ V}$. La corriente de un MOSFET en saturación viene dada por $I_D = \kappa (V_{GS} - V_T)^2$

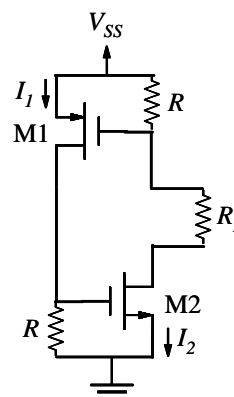


Figura 5.7

8.

En el circuito de la figura 5.8(a) considere que ambos transistores MOSFET de acumulación están trabajando en saturación y en régimen cuasi-estático. $T1$ es de canal n y $T2$ es de canal p.

- a) Demuestre que i_o es proporcional a v_i y calcule la constante de proporcionalidad entre i_o y v_i (es decir, calcule i_o/v_i) en función de V_{DD} , k y V_T .
- b) Si la salida se conecta a la entrada con la resistencia R , tal como se indica en la figura 5.8(b), calcule la relación $R_i = v_i/i_i$ para gran señal.

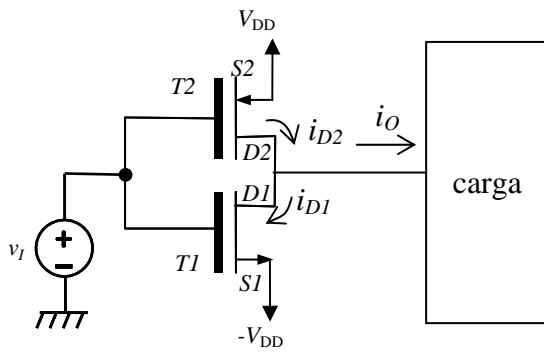


Figura 5.8(a)

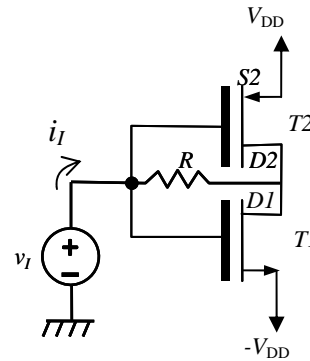


Figura 5.8(b)

DATOS:

$$k = 0,25 \text{ mA/V}^2; |V_T| = 2 \text{ V}; V_{DD} = 12 \text{ V}; R = 30 \Omega; I_{D1} = k(V_{GS1} - |V_T|)^2; I_{D2} = k(V_{SG2} - |V_T|)^2$$

9.

Se pretende estudiar cómo influyen ciertos elementos externos (circuito de polarización) y factores internos de un transistor de efecto de campo, en el comportamiento del dispositivo. Para ello, considérese el circuito de la figura 5.9. Se pide que:

- Calcule los rangos de valores de R_D que hacen trabajar al MOSFET en las distintas regiones de funcionamiento (corte, región gradual y saturación).
- Repita el apartado anterior si se intercambian las tensiones de polarización aplicadas a los nodos de puerta y fuente, esto es, se hacen $V_G = -V_{SS}$ y $V_S = V_{GG}$.
- Se quiere estudiar seguidamente la variación del parámetro de transconductancia del MOSFET en saturación, g_m , con respecto de posibles variaciones de las dimensiones Z y L del transistor en torno a su valor nominal de diseño. Para ello, se escoge un valor de $R_D = 1 \text{ k}\Omega$. Calcule los valores nominal, máximo y mínimo de g_m si

$$\left| \frac{\Delta Z}{Z} \right| = \left| \frac{\Delta L}{L} \right| \leq 0,02 .$$

DATOS:

Circuito de polarización: $V_{DD} = V_{SS} = +5 \text{ V}$; $V_{GG} = 0 \text{ V}$

Transistor MOSFET (de acumulación) de canal n: $V_T = 3 \text{ V}$;

$$\kappa = \kappa' \frac{Z}{L} = 10^{-3} \text{ A/V}^2$$

L : Longitud del canal; Z : Anchura del canal

Característica I-V en saturación: $I_D = \kappa(V_{GS} - V_T)^2$

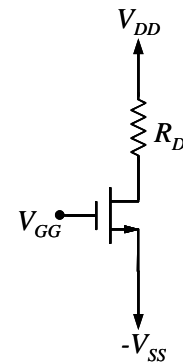


Figura 5.9

10.

Para el circuito amplificador de la figura 5.10, se pide:

- Calcule el punto de trabajo del FET y demuestre que está en saturación.
- Dibuje el circuito equivalente en pequeña señal y a frecuencias medias.
- Calcule la transconductancia, g_m .
- Calcule la ganancia en tensión, v_o/v_i .

Realice las simplificaciones que considere oportunas, explicándolas.

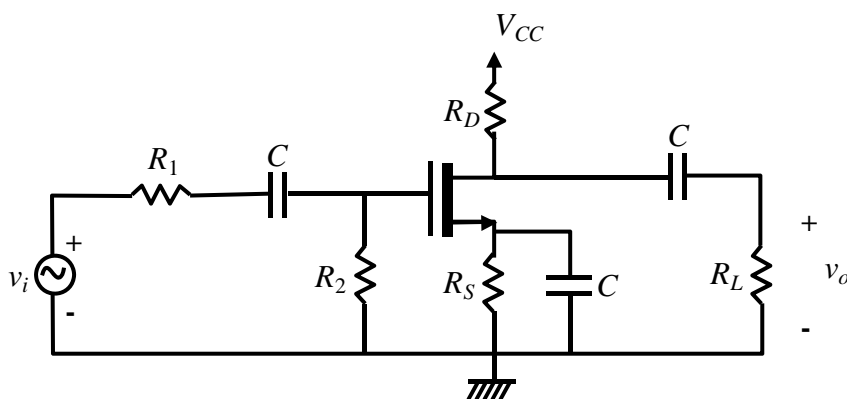


Figura 5.10

DATOS

Del circuito: $R_1 = 1 \text{ k}\Omega$; $R_2 = 10 \text{ M}\Omega$; $R_S = 0,3 \text{ k}\Omega$; $R_D = 1 \text{ k}\Omega$; $R_L = 20 \text{ k}\Omega$; $V_{CC} = 10 \text{ V}$; $C \rightarrow \infty$.

Del FET: normalmente on; $|V_t| = 4 \text{ V}$, $\kappa = 0,625 \text{ mA/V}^2$, Ec. de saturación: $I_D = \kappa(V_{GS} - V_t)^2$

11.

Se quieren estudiar las propiedades que como amplificador tiene el circuito de la figura 5.11, llamado circuito NMOS con carga de deplexión. Se pide:

- Indique y justifique en qué estados (corte, gradual y saturación) puede encontrarse el transistor T2 y en cuáles no.
- Sin tener en cuenta el efecto de modulación de la longitud del canal, calcule el valor de v_i para el que los dos transistores están en saturación, así como el rango de valores de v_o en que esto ocurre.

Para el análisis del amplificador en pequeña señal, hemos de refinar el modelo teniendo en cuenta el efecto de modulación de la longitud del canal. Como consecuencia de ese efecto, el circuito equivalente de pequeña señal de cada uno de esos transistores (en activa) añade una resistencia entre drenador y surtidor r_{01} , y r_{02} .

- En pequeña señal, el transistor T2 se comporta como una resistencia. Indique su valor en función de g_{m2} y r_{02} .
- Calcule la ganancia de pequeña señal v_o/v_i del circuito, expresándola en función de g_{m1} , r_{01} , g_{m2} , y r_{02} .

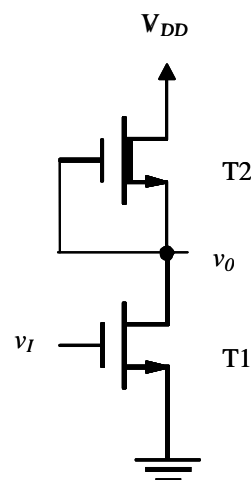


Figura 5.11

DATOS:

$V_{DD} = 5 \text{ V}$; $|V_{t1}| = |V_{t2}| = 2 \text{ V}$; $\kappa_1 = 4\kappa_2$; T1 normal OFF; T2 normal ON.

12.

En el circuito amplificador de la figura 5.12 se pide que:

- Calcule el punto de trabajo (V_{GS} , I_D , V_{DS}) del transistor. Determine la región de funcionamiento.
- Dibuje el circuito equivalente de pequeña señal, indicando los valores numéricos de los parámetros del circuito equivalente del transistor.
- Calcule la ganancia de tensión $A_v = v_o/v_i$.

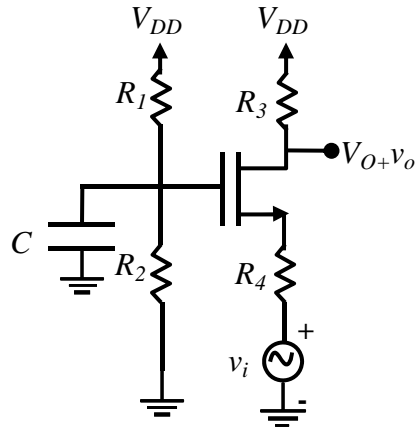


Figura 5.12

DATOS:

$C \rightarrow \infty$; $V_{GG} = -10$ V; $V_{DD} = 10$ V; $R_1 = 6$ M Ω ;
 $R_2 = 4$ M Ω ; $R_3 = 5,9$ k Ω ; $R_4 = 0,1$ k Ω .

En saturación, el transistor FET (normalmente OFF) obedece a la ecuación $i_D = \kappa(v_{GS} - V_T)^2$, con $\kappa = 1$ mA \cdot V $^{-2}$, $|V_T| = 2$ V

SOLUCIONES

1.-

- a) Al ser nula la corriente de puerta en un FET, la tensión de puerta es

$$V_G = V_{DD} \frac{R_{G2}}{R_{G1} + R_{G2}} = 3,38 \text{ V}$$

- b) Suponemos que el transistor trabaja en saturación, luego

$$I_D = k (V_{GS} - V_T)^2 = k (V_G - V_T)^2$$

(pues el terminal de fuente está a tierra, $V_S=0$ y por tanto $V_{GS}=V_G$). Los valores extremos son:

$$I_{D\min}(k=220 \mu\text{A}/\text{V}^2, V_T=2,4\text{V})=211 \mu\text{A};$$

$$I_{D\max}(k=380 \mu\text{A}/\text{V}^2, V_T=1,3 \text{ V})=1,65 \text{ mA}$$

- c) La máxima I_D se produce con la máxima k y la mínima V_T . Por lo tanto, para que la máxima I_D sea 0,15 mA debe cumplirse que

$$I_{D\max} = k_{\max} (V_G - R_S I_{D\max} - V_{T\min})^2 \Rightarrow R_S = 9,67 \text{ k}\Omega$$

2.-

- a) Un FET tiene tensión umbral negativa ($V_T=-7$ V). Determinemos su punto de trabajo suponiendo, en primer lugar, que está en saturación:

$$I_D = \kappa (V_{GS} - V_T)^2, \text{ y } V_{GS} = -V_{GG} + V_{SS} - I_D R_S$$

En esta ecuación la única incógnita es I_D . La ecuación es $0 = I_D^2 - 60I_D + 25$ (I_D en mA) cuyas soluciones son 59,5 mA y 0,42 mA.

Para $I_D=0,42$ mA, calculamos $V_{GS} = -12 + 10 - 0,42 = -2,42$ V ($> V_T$); $V_{DS} = 11 - 0,42 \cdot 8 = 7,64$ V.

Como $V_{DS} > V_{DSat}$ ($V_{DSat} = -2,42 + 7 = 4,42$ V) el transistor está, efectivamente, saturado.

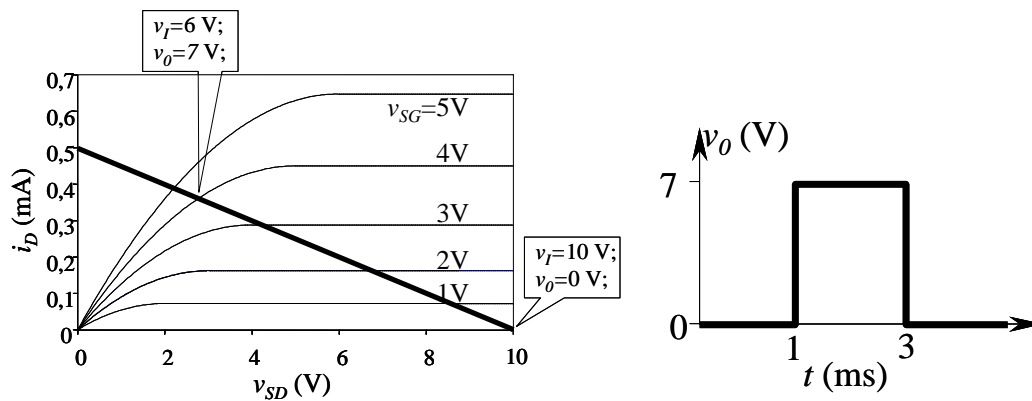
- b) Al reducirse L a la mitad, κ se duplica, por lo que es preciso resolver de nuevo las ecuaciones, con $\kappa = 0,04 \text{ mA/V}^2$, es decir,

$$0 = I_D^2 - 35I_D + 25 \quad (I_D \text{ en mA})$$

Las soluciones son $0,73 \text{ mA}$ y $34,27 \text{ mA}$, y nos quedamos con $I_D = 0,73 \text{ mA}$. Para este valor, $V_{GS} = -12 + 10 \cdot 0,73 = -2,73 \text{ V} > V_T$; $V_{DS} = 11 - 0,73 \times 8 = 5,16 \text{ V}$; y nuevamente $V_{DS} > V_{DSsat}$ ($V_{DSsat} = -2,73 + 7 = 4,27 \text{ V}$)

3.

La recta de carga a la salida es $V_{DD} = v_{SD} + R_D i_D$, y el valor de v_{SG} depende de la tensión de entrada según $v_{SG} = V_{DD} - v_I$. Resolviendo gráficamente:



4.

- a) $V_{GS} = V_I = 5 \text{ V} > V_T$, luego el FET conduce. Como $V_{DS} = V_O = 2 \text{ V} < V_{DSsat} = 4 \text{ V}$, FET en zona gradual. Por tanto,

$$I_D = k(2(V_{GS} - V_T)V_{DS} - V_{DS}^2) = 240 \mu\text{A}; \quad R_{D\text{mín}} = \frac{V_{DD} - V_{O\text{mín}}}{I_D} = 12,5 \text{ k}\Omega$$

- b) CORTE ($v_{GS} < V_T$) $v_I < V_T = 1 \text{ V}$

SATURACIÓN ($v_{GS} > V_T$, $v_{DS} > v_{DSsat}$) $v_I > V_T$:

$$V_{DD} - R_D k(v_{GS} - V_T)^2 > v_{GS} - V_T \Rightarrow 0,25(v_I - 1)^2 + (v_I - 1) - 5 < 0$$

y de las dos soluciones la válida es $v_I = 3,9 \text{ V}$ (la otra da negativa)

Luego el rango en que el transistor está en saturación es $1 \text{ V} < v_I < 3,9 \text{ V}$

GRADUAL ($v_{GS} > V_T$, $v_{DS} < v_{DSsat}$) Tendremos $3,9 \text{ V} < v_I < 5 \text{ V}$

5.

- a) Para que el circuito funcione correctamente ambos transistores han de conducir:

$$2V_{DD} = V_{GS1} + V_{GS2} \geq V_{T1} + V_{T2} = 3 \text{ V} \Rightarrow V_{DD} \geq 1,5 \text{ V}$$

Para $V_{DD} = 1,5 \text{ V}$ ambos transistores estarían en el umbral entre los estados de corte y saturación. Nunca pueden estar en zona gradual, ya que $V_{DS} = V_{GS} > V_{DSsat} = V_{GS} - V_T$

- b) Al estar los transistores en serie, sus corrientes de drenador son iguales, y por hallarse en saturación:

$$I_{D1} = k_{te} \frac{Z_1}{L_1} (V_{GS1} - V_{T1})^2 = k_{te} \frac{Z_2}{L_2} (V_{GS2} - V_{T2})^2 = I_{D2}$$

para que ambos transistores estén en conducción, es necesario que $V_{GS1} > V_{T1}$ y $V_{GS2} > V_{T2}$. Por tanto,

$$\sqrt{\frac{Z_1 L_2}{L_1 Z_2}} (V_{GS1} - V_{T1}) = (V_{GS2} - V_{T2})$$

y como $V_{GS1} = V_{DD} - V_O$; $V_{GS2} = V_O + V_{DD}$; $V_{T1} = 2V_{T2}$ y dado que k_{te} es idéntico para ambos, se tiene:

$$\begin{aligned} \sqrt{\frac{Z_1 L_2}{L_1 Z_2}} (V_{DD} - V_O - V_{T1}) &= \left(V_{DD} + V_O - \frac{V_{T1}}{2} \right) \Rightarrow \\ \Rightarrow V_O &= \frac{2V_{DD} (\lambda - 1) + V_{T1} (1 - 2\lambda)}{2(\lambda + 1)}; \text{ donde } \lambda = \sqrt{\frac{Z_1 L_2}{Z_2 L_1}} \end{aligned}$$

- c) Con $V_{DD} = 5 \text{ V}$; $V_O = 0 \text{ V}$; $V_{T1} = 2 \text{ V}$, sustituyendo en la ecuación anterior se obtiene $\lambda = 4/3$ y:

$$\frac{Z_1}{L_1} = \frac{16}{9} \frac{Z_2}{L_2} \Rightarrow \frac{Z_2}{L_2} \Big|_{\min} = 1; \frac{Z_1}{L_1} \Big|_{\min} = \frac{16}{9}$$

6.

- a) La tensión umbral V_T del dispositivo conjunto será aquella para la que si $V_{GS} < V_T$, M1 y M2 están en corte. Por tanto, coincide con el menor valor de V_{T1} y V_{T2} :

$$V_T = V_{T1} = 1 \text{ V}$$

- b) La tensión $V_{DS,SAT}$ del dispositivo conjunto será aquella para la que si $V_{DS} > V_{DS,sat}$, M1 y M2 están en activa. Por tanto, coincide con el mayor valor de $V_{DS,sat1}(V_{GS})$ y $V_{DS,sat2}(V_{GS})$:

$$\begin{aligned} V_{T1} < V_{T2} \Rightarrow V_{DS,sat1} = V_{GS} - V_{T1} > V_{GS} - V_{T2} = V_{DS,sat2} \Rightarrow \\ \Rightarrow V_{DS,sat} = V_{DS,sat1} = 3 \text{ V} - 1 \text{ V} = 2 \text{ V} \end{aligned}$$

- c)

$$\left. \begin{aligned} I_D &= I_{D1} + I_{D2} \\ I_{D1} &= \kappa_1 (V_{GS} - V_{T1})^2 \\ I_{D2} &= \kappa_2 (V_{GS} - V_{T2})^2 \end{aligned} \right\} \Rightarrow I_D = \kappa_1 (V_{GS} - V_{T1})^2 + \kappa_2 (V_{GS} - V_{T2})^2 \Rightarrow$$

$$\Rightarrow I_D (\text{mA}) = 2V_{GS}^2 - 6V_{GS} + 5, \quad (V_{GS} \text{ en V})$$

7.

- a) Por reducción al absurdo, $I_2 > I_1 \Rightarrow V_{GS2} > -V_{GS1} \Rightarrow I_1 R > I_2 R \Rightarrow I_1 > I_2$, en contradicción con la hipótesis, de igual modo:

$$I_2 < I_1 \Rightarrow V_{GS2} < -V_{GS1} \Rightarrow I_1 R < I_2 R \Rightarrow I_1 < I_2$$

luego $I_2 = I_1$. O también, resolviendo el sistema:

$$\left. \begin{aligned} I_1 &= k(V_{GS1} - V_{T1})^2 = k(I_2 R + V_{T1})^2 \\ I_2 &= k(V_{GS2} - V_{T2})^2 = k(I_1 R + V_{T1})^2 \end{aligned} \right\} I_1 = I_2$$

b) $V_{T2} = 1 \text{ V}$ (acumulación)

$$I_2 = k(V_{GS2} - V_{T2})^2 = k(I_1 R - V_{T2})^2 = k(I_2 R - V_{T2})^2 \Rightarrow \begin{cases} I_2 = 2,62 \text{ mA} \\ I_2 = 0,38 \text{ mA} \end{cases}$$

Puesto que $V_{GS2} = 0,38 \text{ mA} \times 1 \text{ k}\Omega = 0,382 \text{ V} < V_{T2}$, la solución correcta es $I_2 = I_1 = 2,62 \text{ mA}$

c) Se deberá cumplir que $V_{DS2} > V_{GS2} - V_{T2}$, luego $V_{SS} - I_2(R + R_L) > I_1 R - V_{T2}$.

Como $I_2 = I_1 = 2,62 \text{ mA}$, $R_L < 2,2 \text{ k}\Omega$

8.

a) $i_{D1} = k(v_I + V_{DD} - V_T)^2$; $i_{D2} = k(V_{DD} - v_I - V_T)^2$
 $i_O = i_{D2} - i_{D1} = k(2V_{DD} - 2V_T)(-2v_I) = -4k(V_{DD} - V_T)v_I$
 $i_O/v_I = -4k(V_{DD} - V_T) = -10 \text{ mA/V}$

b) $i_i = -i_O \Rightarrow v_I/i_i = 100 \Omega$

9.

a) $V_{GS} = V_{GG} - (-V_{SS}) = V_{SS} = 5 \text{ V} > V_T = 3 \text{ V} \Rightarrow$ MOSFET en conducción para todo R_D . En el límite región gradual - saturación:

$$I_D = \kappa(V_{GS} - V_T)^2 = \kappa[V_{GG} - (-V_{SS}) - V_T]^2 = \kappa(V_{SS} - V_T)^2 = 4 \text{ mA}$$

$$V_{DS} = V_{DSsat} = V_{GS} - V_T = V_{SS} - V_T = 2 \text{ V}$$

De la ley de Kirchoff de tensiones aplicada al circuito: $V_{DD} = I_D R_D + V_{DS} - V_{SS} \Rightarrow$

$$\Rightarrow R_D = \frac{V_{DD} + V_{SS} - V_{DS}}{I_D} \Bigg|_{V_{DS} = V_{DSsat}} = 2 \text{ k}\Omega$$

Por lo tanto:

* Si $R_D < 2 \text{ k}\Omega \Rightarrow V_{DS} > V_{DSsat} \Rightarrow$ MOSFET en región de saturación.

* Si $R_D > 2 \text{ k}\Omega \Rightarrow V_{DS} < V_{DSsat} \Rightarrow$ MOSFET en región gradual.

b)

$$\begin{aligned} V_G &= -5\text{V} \\ V_S &= 0\text{V} \end{aligned} \Rightarrow V_{GS} = -5\text{V} < V_T = 3\text{V}, \text{ luego FET cortado, para todo } R_D.$$

c) El valor máximo de κ es cuando Z se incrementa ΔZ y L disminuye ΔL , en cuyo caso, el nuevo valor de κ es $(1 + \Delta Z/Z)/(1 - \Delta L/L)$ veces el antiguo κ . El valor mínimo se calcula de forma similar.

$$g_m = 2\kappa(V_{GS} - V_T) = 4 \cdot 10^{-3} \text{ A/V} \quad (\kappa = 10^{-3} \text{ A/V}^2)$$

$$g_{mMax} = 2\kappa \frac{1,02}{0,98} (V_{GS} - V_T) = 4,16 \cdot 10^{-3} \text{ A/V}_S$$

$$g_{mMin} = 2\kappa \frac{0,98}{1,02} (V_{GS} - V_T) = 3,84 \cdot 10^{-3} \text{ A/V}$$

10.

- a) Es un FET normalmente ON, por tanto, $V_i = -4 \text{ V}$. Suponiendo que el FET está en saturación, se obtiene:

$$I_D = \kappa(V_{GS} - V_t)^2 = \kappa(-V_S - V_t)^2 = \kappa(-I_D R_S - V_t)^2 \Rightarrow \kappa R_S^2 I_D^2 + (2\kappa R_S V_t - 1) I_D + \kappa V_t^2 = 0$$

De las dos soluciones, la válida es $I_D = 4,4 \text{ mA}$, pues es la que hace

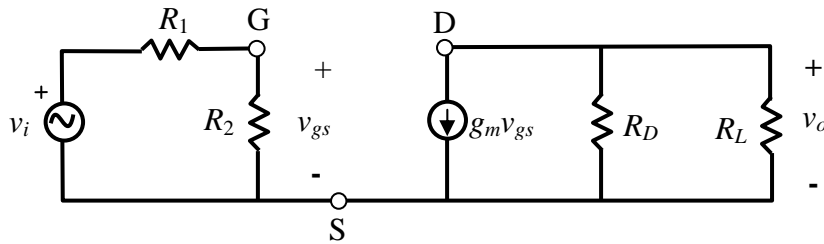
$$V_{GS} = -I_D R_S = -1,32 \text{ V} > V_t$$

Resolviendo la malla de salida se obtiene:

$$V_{DS} = V_{CC} - I_D (R_D + R_S) = 4,28 \text{ V}$$

Si está en saturación se ha de cumplir que $V_{DS} > V_{DSsat} = V_{GS} - V_t = 2,68 \text{ V}$, lo que, efectivamente, se cumple.

- b)



c)
$$g_m = \left. \frac{di_D}{dv_{GS}} \right|_Q = 2k(V_{GS} - V_t) = 3,35 \text{ mS}$$

d)
$$\frac{v_o}{v_i} = - \frac{g_m v_{gs} (R_D // R_L)}{v_{gs} \frac{R_1 + R_2}{R_2}} \cong - \frac{g_m v_{gs} R_D}{v_{gs}} = -3,35$$

11.

- a) Al ser de deplexión, $V_{i2} = -2 \text{ V}$. Como $v_{GS2} = 0 > V_{i2}$, T2 no estará nunca en corte. T2 estará en saturación si $v_{DS2} > -V_{i2} = 2 \text{ V}$, y en zona gradual si $v_{DS2} < -V_{i2} = 2 \text{ V}$.

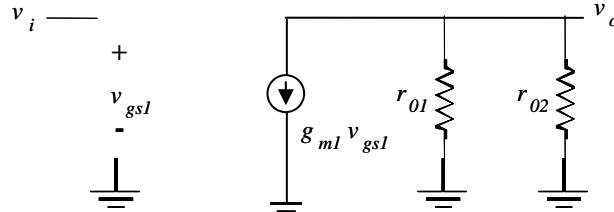
- b) Al estar ambos transistores en saturación

$$i_{D1} = \kappa_1 (v_{GS1} - V_{t1})^2 = i_{D2} = \kappa_2 V_{i2}^2 \Rightarrow v_i = -V_{i2} \sqrt{\frac{\kappa_2}{\kappa_1}} + V_{t1} = 3 \text{ V}$$

T1 estará en saturación si $v_{DS1} > v_{GS1} - V_{t1} \Rightarrow v_o > v_i - V_{t1} \Rightarrow v_o > -V_{i2} \sqrt{\frac{\kappa_2}{\kappa_1}} = 1 \text{ V}$

T2 estará en saturación si $v_{DS2} > v_{GS2} - V_{i2} \Rightarrow V_{DD} - v_o > -V_{i2} \Rightarrow v_o < V_{DD} + V_{i2} = 3 \text{ V}$

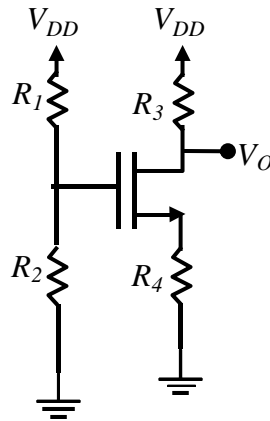
- c) Como $v_{GS2}=0$, en pequeña señal la fuente dependiente del circuito equivalente ($g_{m2}v_{gs2}$) se anula y el circuito queda reducido a una resistencia, r_{02} entre su drenador y surtidor. Esta resistencia es la debida al efecto de modulación de la longitud del canal.
- d) El equivalente de pequeña señal del circuito es



Por tanto, $\frac{v_o}{v_i} = -(r_{01} // r_{02}) g_{m1}$

12.

El FET es de acumulación y por tanto, $V_T = +2$ V



- a) Las ecuaciones del circuito de continua son, puesto que no hay corriente de puerta,:

$$V_G = V_{DD} \frac{R_2}{R_1 + R_2} = V_{GS} + I_D R_4$$

$$V_{DD} = V_{DS} + I_D (R_3 + R_4)$$

Por otra parte, si el transistor está saturado: $I_D = \kappa(V_{GS} - V_T)^2$ que introducida en la primera de las ecuaciones precedentes conduce a:

$$V_G = V_{GS} + \kappa R_4 (V_{GS} - V_T)^2 \Rightarrow \kappa R_4 V_{GS} + V_{GS} (1 - 2\kappa R_4 V_T) + \kappa R_4 V_T^2 - V_G \Rightarrow$$

$$\Rightarrow V_{GS} = \frac{-6 \pm \sqrt{36 - 4 \times 16}}{2} = 3,7 \text{ V}$$

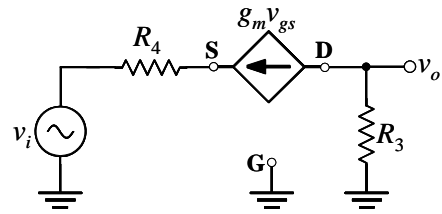
La raíz negativa se ha desechado pues llevaría a $V_{GS} < V_T$, incompatible con la suposición de que el transistor conduce. Con este valor:

$$I_D = 0,29 \text{ mA}; V_{DS} = V_{DD} - I_D (R_3 + R_4) = 8,26 \text{ V} > 2 \text{ V} = V_{GS} - V_T$$

Así que, efectivamente está saturado.

- b) En pequeña señal, la puerta está a tierra por efecto del condensador C . r_o no está presente (es infinita) pues en la expresión de la corriente de drenador no aparece el efecto Early.

$$g_m = 2\kappa(V_{GS} - V_T) = 3,4 \text{ m}\Omega^{-1}$$



- c)

$$g_m v_{gs} = g_m (v_g - v_s) = -g_m v_s$$

$$\left. \begin{aligned} v_s &= v_i + g_m R_4 v_{gs} = v_i - g_m R_4 v_s \Rightarrow v_i = (1 + g_m R_4) v_s \\ v_o &= -g_m R_3 v_{gs} = g_m R_3 v_s \end{aligned} \right\} \Rightarrow \frac{v_o}{v_i} = \frac{g_m R_3}{1 + g_m R_4} = 14,97$$