



Introducción a VHDL (I)

Cartagena99

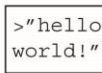



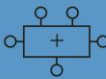



CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP: 689 45 44 70

VHDL

- VHDL lenguaje para descripción hardware usado en la industria en todo el mundo.

– **VHDL** acrónimo de **VHSIC (Very High Speed Integrated Circuit) Hardware Description Language**

Application Software	
Operating Systems	
Architecture	
Micro-architecture	
Logic	
Digital Circuits	
Analog Circuits	
Devices	

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Génesis de VHDL

Estado del arte en torno a 1980

- Múltiples métodos de diseño y lenguajes de descripción hardware en uso
- Portabilidad de diseño entre herramientas CAD de diferentes vendedores nula o limitada
- Objetivo: acortar el tiempo desde el concepto de diseño a la implementación de 18 a 6

maacac
Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Historia breve de VHDL

- Junio 1981: Woods Hole Workshop
- Julio 1983: contrato para desarrollar VHDL
 - Intermetrics
 - IBM
 - Texas Instruments
- Agosto 1985: VHDL Version 7.2 liberada
- Diciembre 1987:

VHDL se convierte en un estándar de IEEE: Standard 1076-1987 y en 1988 en estándar de ANSI

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

Cartagena99

NEBRIJA

Versiones de VHDL

- Versiones de VHDL:
 - IEEE-1076 1987
 - IEEE-1076 1993 (más implementada en herramientas CAD)
 - IEEE-1076 2000 (cambios menores)
 - IEEE-1076 2002 (cambios menores)
 - IEEE-1076 2008

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

IEEE Extensions

- IEEE standard 1076.1 Analog and Mixed Signal Extensions (VHDL-AMS)
- IEEE standard 1076.2 VHDL Mathematical Packages
- IEEE standard 1076.3 Synthesis Packages
- IEEE standard 1076.4 VHDL Initiative Towards ASIC Libraries (VITAL)
- IEEE standard 1076.6 VHDL Register Transfer Level (RTL) Synthesis
- IEEE standard 1164 Multivalued Logic System for VHDL Model Interoperability
- IEEE standard 1029 VHDL Waveform and Vector Exchange to Support Design and Test Verification (WAVES)

RTL Hardware Design

Chapter 2

12

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP: 689 45 44 70

NEBRIJA

Verilog

- Más simple y sintácticamente diferente
 - C-like
- Gateway Design Automation Co., 1985
- Gateway comprador por Cadence en 1990
- IEEE Standard 1364-1995
- Estándar *de facto* para programación ASIC
- Interfaz de lenguaje de programación para permitir conectar con código no Verilog.

Cartagena99

CLASES PARTICULARES, TUTORIAS TECNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

VHDL vs. Verilog

Desarrollado por el gobierno	Desarrollado comercialmente
Basado en Ada	Basado en C
Tipado fuerte	Tipado medio
Insensible a mayúsculas	Sensible a mayúsculas
Difícil de aprender	Fácil de aprender
Más potente	Menos potente

Cartagena99

CLASES PARTICULARES, TUTORIAS TECNICAS ONLINE
LLAMA O ENVIA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Características de VHDL y Verilog

- Independiente de vendedor y tecnología
- Portable
- Reusable

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Nombrado y Etiquetado (1)

- VHDL es insensible a mayúsculas (Case-insensitive)

Ejemplo:

Los nombres o etiquetas

databus

Databus

DataBus

DATABUS

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Nombrado y Etiquetado(2)

Reglas genéricas (según VHDL-87)

1. Todos los nombres deberían empezar con un carácter alfabético (a-z o A-Z)
2. Usar solo caracteres alfabéticos (a-z or A-Z), dígitos (0-9) y el carácter subrayado (_).
3. No usar ninguna puntuación o caracteres reservados dentro de un nombre (!, ?, ., &, +, -, etc.)
4. No usar dos o más subrayados consecutivos dentro de un nombre (por ejemplo Sel__A es inválido)
5. Todos los nombres y etiquetas en una entidad y arquitectura dada deben

Cartagena99

CLASES PARTICULARES, TUTORIAS TECNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Nombres reservados

A	ABS	E	ELSE	N	NAND	S	SELECT
	ACCESS		ELSIF		NEW		SEVERITY
	AFTER		END		NEXT		SIGNAL
	ALIAS		ENTITY		NOR		SUBTYPE
	ALL		EXIT		NOT		
	AND		FILE		NULL		
	ARCHITECTURE		FOR		OF		
	ARRAY		FUNCTION		ON		
	ASSERT				OPEN		
B	ATTRIBUTE	F	GENERATE	O	OR	T	THEN
	BEGIN		GENERIC		OTHERS		TO
	BLOCK		GUARDED		OUT		TRANSPORT
	BODY						TYPE
C	BUFFER	G	IF	P	PACKAGE	U	UNITS
	BUS		IN		PORT		UNTIL
			INOUT		PROCEDURE		USE
			IS		PROCESS		
D	CASE	I	LABEL	R	RANGE	V	VARIABLE
	COMPONENT		LIBRARY		RECORD		
	CONFIGURATION		LINKAGE		REGISTER		
	CONSTANT		LOOP		REM		
	DISCONNECT					W	WAIT
						X	XOR
							WHEN
							WHILE
							WITH

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Formato libre

- VHDL en un lenguaje de formato libre (“free format”)

Los compiladores VHDL no imponen convenciones de formato como espaciado o indentación. Los espacios y los saltos de línea se tratan igual.

Ejemplo:

```
if (a=b) then
o
if (a=b) then
o
if (a =
```

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Estándares de fiabilidad y estilos de codificación

Hay recomendaciones como:
OpenCores Coding Guidelines

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Comentarios

- Los comentarios en VHDL se indican con un guion doble "--"
 - En cualquier sitio de la línea
 - Cualquier texto que lo siga en la línea es un comentario
 - El comentario acaba con el salto de línea

Ejemplo:

```
-- main subcircuit
```

```
Data_in <= Data_bus;    -- reading data from the input FIFO
```

The logo for Cartagena99, featuring the text "Cartagena99" in a stylized font with a blue and orange gradient background.

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Comentarios

- Para explicar la función de un modulo a otros diseñadores o recordarla para el mantenimiento.
- Explicar, no reescribir lo mismo que dice el código
- Localizado junto al código descrito.

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA



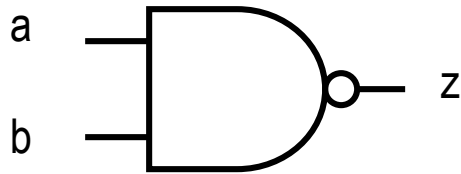
Introducción a VHDL (II)

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP: 689 45 44 70

Ejemplo: NAND Gate



a	b	z
0	0	1
0	1	1
1	0	1
1	1	0

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Ejemplo de código VHDL

- 3 secciones en cada pieza de código VHDL
- Extensión de fichero VHDL file .vhd
- El nombre del fichero debería ser el mismo que el nombre de la entidad(nand_gate.vhd) [[OpenCores Coding Guidelines](#)]

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY nand_gate IS
    PORT (
        a    : IN STD_LOGIC;
        b    : IN STD_LOGIC;
        z    : OUT STD_LOGIC);
END nand_gate;

ARCHITECTURE model OF nand_gate IS
BEGIN
```

} LIBRARY DECLARATION

} ENTITY DECLARATION

} ARCHITECTURE DECLARATION

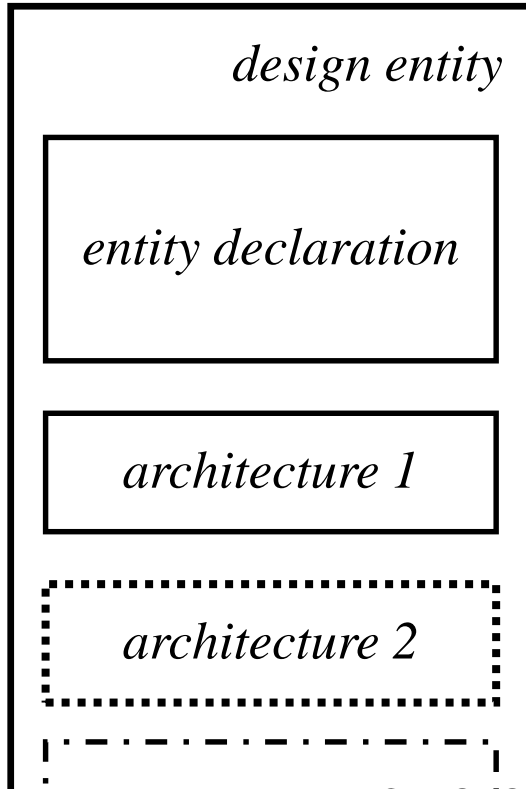
Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Entidad de diseño (Design entity)



Design Entity – bloque más básico de un diseño.

Una entidad puede tener muchas arquitecturas diferentes.

Cartagena99

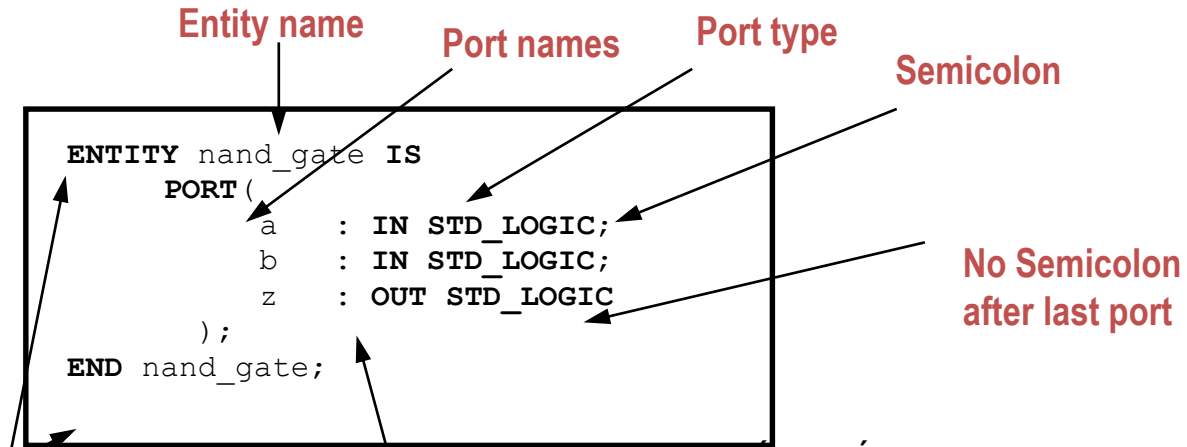
CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Declaración de Entity

- Entity describe la interfaz de los componentes, es decir, puertos de entrada y salida.



Cartagena99

CLASES PARTICULARES, TUTORIAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Sintaxis simplificada

```
ENTITY entity_name IS
  PORT (
    port_name : port_mode signal_type;
    port_name : port_mode signal_type;
    .....
    port_name : port_mode signal_type);
END entity_name;
```

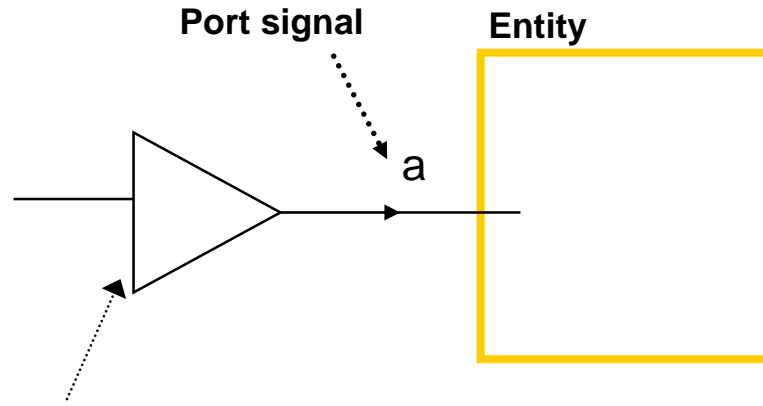
Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Port Mode IN



Se genera fuera de la entidad

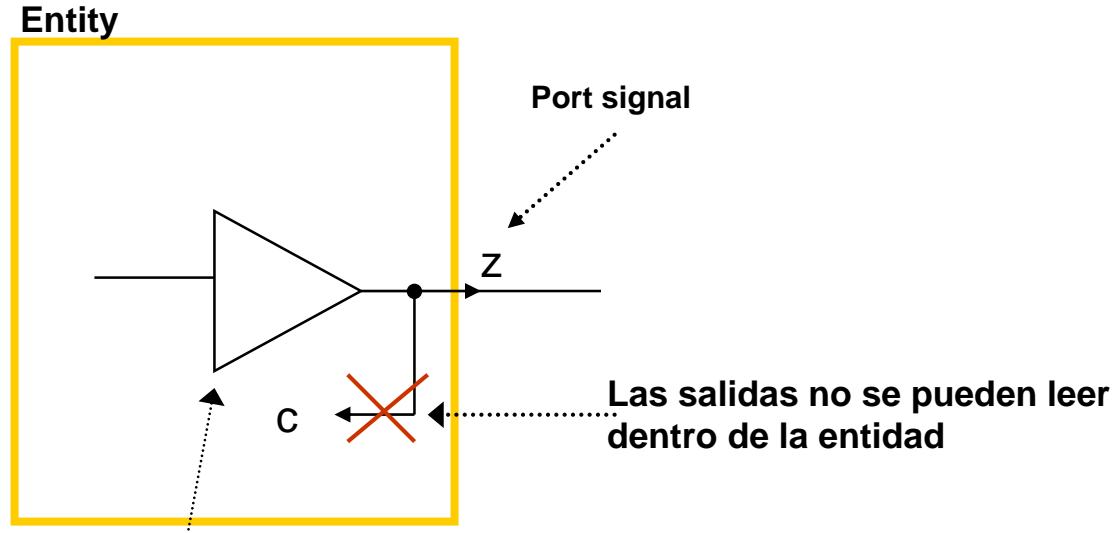
Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Port Mode OUT



Se genera dentro de la entidad

$$\cancel{C \leq Z}$$

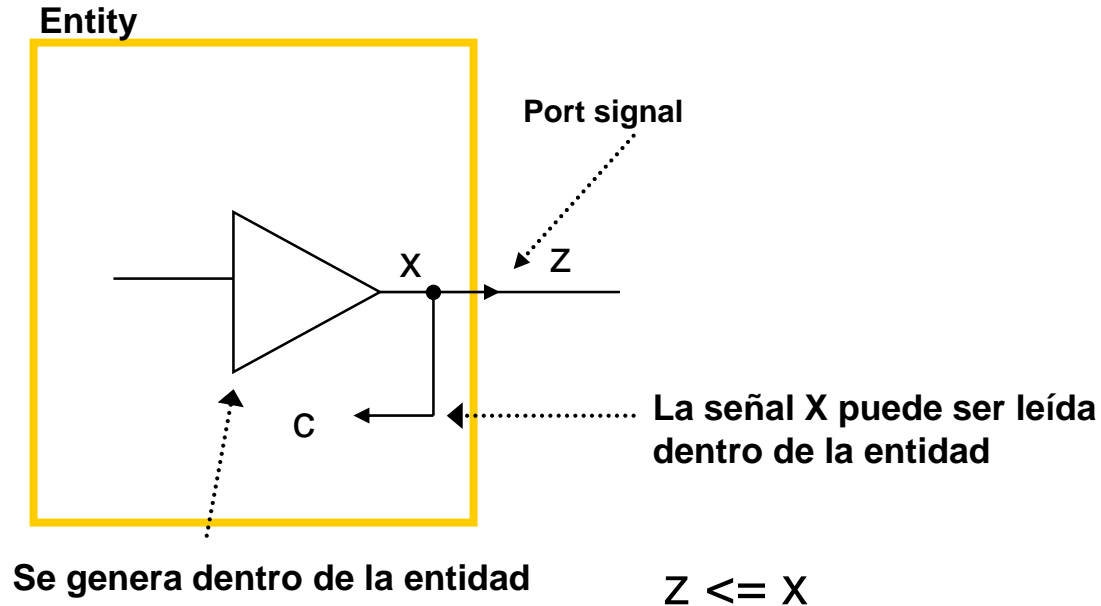
CLASES PARTICULARES, TUTORIAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

Cartagena99

NEBRIJA

Port Mode OUT (con señal extra)



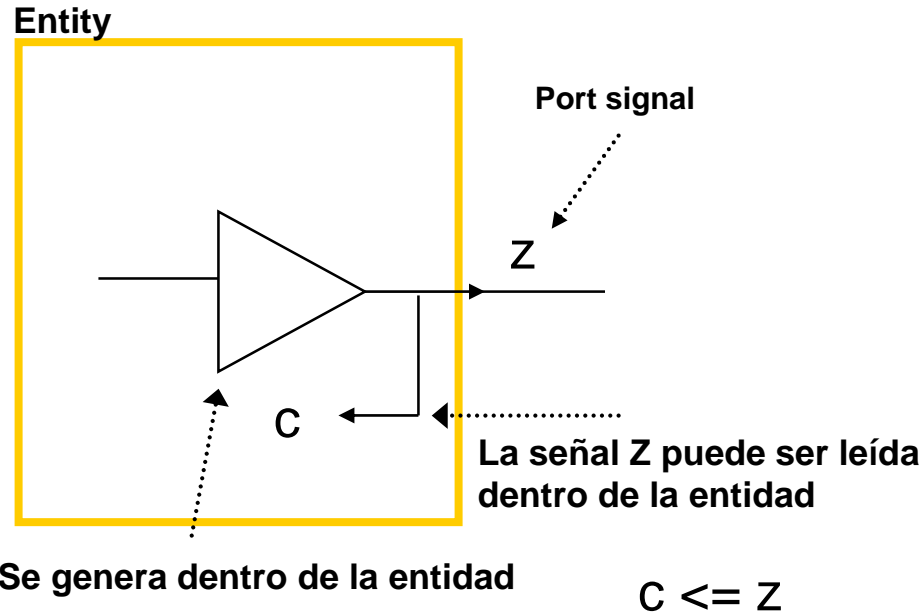
Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP: 689 45 44 70

NEBRIJA

Port Mode BUFFER



No recomendado por problemas a la hora de sintetizar.

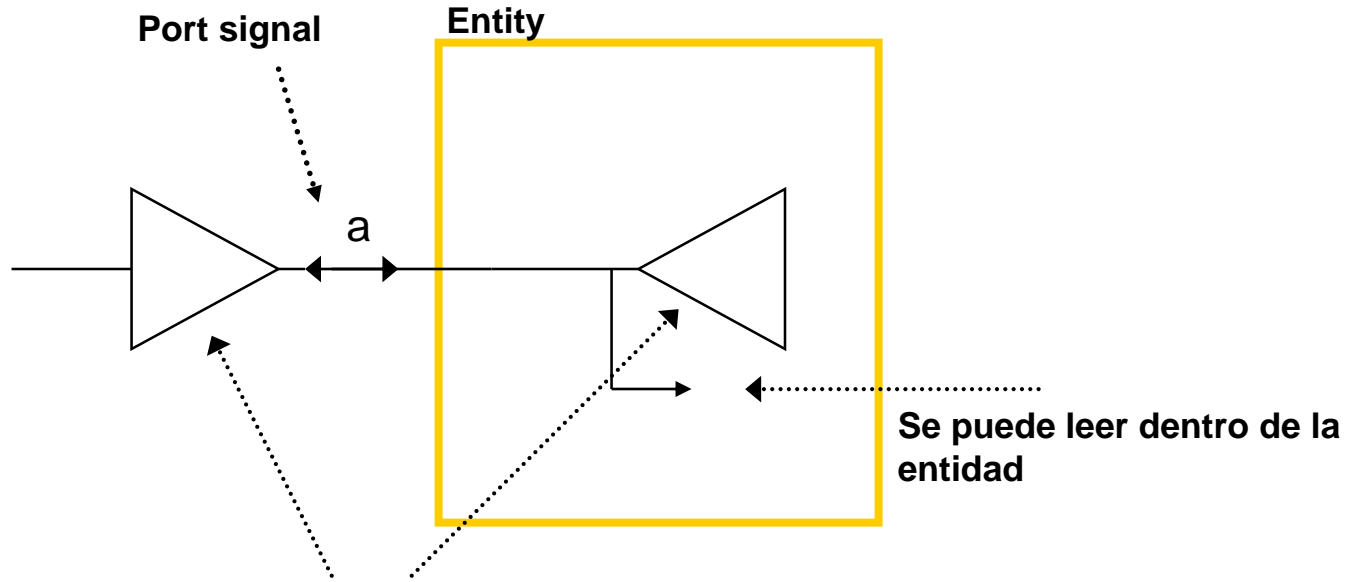
CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

Cartagena99

NEBRIJA

Port Mode INOUT



Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Port Modes - Resumen

Describe la dirección en que viaja la información respecto al componente

- **In:** La información entra a través del puerto y solo se puede leer. Aparece solo en la parte derecha de una asignación de variable o señal.
- **Out:** el valor de un puerto de salida solo puede ser actualizado dentro de la entidad. No puede ser leído. Solo puede aparecer en el lado izquierdo de una asignación a una señal.
- **Inout:** El valor de un puerto bidireccional se puede leer y actualizar en la entidad. Puede aparecer a ambos lados de la asignación.
- **Buffer:** No se recomienda su uso.

The logo for Cartagena99, featuring the text 'Cartagena99' in a stylized font with a blue and orange gradient background.

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Architecture

- Describe una implementación de una entidad de diseño.
- Ejemplo

```
ARCHITECTURE model OF nand_gate IS
BEGIN
    z <= a NAND b;
END model;
```

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Architecture – sintaxis simplificada

```
ARCHITECTURE architecture_name OF entity_name IS  
  [ declarations ]  
BEGIN  
  code  
END architecture_name;
```

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Declaración y arquitectura

nand_gate.vhd

```
LIBRARY ieee;  
USE ieee.std_logic_1164.all;  
  
ENTITY nand_gate IS  
    PORT (  
        a    : IN STD_LOGIC;  
        b    : IN STD_LOGIC;  
        z    : OUT STD_LOGIC);  
END nand_gate;  
  
ARCHITECTURE dataflow OF nand_gate IS  
BEGIN  
    z <= a NAND b;  
END dataflow;
```

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Declaraciones de bibliotecas/librerías

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY nand_gate IS
  PORT (
    a    : IN STD_LOGIC;
    b    : IN STD_LOGIC;
    z    : OUT STD_LOGIC);
END nand_gate;

ARCHITECTURE model OF nand_gate IS
BEGIN
  z <= a NAND b;
END model;
```

Library declaration

Usa todas las definiciones incluidas en
El paquete std_logic_1164

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Library - syntax

```
LIBRARY library_name;  
USE library_name.package_name.package_parts;
```

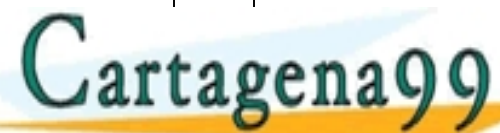
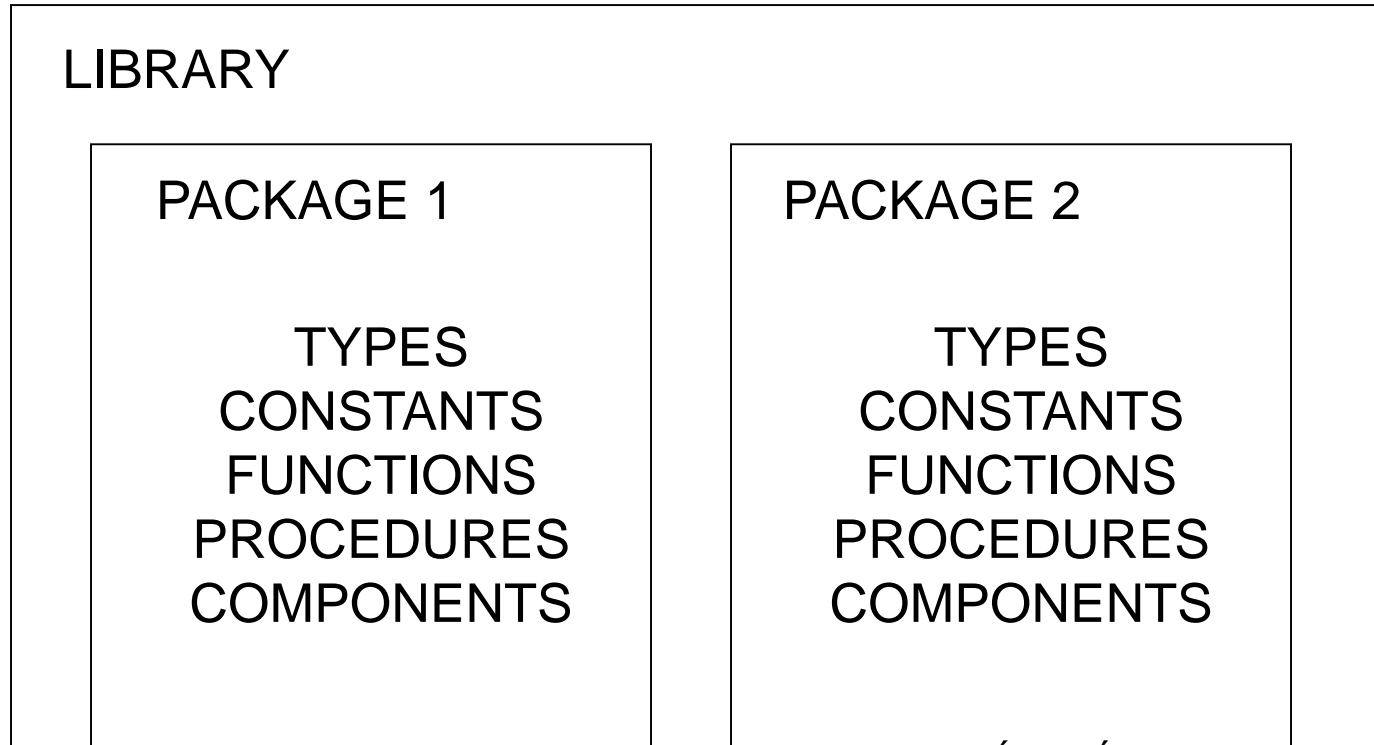
Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

NEBRIJA

Partes fundamentales de una librería



CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE
LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS
CALL OR WHATSAPP:689 45 44 70

- **ieee**

Especifica lógica multi-nivel,
Incluidos los tipos STD_LOGIC, y
STD_LOGIC_VECTOR

Ha de ser
declarada
explícitamente

- **std**

Especifica tipos de datos predefinidos
(BIT, BOOLEAN, INTEGER, REAL,
SIGNED, UNSIGNED, etc.), operaciones
aritméticas, funciones de conversión de
tipos básicos, funciones de entrada/salida
básica, etc.

Visible por defecto

- **work**

Guarda el diseño actual al compilarlo

Cartagena99

CLASES PARTICULARES, TUTORÍAS TÉCNICAS ONLINE

LLAMA O ENVÍA WHATSAPP: 689 45 44 70

ONLINE PRIVATE LESSONS FOR SCIENCE STUDENTS

CALL OR WHATSAPP:689 45 44 70

NEBRIJA