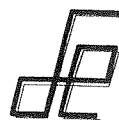




UNIVERSIDAD DE ALCALÁ. E.P.S.
DEPARTAMENTO DE ELECTRÓNICA.
I.T.I. Electrónica Industrial



ASIGNATURA:	ELECTRÓNICA DIGITAL	FECHA:	15-09-2005
APELLIDOS		Nº Lista	
NOMBRE:		D.N.I.	

1	2	3	4	5	6	T
---	---	---	---	---	---	---

Importante: No olvide JUSTIFICAR convenientemente TODAS sus respuestas.
No será tenido en cuenta ningún resultado que no esté razonado y justificado.

Cuestión 1. (1.5 puntos).

Un sistema de navegación digital que se pretende instalar en un coche indica la dirección que se sigue mediante cuatro señales que se denominarán N, S, E y O (todas ellas activas a nivel alto). Diseñe un sistema combinacional utilizando los elementos que considere necesarios que permita excitar un display de 7 segmentos de cátodo común a partir del navegador digital según la tabla siguiente:

Rumbo indicado por N, S, E y O	Segmentos que se deben iluminar en el display
Norte (N=1)	a
Sur (S=1)	d
Este (E=1)	b y c
Oeste (O=1)	e y f
Nordeste (N=E=1)	a y b
Noroeste (N=O=1)	a y f
Sudeste (S=E=1)	c y d
Sudoeste (S=O=1)	d y e

(Indique todos los componentes que deban utilizarse aunque no calcule ningún valor).

N	S	E	O	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	0	1	1	0	0	0	0
0	0	1	1	x	x	x	x	x	x	x
0	1	0	0	0	0	0	1	0	0	0
0	1	0	1	0	0	0	1	1	0	0
0	1	1	0	0	0	1	1	0	0	0
0	1	1	1	x	x	x	x	x	x	x
1	0	0	0	1	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	1	0
1	0	1	0	1	1	0	0	0	0	0
1	0	1	1	x	x	x	x	x	x	x
1	1	0	0							
1	1	0	1							
1	1	1	0	x	x	x	x	x	x	x
1	1	1	1							

PARA CADA UBILE DE SALIDA:

a

NS EO	00	01	11	10
00			X	1
01			X	1
11	X	X	X	X
10			X	1

Con recelo a datos falsos. ($X = \phi$)

$$a = \bar{E}N\bar{S} + \bar{O}N\bar{S}$$

En r. a d. f. ($X = 1$)

$$a = N$$

De igual forma se obtienen:

Con recelo ($X = 0$)

$$\begin{cases} b = \bar{S}E\bar{O} \\ c = \bar{N}E\bar{O} \\ d = \bar{E}\bar{N}\bar{S} + \bar{O}\bar{N}\bar{S} \\ e = \bar{N}E\bar{O} \\ f = \bar{S}E\bar{O} \end{cases}$$

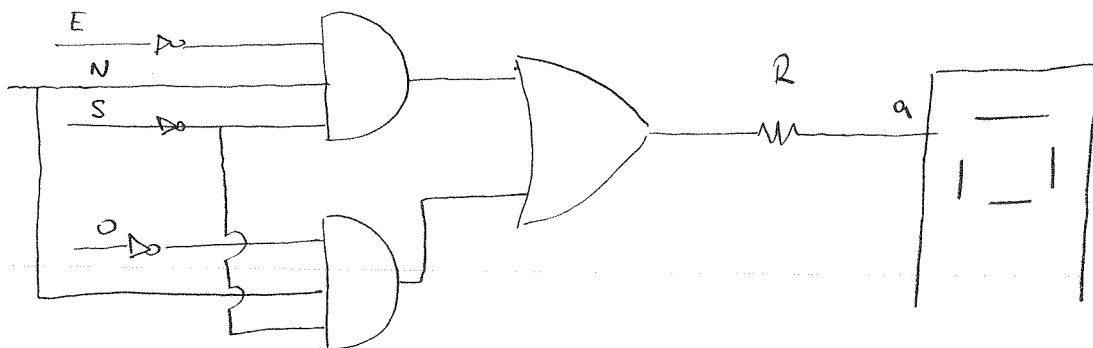
En recelo ($X = 1$)

$$\begin{cases} b = E\bar{S} \\ c = E\bar{N} \\ d = S \\ e = \bar{N}O \\ f = \bar{S}O \end{cases}$$

En ambos casos

$$g = \phi$$

El cto. de a :



De la misma forma se diseñan el resto de ctos.

Este diagrama muestra la implementación de un comparador de 4 bits utilizando un sumador de 4 bits y un comparador integrado 74LS85. Las entradas A y B de 4 bits se conectan a los operandos del sumador. Las salidas de los operandos del sumador se conectan a las entradas A y B del comparador 74LS85. La salida de la carry-in del sumador se conecta a la entrada A=B del comparador. La salida de la carry-out del sumador se conecta a la entrada A>B del comparador. La salida de la carry-in del comparador se conecta a la entrada A=B del sumador. La salida de la carry-out del comparador se conecta a la entrada A>B del sumador. La salida de la carry-in del comparador se conecta a la entrada A=B del sumador. La salida de la carry-out del comparador se conecta a la entrada A>B del sumador. La salida de la carry-in del comparador se conecta a la entrada A=B del sumador. La salida de la carry-out del comparador se conecta a la entrada A>B del sumador.

Comparing Inputs				Cascading Inputs			Outputs		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	x	x	x	x	x	x	H	L	L
A3 < B3	x	x	x	x	x	x	L	H	L
A3 = B3	A2 > B2	x	x	x	x	x	H	L	L
A3 = B3	A2 < B2	x	x	x	x	x	L	H	L
A3 = B3	A2 = B2	A1 > B1	x	x	x	x	H	L	L
A3 = B3	A2 = B2	A1 < B1	x	x	x	x	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	x	x	x	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	x	x	x	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	x	x	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

b) Indique qué operación realiza el circuito completo rellendo la siguiente tabla.

	C_{in}	S	R
$A > B$	1	0	$B + C1(A) + 1 \rightarrow B - A$
$A < B$	1	0	$A + C1(B) + 1 \rightarrow A - B$
$A = B$	0	1	A

c) Complete la siguiente tabla.

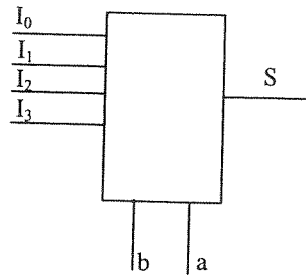
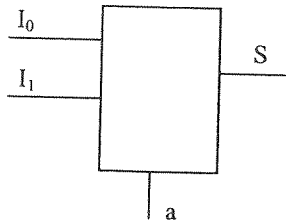
A3.....A0	B3.....B0	R3.....R0	¿se produce overflow?
1100	1010	1110	No
0001	0111	1010	No
1000	1000	1000	No
1000	1001	1111	No

$|A| > |B| \rightarrow B - A = R$
 $|A| < |B| \rightarrow A - B = R$
 $A = B \rightarrow A = R$
 $|A| < |B| \rightarrow A - B = R$

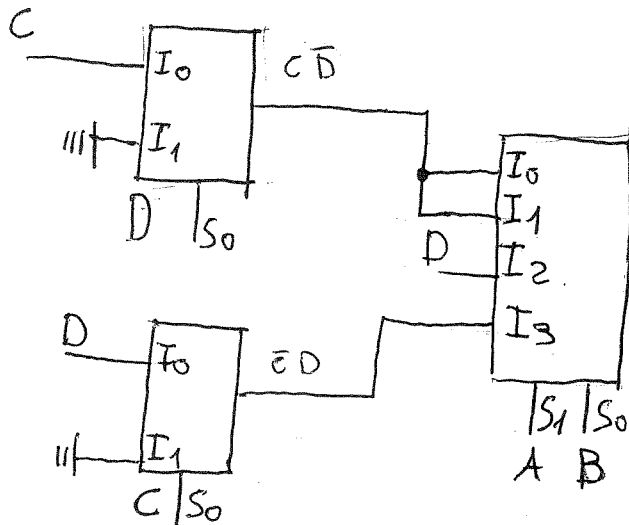
Cuestión 3. (1.5 puntos).

Electrónica Digital Septiembre 2005

Implemente la función $F(a,b,c,d) = \bar{a}\bar{b}c\bar{d} + \bar{a}b c \bar{d} + a\bar{b}c d + a b \bar{c} d$. Para ello se cuenta con dos multiplexores de 2:1 y uno de 4:1 como los mostrados en las figuras. Realice las conexiones de forma clara y escriba todas las ecuaciones que justifiquen la solución.



$$F = \underbrace{\bar{A}\bar{B}C\bar{D}}_{00} + \underbrace{\bar{A}B C \bar{D}}_{01} + \underbrace{A\bar{B} D}_{10} + \underbrace{A B \bar{C} D}_{11}$$



Cuestión 4. (2 puntos).

Dado el circuito de la figura 1, rellene el cronograma adjunto y justifique su respuesta.

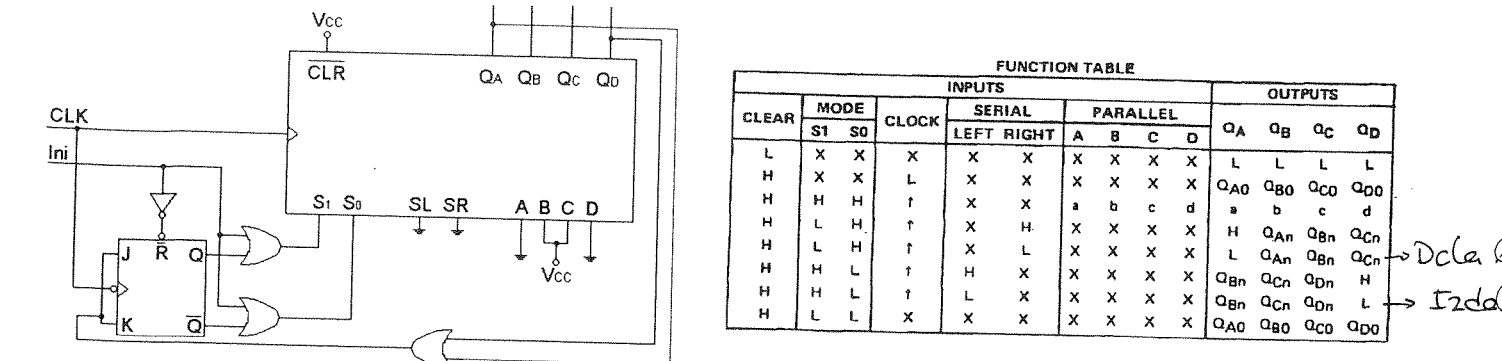
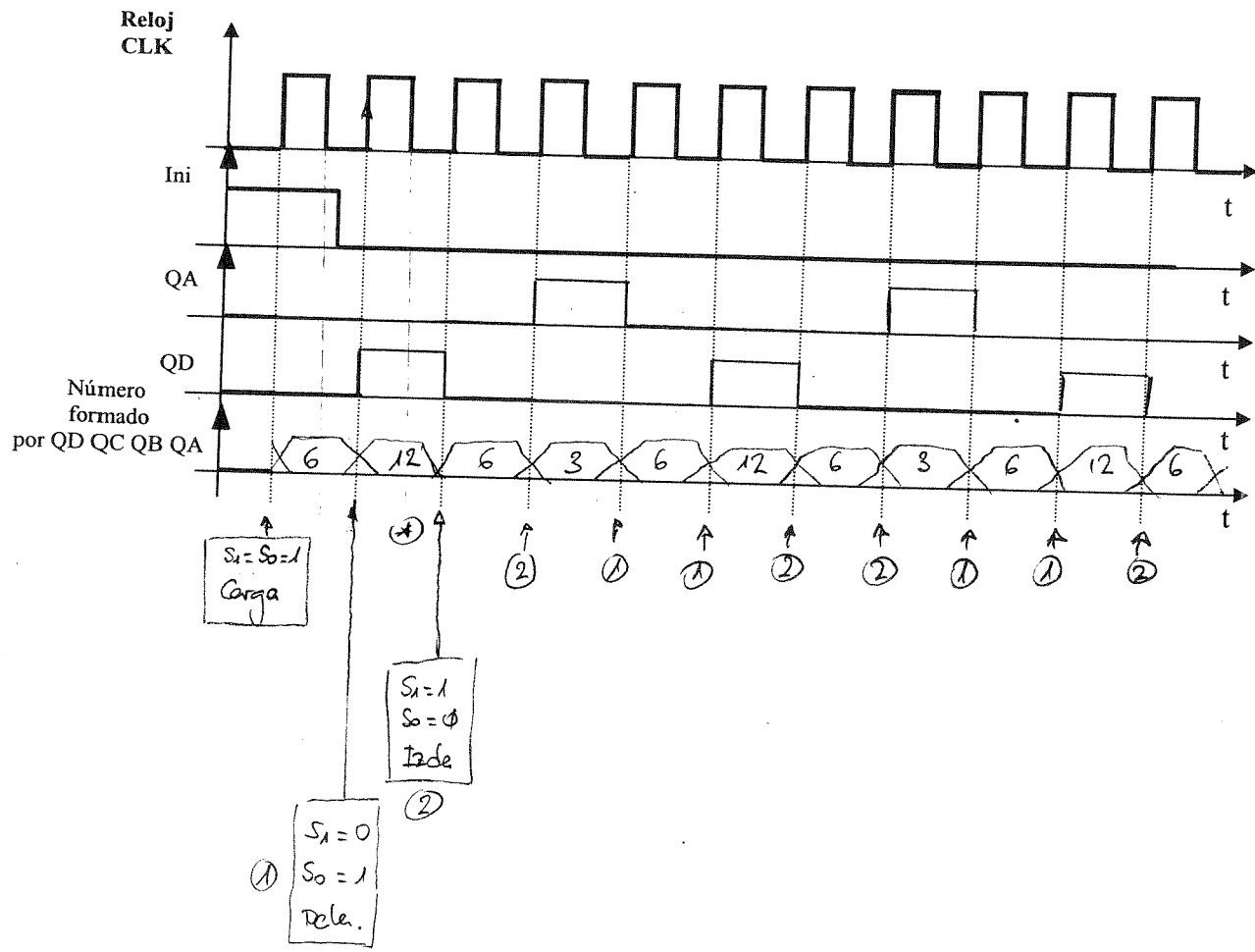


Figura 1. Circuito con biestable y registro de desplazamiento 74194, y características del registro.



⊕ El biestable conmuta en los flancos de bajada si QD ó QA son 1

[illegible]

a) ¿Qué tipo de autómata implementa el circuito?

b) Obtenga el grafo que da lugar a dicho circuito, realizando todos los pasos necesarios.

$$S = \bar{x}(t) [Q_1(t) + Q_0(t)]$$

Estado Actual		Entrada Actual $x(t)$	
$q(t)$		0	1
0	0	00/0	01/0
0	1	00/1	11/0
1	0	00/1	10/0
1	1	00/1	10/0

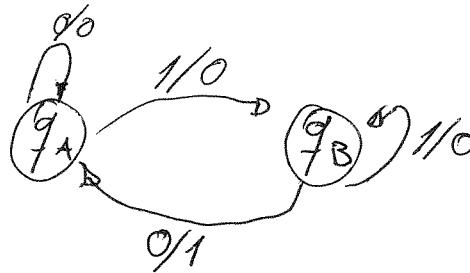
$q(t+1)/Z(t)$

Equivalentes

Estado Actual $q(t)$	Entrada Actual $x(t)$	
	0	1
q_a	$q_a/0$	$q_b/0$
q_b	$q_a/1$	$q_c/0$
q_c	$q_a/1$	$q_c/0$

} Equivalentes

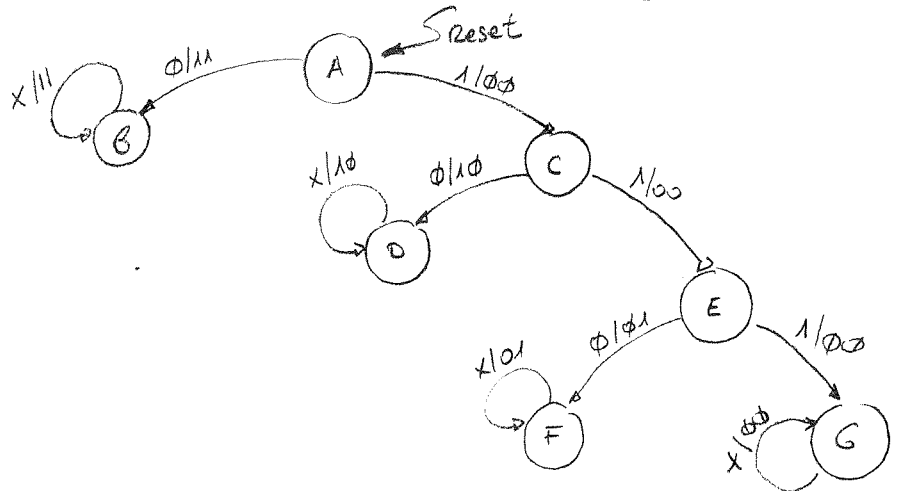
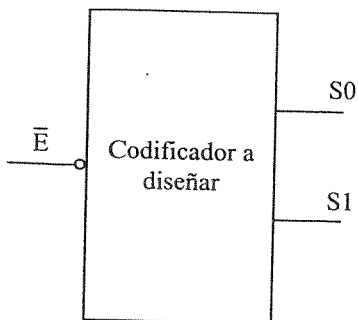
Estado Actual $q(t)$	Entrada Actual $x(t)$	
	0	1
q_A	$q_A/0$	$q_B/0$
q_B	$q_A/1$	$q_B/0$



Cuestión 6. (1.5 puntos).

Electrónica Digital Septiembre 2005

- a) Se desea diseñar un codificador 4:2 con prioridad, con entrada activas a nivel bajo y que llegan por una línea serie y salidas activas a nivel alto (ver figura). Los datos llegan sincronizados con la señal de reloj empezando por el de mayor peso. Una vez obtenido el código de un determinado dato sólo se vuelve al estado inicial mediante la activación de un **RESET** asíncrono. Dibuje y justifique únicamente el grafo de la aplicación.



- b) A partir del siguiente grafo, obtenga su correspondiente circuito según la metodología de diseño de sistemas secuenciales síncronos estudiada en la asignatura.

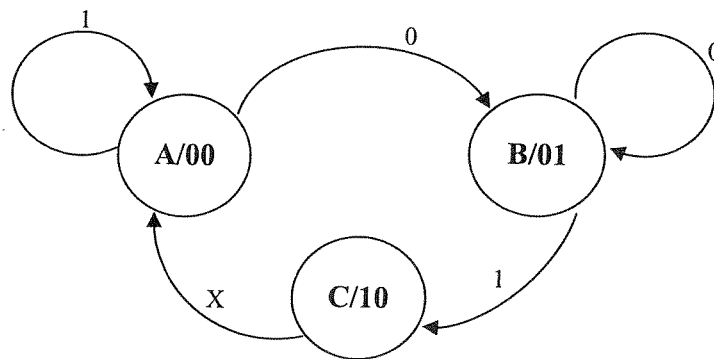


Tabla de Transiciones

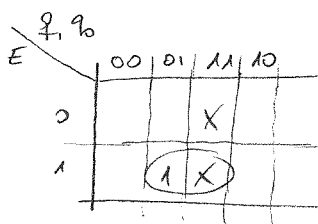
Est. Act.	Est. Fut.		Salida
	$E=\phi$	$E=1$	
A	B	A	0 0
B	B	C	0 1
C	A	A	1 0

Codificación

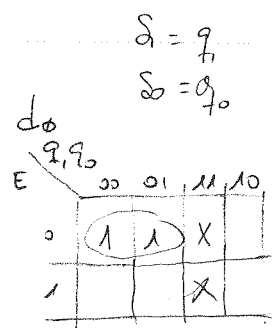
E. A	E. F		S	
	$E=\phi$	$E=1$	S_1	S_0
0 0	0 1	0 0	0	0
0 1	0 1	1 0	0	1
1 0	0 0	0 0	1	0
q_1, q_0	d_1, d_0	d_1, d_0		

MAPAS Y ECUACIONES

d_1



$$d_1 = E q_0$$



$$d_0 = \bar{E} q_1$$

