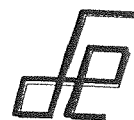




UNIVERSIDAD DE ALCALÁ. E.P.
DEPARTAMENTO DE ELECTRÓNICA.
I.T.I. Electrónica Industrial



ASIGNATURA:	ELECTRÓNICA DIGITAL	FECHA:	22-06-2004
APELLIDOS:	SANCÓN.	Nº Lista:	
NOMBRE:		D.N.I.:	

1	2	3	4	5	6	T
---	---	---	---	---	---	---

IMPORTANTE: No se tendrá en cuenta ninguna respuesta que no esté convenientemente razonada y justificada

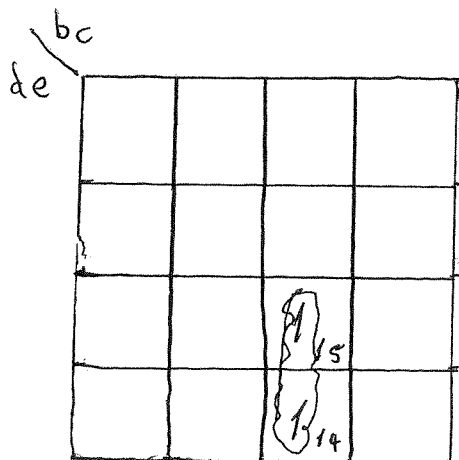
Cuestión 1 (1,5 puntos).

En una empresa hay 5 compresores de aire acondicionado de distintas potencias y localizaciones, para usar según distintas necesidades. Cada compresor tiene un consumo distinto, como se indica a continuación: A= 15, B=12, C=10, D=9, E=5 KW hora.

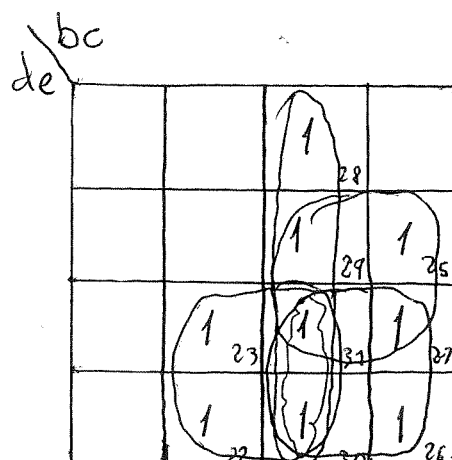
Cada uno de ellos se encuentra alimentado independientemente y podrían funcionar todos a la vez. Sin embargo, es necesario diseñar un sistema de protección que limite la potencia consumida y bloquee el funcionamiento cuando la potencia conjunta supere los 30KW hora.

Sabiendo que cada compresor tiene una señal digital de salida asociada que entrega un '1' cuando está en funcionamiento, encuentre la función lógica que rige el sistema limitador de potencia y simplifique su diseño para que sea lo mas sencillo posible con un solo tipo de puertas.

(15) (12) (10) (9) (5)		
A B C D E	F	
0 0 0 0 0	0	
0 1 1 1 0	1	(14)
0 1 1 1 1	1	(15)
1 0 1 1 0	1	(22)
1 0 1 1 1	1	(23)
1 0 1 1 1	0	
1 1 0 0 1	1	(25)
1 1 0 1 0	1	(26)
1 1 0 1 1	1	(27)
1 1 1 0 0	1	(28)
1 1 1 0 1	1	(29)
1 1 1 1 0	1	(30)
1 1 1 1 1	1	(31)



$a=0$



$a=1$

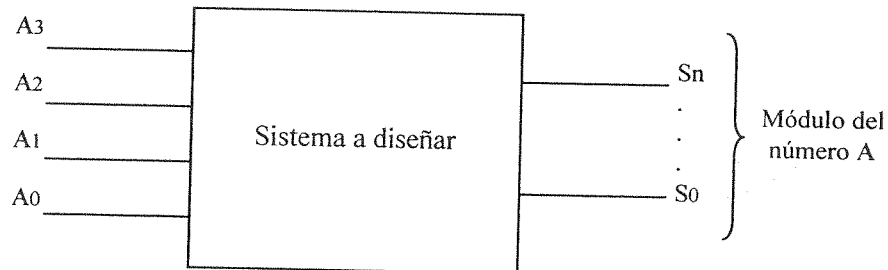
$$\begin{aligned}
 m_{14,15,22,23} &= b \cdot c \cdot d \\
 m_{28,29,31,30} &= a \cdot b \cdot c \\
 m_{25,29,31,27} &= a \cdot b \cdot e \\
 m_{22,23,31,30} &= a \cdot c \cdot d \\
 m_{26,27,31,30} &= a \cdot b \cdot d
 \end{aligned}$$

$$\begin{aligned}
 F(a,b,c,d,e) &= b \cdot c \cdot d + a \cdot b \cdot c + a \cdot b \cdot e + a \cdot c \cdot d + a \cdot b \cdot d = \\
 &= b \cdot c \cdot d + a \cdot b \cdot c + a \cdot b \cdot e + a \cdot c \cdot d + a \cdot b \cdot d = \\
 &= b \cdot c \cdot d \cdot \overline{a} \cdot \overline{b} \cdot \overline{c} \cdot \overline{d} \cdot \overline{e} \cdot \overline{a} \cdot \overline{b} \cdot \overline{c} \cdot \overline{d} \cdot \overline{e}
 \end{aligned}$$

Cuestión 2 (2 puntos).

Electrónica Digital 22/06/2005

Utilizando los elementos que considere oportunos, diseñe un circuito que permita obtener el valor absoluto de un número A de cuatro bits y que llega expresado en el formato de representación numérica "complemento a dos". Decida el número de salidas necesarias para que el sistema funcione correctamente.

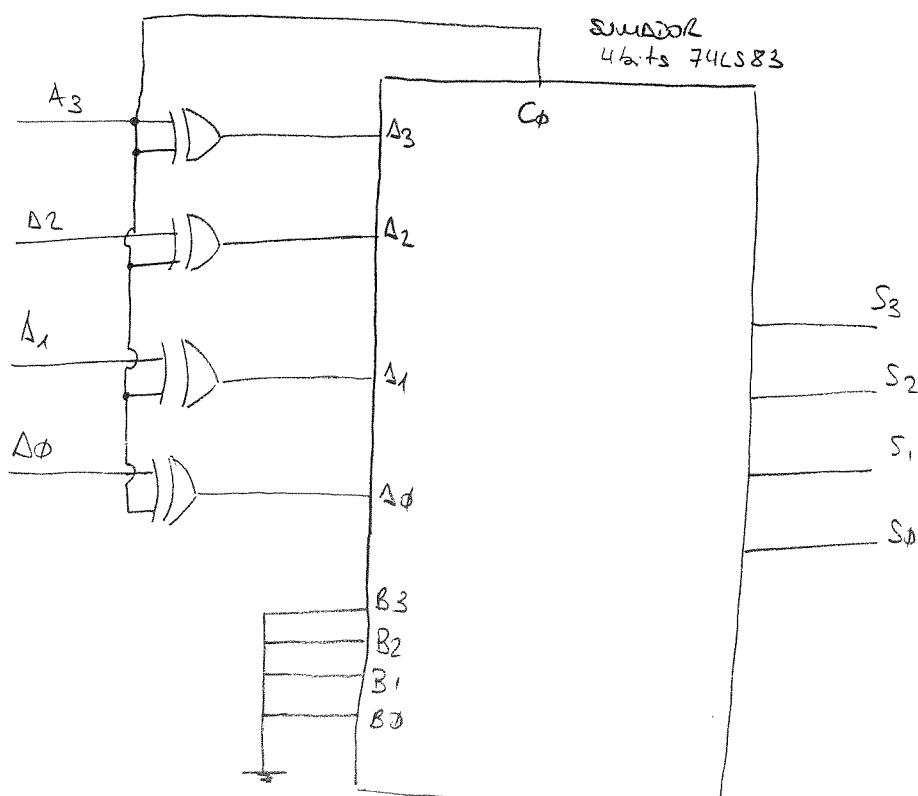


Sólo es necesario extraer el módulo de A, es decir:

$$\Rightarrow \begin{cases} \text{si } A > 0 \quad (A_3 = 0) \Rightarrow S = A \\ \text{si } A < 0 \quad (A_3 = 1) \Rightarrow S = C2(A) \end{cases}$$

HACEN FALTA 4 SALIDAS PARA PODER REPRESENTAR

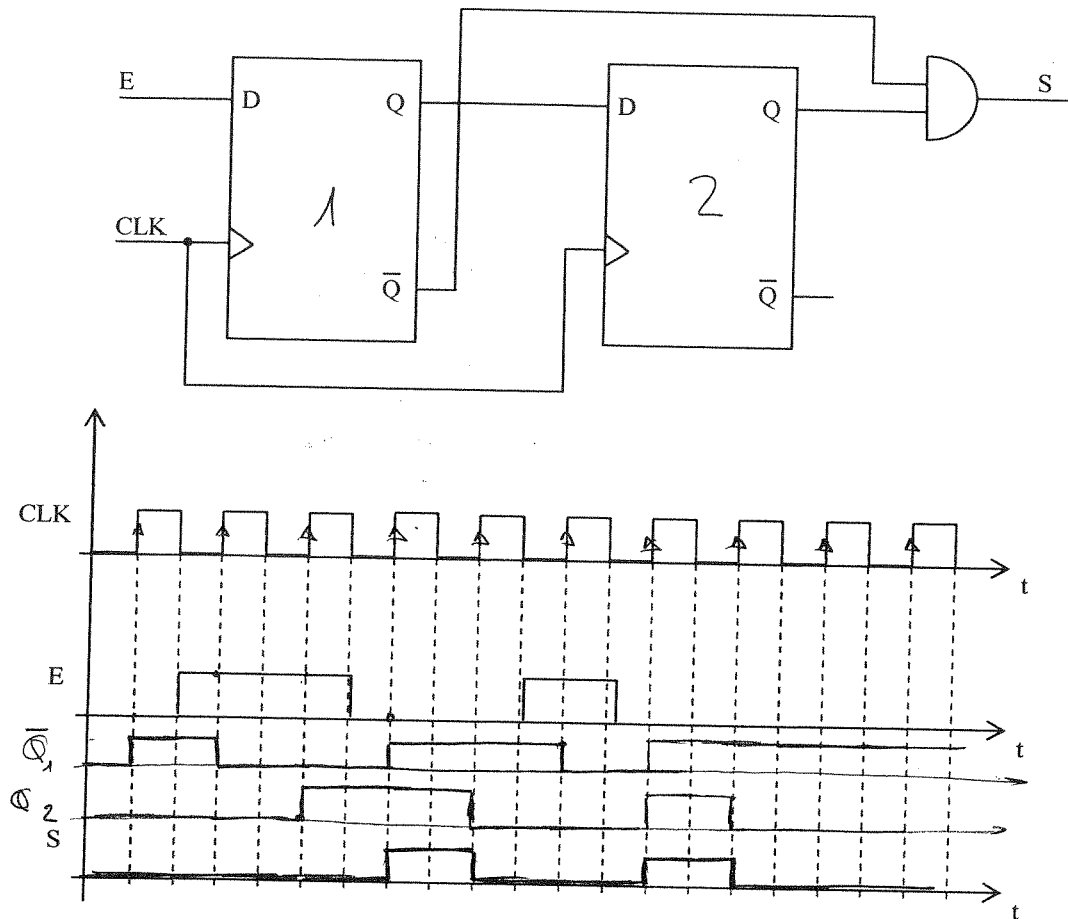
EL MÓDULO DE -8. ($|-8| = 1000$)



Cuestión 3 (1,5 puntos).

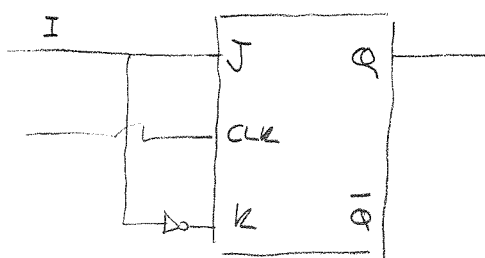
Electrónica Digital 22/06/2005

- a) Complete el cronograma adjunto para el circuito de la siguiente figura suponiendo que al principio las salidas de los biestables están a nivel bajo (0,75 puntos).



- b) Diseñe un circuito que tenga esta misma funcionalidad (mismo cronograma) pero con biestables J-K activos por flanco de subida (0,75 puntos).

BASTA CON SUSTITUIR LOS BIESTABLES TIPO D POR:



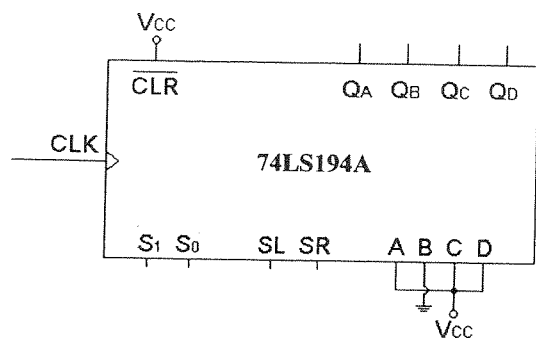
ASÍ CONECTADO Y SIENDO I
LO QUE HAYA CONECTADO A D,
ESTE BIESTABLE SE COMPORTA
IGUAL QUE UN TIPO D.

I	Q	
0	0	(J=0, K=1)
1	1	(J=1, K=0)

Cuestión 4 (1,5 puntos).

Electrónica Digital 22/06/2005

El registro universal 74LS194 de la figura 1 es sometido a las señales de la figura 2. Complete el cronograma de la figura 2 justificando su respuesta.



FUNCTION TABLE														
CLEAR	MODE		INPUTS								OUTPUTS			
			CLOCK	SERIAL		PARALLEL				Q _A	Q _B	Q _C	Q _D	
	S ₁	S ₀		LEFT	RIGHT	A	B	C	D					
L	X	X	X	X	X	X	X	X	X	L	L	L	L	
H	X	X	L	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}	
H	H	H	↑	X	X	a	b	c	d	a	b	c	d	
H	L	H	↑	X	H	X	X	X	X	H	Q _{An}	Q _{Bn}	Q _{Cn}	
H	L	H	↑	X	L	X	X	X	X	L	Q _{An}	Q _{Bn}	Q _{Cn}	
H	H	L	↑	H	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	H	
H	H	L	↑	L	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	L	
H	L	L	X	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}	

Figura 1. Registro de desplazamiento y tabla de funcionamiento.

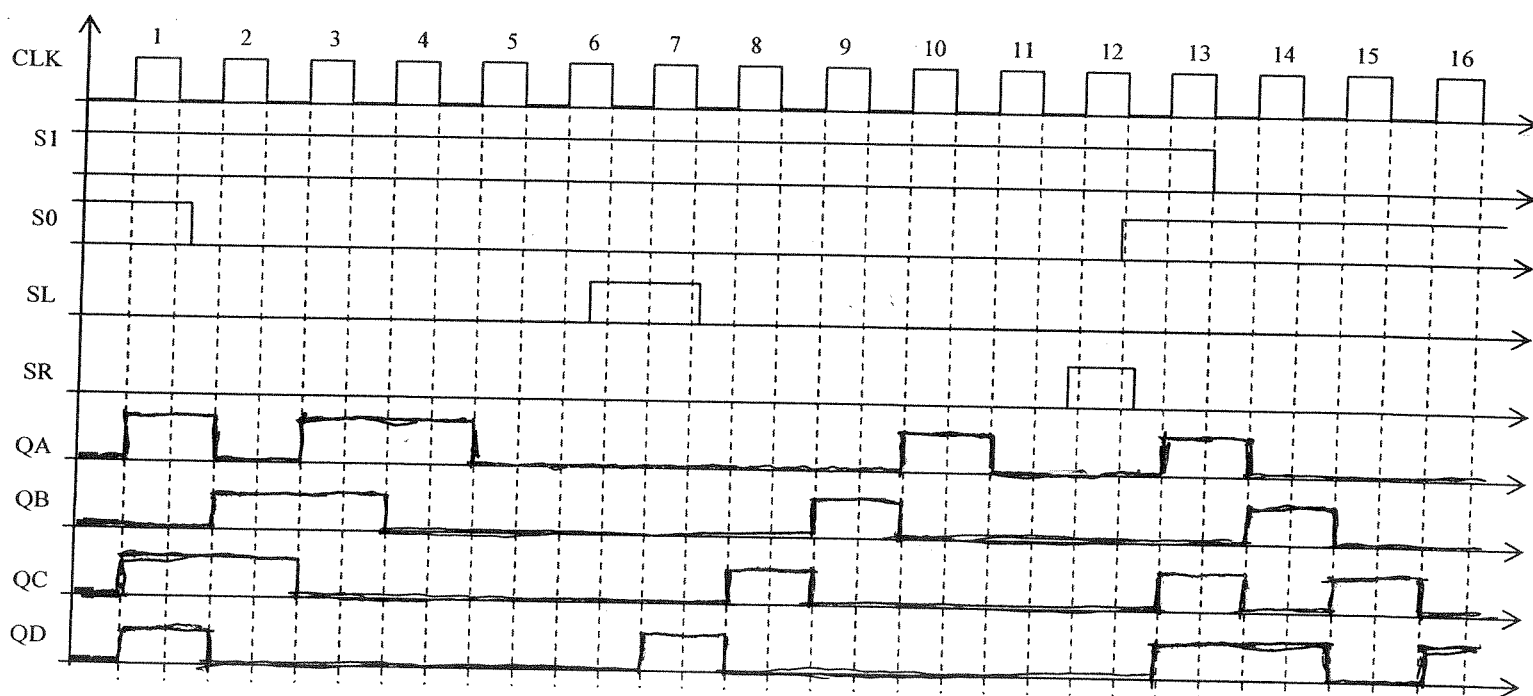


Figura 2. Señales aplicadas al circuito 74LS194.

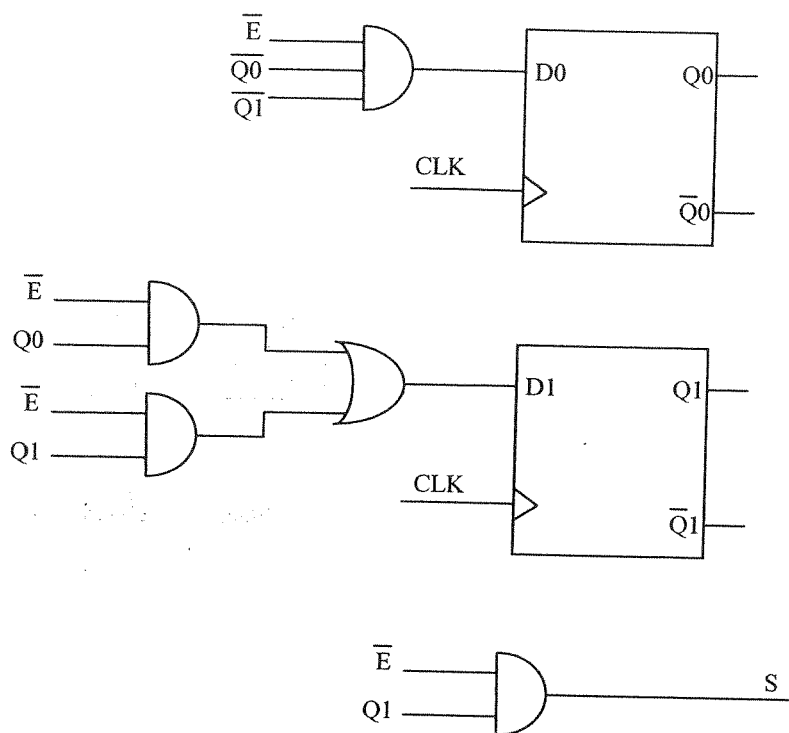
Load
Desplazamiento
a izquierdas

Load
Desplazamiento
a Derechas.

Cuestión 5 (1,5 puntos).

Electrónica Digital 22/06/2005

El siguiente circuito corresponde a una máquina de estados finitos donde E y S son entrada y salida respectivamente.



a) ¿Es un autómata de Moore o de Mealy? (0,5 puntos)

MEALY, PORQUE $S = \bar{E} \cdot Q_1 \Rightarrow S = f(E, \text{estado})$

b) Analícelo y obtenga el grafo a partir del cual se ha obtenido dicho circuito detallando todos los pasos que sean necesarios (1 punto).

$$D_0 = \bar{E} \cdot \bar{Q}_0 \cdot \bar{Q}_1$$

$$D_1 = \bar{E} \cdot Q_0 + \bar{E} \cdot Q_1$$

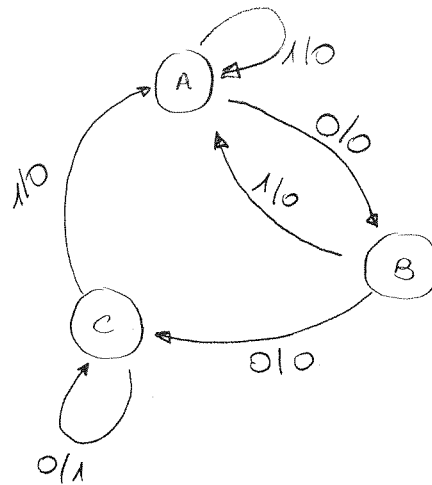
todas
las posibilidades
con 2 bits

Estado Actual	Est. Futuro				Salida	
	E=0		E=1		E=0	E=1
0 0	0	1	0	0	0	0
0 1	1	0	0	0	0	0
1 0	1	0	0	0	1	0
1 1	1	0	0	0	1	0
$Q_1 \ Q_0$	$D_1 \ D_0$		$D_1 \ D_0$			

Los estados 10 y 11 son iguales, así que se elimina el estado 11.

El grafo resultante será:

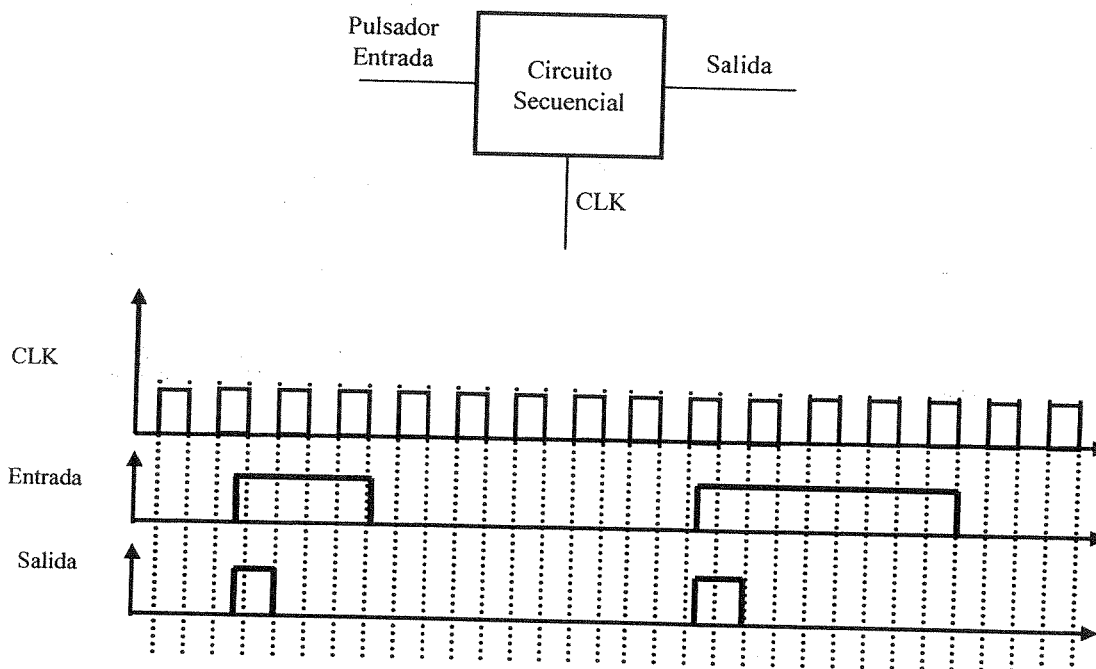
00	→ A
01	→ B
10	→ C



Cuestión 6 (2 puntos).

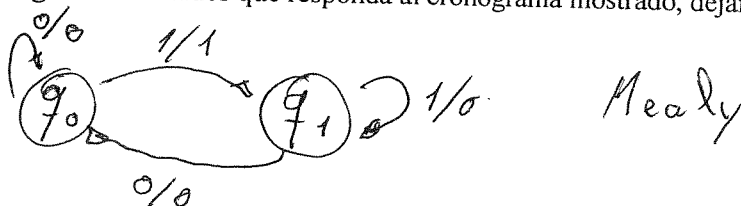
Electrónica Digital 22/06/2005

Diseñe un detector de flanco que funcione de la siguiente manera: suponga un interruptor que al pulsarlo produce un 1 lógico a la entrada del detector. Este pulso es muy largo respecto a la frecuencia de reloj. El detector de flanco debe producir un único pulso de ancho máximo un pulso de reloj a su salida, aunque el interruptor permanezca cerrado. Nótese que el circuito no debe generar otro pulso hasta que se pulse nuevamente el interruptor, véase la figura.



Responda razonadamente a las preguntas siguientes:

- a) Dibuje el diagrama de estados que responda al cronograma mostrado, dejando claro el tipo de autómatas. (1 punto).

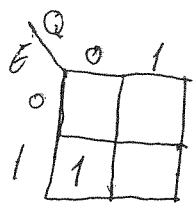


- b) Dibuje las tablas necesarias (0,5 puntos).

Estado Actual	Entrada Actual $x(t)$	
	0	1
q_0	$q_0/0$	$q_1/1$
q_1	$q_0/0$	$q_1/0$

Estado Actual		$x(t)$	
$q(t)$	$Q(t)$	0	1
q_0	0	0/0	1/1
q_1	1	0/0	1/0

c) Implemente el circuito final (0,5 puntos).



$$S = \bar{Q} \cdot \bar{E}$$



$$D = E$$

