

Capítulo 2

Transistores Unipolares

Contenido

- 2.1 Introducción , [2.2](#)
- 2.2 Transistores de puerta de unión: JFET , [2.3](#)
 - 2.2.1 Estudio cualitativo del transistor JFET, [2.3](#)
 - 2.2.2 Estudio cuantitativo del transistor JFET, [2.11](#)
 - 2.2.3 Aproximaciones de las expresiones de las corrientes de lo, [2.15](#)
 - 2.2.4 Resumen de ecuaciones y características de entrada y sali, [2.17](#)
 - 2.2.5 Resumen de ecuaciones y características de entrada y sali, [2.20](#)
 - 2.2.6 Método para el análisis de circuitos con JFET ´s, [2.24](#)
 - 2.2.7 Estructuras prácticas de JFETs., [2.26](#)
- 2.3. Capacidad MOS, [2.28](#)
 - 2.3.1 Estructura ideal de la capacidad MOS., [2.28](#)
 - 2.3.2 Estudio cualitativo de la capacidad MOS, [2.29](#)
 - 2.3.3 Ancho de la zona de vaciamiento (W) y tensión umbral (VT, [2.33](#)
- 2.4 Transistores MOSFET de acumulación, [2.42](#)
 - 2.4.1 Funcionamiento cualitativo, [2.45](#)
 - 2.4.2 Funcionamiento cuantitativo de los MOSFET, [2.50](#)
 - 2.4.3 Aproximaciones de las expresiones de las corrientes de lo, [2.56](#)
 - 2.4.4 Método para el análisis de circuitos con MOSFETs de acum, [2.60](#)
- 2.5 MOSFET de deplexión, [2.67](#)
 - 2.5.1 Estudio cualitativo, [2.69](#)
- 2.6 Transistores MESFET, [2.79](#)
- 2.7 Efectos de segundo orden en transistores unipolares., [2.81](#)
 - 2.7.1 Modulación de la longitud del canal y Efecto Early, [2.81](#)
 - 2.7.2 Tensión de ruptura, [2.83](#)
 - 2.7.3 Efecto de la temperatura, [2.84](#)
- 2.8. Ejercicios, [2.86](#)

2.1 Introducción

Los transistores unipolares, o *transistores de efecto de campo*, FET (Field Effect Transistor) son dispositivos de estado sólido de dos uniones en los que un campo eléctrico controla el flujo de los portadores mayoritarios en un canal de conducción, de ahí su denominación de *efecto de campo*.

A diferencia de los transistores bipolares, en los transistores unipolares la corriente total en el canal de conducción se debe únicamente a portadores mayoritarios del canal. Esta es la razón por la que a estos transistores también se les conoce como *transistores unipolares*.

Las primeras propuestas de este tipo de transistores datan de los años 1920 (casi 20 años antes que los transistores bipolares). Si embargo su desarrollo no fue posible hasta 1953 (el primer transistor unipolar fue presentado y analizado por W. Shockley en 1952, y en 1953 Dacey y Ross construyeron el primer prototipo), porque no se contaba ni con los materiales semiconductores ni con las técnicas apropiadas. Hubo que esperar al desarrollo de otros dispositivos, tales como los transistores bipolares, para poder desarrollar los transistores unipolares.

Como se pondrá de manifiesto más adelante, los transistores unipolares presentan ventajas y desventajas frente a los bipolares. Entre las ventajas se pueden destacar el que generan menos ruido, son más sencillos y ocupan menos espacio en los circuitos integrados. Dentro de las desventajas cabe destacar que como amplificador (aplicaciones de pequeña señal) la ganancia que se puede conseguir es menor (transconductancia menor que en los bipolares).

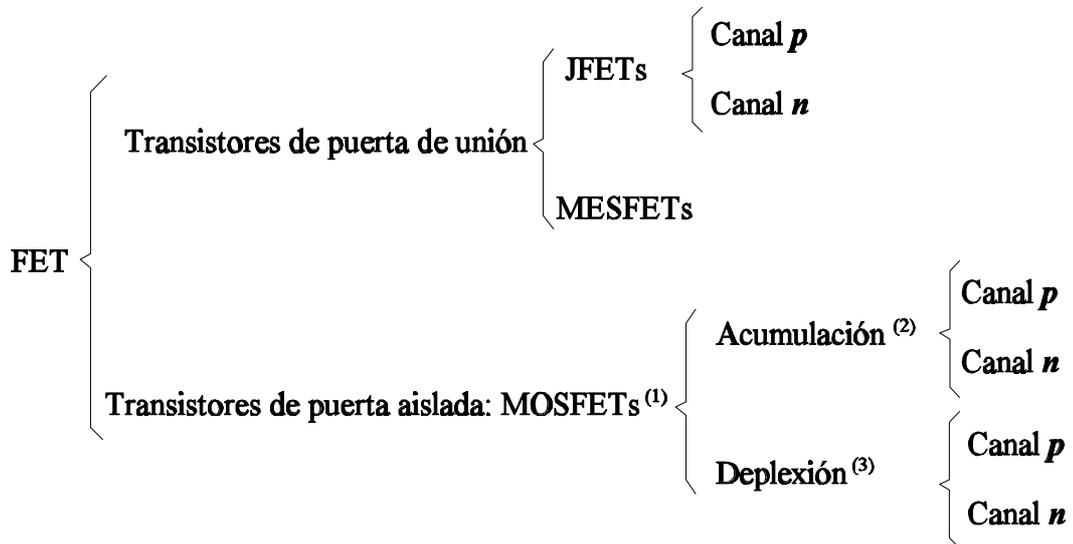
En la figura 2.1 se muestran los diferentes tipos de transistores de efecto de campo. Como se puede observar existen cuatro clases básicas de transistores FET´s:

1. Transistores de puerta de unión. Dentro de éstos existen dos tipos:
 - 1.a. FET de unión o J-FET (Junction FET). Normalmente se hace referencia a ellos como FET. Existen dos tipos: canal **p** y canal **n**.
 - 1.b. Metal-Semiconductor FET o MESFET (metal-semiconductor field effect transistor).
2. Transistores de puerta aislada o MOSFET (metal-oxide-semiconductor FET). Dentro de ellos existen dos tipos:
 - 2.a. Acumulación. Los hay canal **p** y canal **n**.
 - 2.b. Deplexión. Los hay canal **p** y canal **n**.

En lo que sigue se va a realizar el estudio cualitativo y cuantitativo de los transistores unipolares.

Este estudio se comenzará con los transistores JFET, seguidamente se realizará el estudio de los MOSFET y se finalizará con los MESFET. La razón de dejar para el final el transistor MESFET,

aunque se trate de un transistor de puerta de unión, es porque su funcionamiento tiene un gran parecido con los MOSFET de deplexión canal n .



- (1) También se conocen por: MISFET (Metal-Isolate-Semiconductor FET) e IGFET (Isolate-Gate FET)
- (2) También se conocen por: “Enriquecimiento” o “Canal Inducido”
- (3) También se conocen por: “Empobrecimiento” o “Canal Difundido”

Figura 2.1 Clases básicas de *transistores de efecto de campo* (transistores unipolares).

2.2 Transistores de puerta de unión: JFET

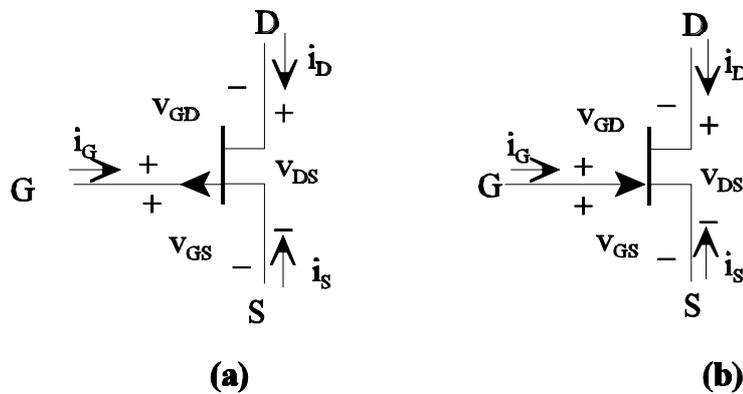
2.2.1 Estudio cualitativo del transistor JFET

Se empezará mostrando los símbolos utilizados para este tipo de transistores, así como la forma en que se definen las corrientes y tensiones. En la figura 2.2 se muestran estos símbolos, tanto para el caso de canal p como n . Como se puede comprobar son dispositivos de tres terminales que reciben el nombre de: drenador (D, Drain), fuente (S, Source) y puerta (G, Gate). El nombre que reciben estos terminales se justifica por la función que realizan en el funcionamiento del transistor. Así el drenador es el terminal que “drena” (por el que salen) portadores mayoritarios, y la fuente es el terminal que “inyecta” portadores mayoritarios. En el caso de un transistor canal p los portadores mayoritarios son los huecos y en el caso de un canal n los portadores mayoritarios son los electrones. El terminal de puerta es el que actúa como terminal de control de la corriente por el canal.

Sobre los símbolos de la figura 2.2 se muestran las corrientes y tensiones, donde las corrientes se definen todas entrantes. Por tanto las ecuaciones de nudo y malla son (ver figura 2.2), tanto para el canal p como para el n :

$$i_D + i_S + i_G = 0 \tag{2.1}$$

$$v_{DS} = v_{GS} - v_{GD}$$



G= Puerta (Gate)
S= Fuente (Source)
D= Drenador (Drain)

Figura 2.2 Símbolos y definición de corrientes y tensiones para transistores J-FET. (a) Canal p , (b) Canal n .

En la figura 2.3 se muestran las secciones transversales de las estructuras básicas de los transistores J-FET, que como se puede observar está formada por:

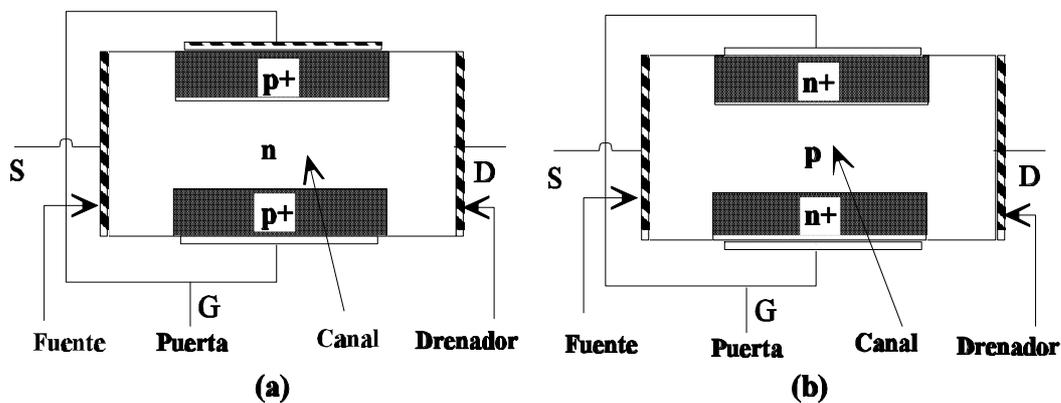


Figura 2.3 Secciones transversales de las estructuras básicas de transistores JFET. (a) Canal n , (b) Canal p .

- Un semiconductor tipo n (caso de transistor canal n) o tipo p (caso de transistor canal p) que constituye el canal. Los extremos de este canal son los terminales de Drenador (D) y Fuente (S). La corriente por el canal fluye, por tanto, entre D y S.
- Dos zonas de semiconductor tipo $p+$ (caso de transistor canal n) o tipo $n+$ (caso de transistores canal p) que constituyen la puerta (G). La razón fundamental de dopar más las zonas correspondientes a la puerta es para que con polarización inversa de las

uniones (que es el modo de funcionamiento normal de las mismas, como se verá más adelante) la región de vaciamiento sea mucho más pronunciada en la zona del canal que en la de puerta.

En la descripción del funcionamiento en continua (hablaremos, por tanto, de tensiones y corrientes en continua) de estos transistores se usará un transistor canal n (un razonamiento similar se podrá hacer para el caso de canal p).

Para ello se supondrá condiciones normales de polarización. Estas condiciones deben garantizar que las uniones $p-n$ que se forman entre el canal y la zona de puerta deben estar polarizadas siempre en inverso (lo que supone que la corriente de puerta será muy pequeña, prácticamente nula, $I_G \approx 0$). Para ello se debe cumplir: $V_{GS} \leq 0$ y $V_{DS} \geq 0$ (esta última condición garantiza que $V_{GD} < 0$). En la figura 2.4 se muestra un ejemplo de polarización. Obsérvese que con $V_{DS} > 0$ la corriente (que representa el movimiento de los huecos) es la que se indica por I_D y, dado que el transistor es canal n (los portadores mayoritarios son electrones), los electrones se mueven en sentido contrario, por tanto "salen" electrones por el terminal que se ha denominado Drenador (D), lo que coincide con la definición dada anteriormente (por el terminal S se "inyectan" electrones). **En resumen en un transistor canal n la tensión entre Drenador y Fuente (V_{DS}) tiene que ser positiva ($V_{DS} \geq 0$)**

Con el único objetivo de facilitar la comprensión del funcionamiento, en el estudio que se realiza a continuación se va a suponer $V_{GS} = 0$. Posteriormente se verá el efecto de $V_{GS} < 0$.

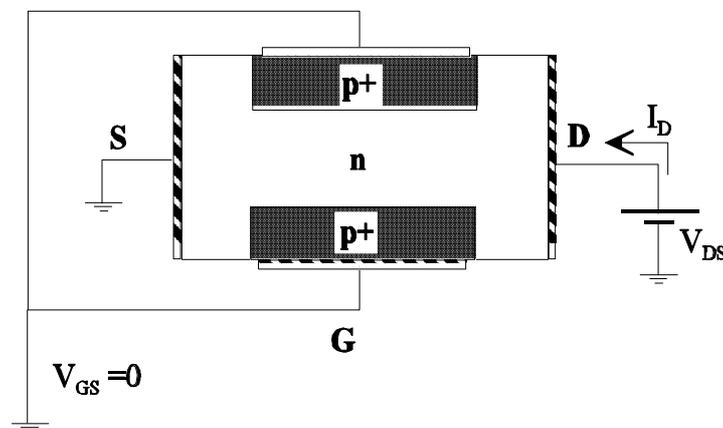


Figura 2.4 Condiciones de polarización para el estudio cualitativo.

Como se puede observar en la figura 2.4 con $V_{DS} \geq 0$ la corriente fluye de Drenador (D) a Fuente (S). Para ver el comportamiento del transistor J-FET basta recordar que cuando una unión $p-n$ se polariza en inverso la zona de vaciamiento o transición es mayor en la medida en que sea mayor la tensión inversa aplicada, creciendo más en la zona menos dopada. Con ello, y teniendo en cuenta que la resistencia que presenta un conductor o semiconductor es función, entre otras, de la sección del material, se puede realizar el estudio cualitativo (posteriormente en el estudio cuantitativo se obtendrán las ecuaciones que relacionan la corriente de drenador y fuente en función de las tensiones entre terminales). Por tanto, si se supone que entre drenador y fuente existe una resistencia, R_{DS} , ésta se puede considerar como

una suma de resistencias r_k , tal como se indica en la figura 2.5. Con ello la tensión entre cada punto, k , del canal y el terminal de puerta viene dada por (con $V_{GS}=0$):

$$V_{Gk} = V_{GS} - V_{kS} = -\frac{V_{DS}}{R_{DS}} \cdot \sum_{i=1}^k r_i \quad <2.2>$$

Para los puntos más próximos al terminal de fuente (S) esta tensión tiende a:

$$V_{Gk} = V_{GS} - V_{kS} \rightarrow 0 \quad <2.3>$$

y para los puntos próximos a drenador :

$$V_{Gk} = V_{GS} - V_{kS} \rightarrow -V_{DS} \quad <2.4>$$

Por tanto, dado que $V_{DS} \geq 0$ y $V_{GS} = 0$, las zonas de la unión **p-n** más próximas a fuente (S) están menos polarizadas en inverso que las más próximas a drenador (D). Por ello el perfil que presentarán las zonas de vaciamiento será el mostrado en las figuras 2.6 y 2.7.

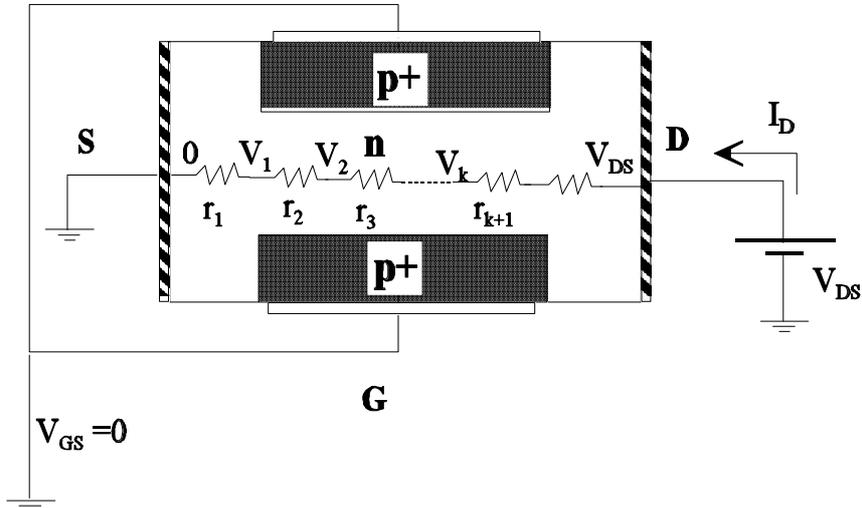


Figura 2.5 Modelo ilustrativo para el estudio cualitativo del transistor JFET.

Para explicar, de forma cualitativa, la variación de la corriente de drenador en función de la variación de la tensión drenador-fuente, se puede suponer, como ya se ha indicado, que el canal presenta una resistencia R_{DS} entre drenador y fuente. Por tanto:

$$V_{DS} = I_D R_{DS} \quad <2.5>$$

de donde se obtiene:

$$\Delta V_{DS} = I_D \Delta R_{DS} + R_{DS} \Delta I_D \quad <2.6>$$

A partir de estas dos últimas expresiones se pueden obtener las siguientes conclusiones, para los dos márgenes de valores más significativos de V_{DS} :

- **Para $V_{DS} \geq 0$, pero inferiores a la que produce el estrangulamiento del canal.** A medida que se incremente V_{DS} la sección transversal del canal disminuye y con ello R_{DS} aumenta. Observando la ecuación <2.6> se puede ver que ante $\Delta V_{DS} > 0$ se producen $\Delta I_D > 0$, que para I_D pequeñas e ΔR_{DS} pequeñas (lo que sucede para V_{DS} próximas a cero, recuérdese que si $R = K/A$, entonces $\Delta R/\Delta A = -K/A^2$, donde A representa la sección transversal del material) la variación de I_D con V_{DS} es casi lineal. A medida que se incrementa V_{DS} , tanto I_D como ΔR_{DS} y R_{DS} tienen valores más elevados lo que significa que para un mismo ΔV_{DS} , ΔI_D es menor. Esta situación se muestra en la figura 2.6.
- **Para V_{DS} superiores o iguales a la que hace que el canal se estrangule.** En este caso la sección transversal del canal tiende a cero ($A \rightarrow 0$) en uno (situación límite) o varios puntos. Ello supone que $R_{DS} \rightarrow \infty$. Por tanto, observando la ecuación <2.6>, se puede ver que la única solución es que $\Delta I_D \rightarrow 0$. Lo que significa que $I_D = I_{Dsat} = \text{cte.}$ (ver figura 2.7)

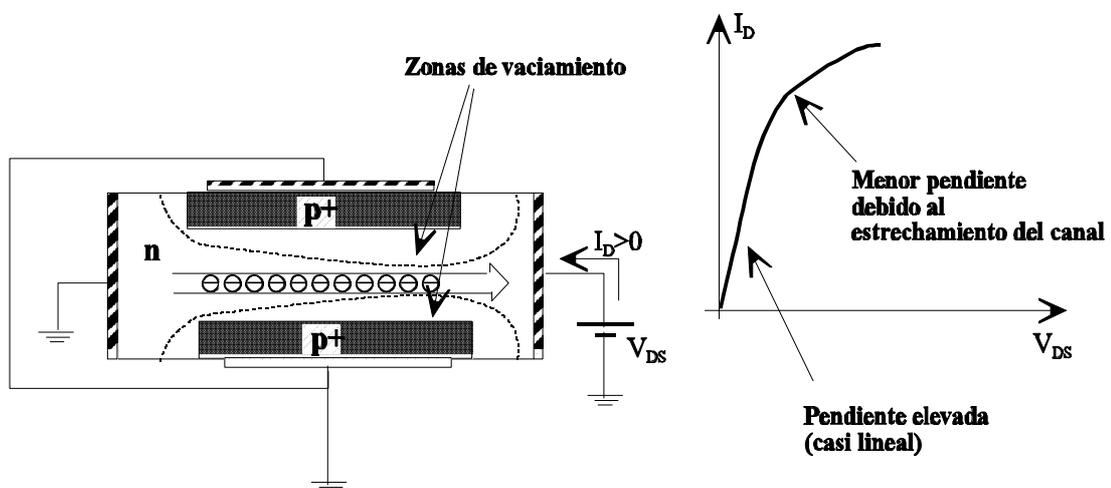


Figura 2.6 Variación de la corriente de drenador para tensiones V_{DS} inferiores a las que producen el estrangulamiento del canal.

La tensión V_{DS} mínima para la cual se alcanza el "estrangulamiento" o "cierre" (*pinch-off*) del canal se le conoce como V_{Dsat} .

Como es lógico, el grado de estrechamiento del canal depende de la tensión inversa aplicada entre la zona **n** y **p**, y ésta viene dada, para el caso más desfavorable (zona más próxima a drenador), por $V_{GS} - V_{DS}$ ya que $V_{DS} > 0$.

Por tanto, la corriente por el canal no sólo depende de la tensión V_{DS} sino también de la tensión V_{GS} . A la diferencia de potencial entre la zona **p** y **n** necesaria para producir el estrangulamiento del canal se le denomina por V_p :

$$V_{GS} - V_{DS} = V_p \quad <2.7>$$

Ya que las uniones deben estar polarizadas en inverso, para un transistor canal **n** se cumple que $V_p < 0$; y para un canal **p** $V_p > 0$. Además V_p constituye un parámetro propio del transistor. Es evidente (ver ecuación <2.7>), que para $V_{GS} = 0$ el estrangulamiento del canal se produce cuando $V_{DS} = V_{Dsat} = -V_p$, y para $V_{DS} = 0$, la tensión que hay que aplicar entre puerta y fuente

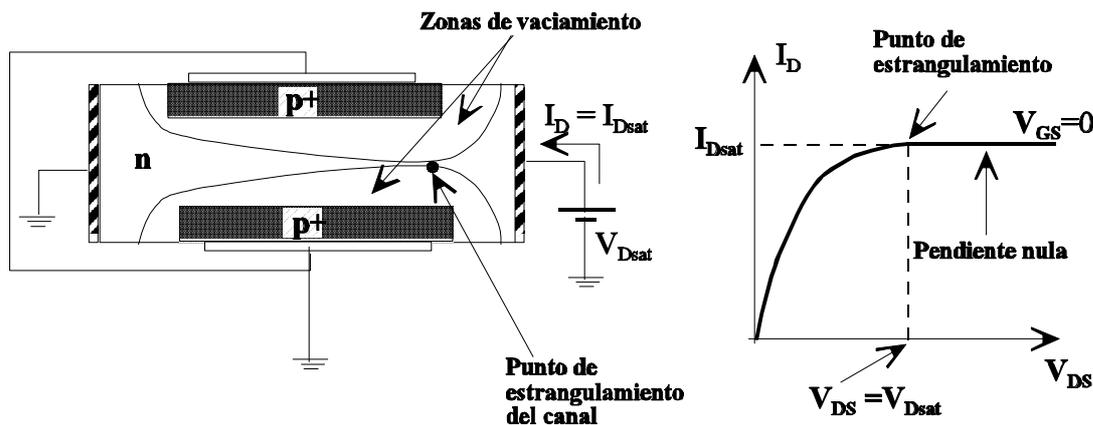


Figura 2.7 Variación de la corriente de drenador para tensiones V_{DS} superiores o iguales a las que producen el estrangulamiento del canal ($V_{DS} \geq V_{Dsat}$).

para estrangular el canal es $V_{GS} = V_p$.

Para ver esta dependencia de I_D con V_{GS} se van a analizar tres situaciones.

1. V_{GS} es suficientemente negativa ($V_{GS} < 0$) como para hacer que el canal se estrangule con $V_{DS} = 0$. En esta situación si se aplica una tensión V_{DS} diferente de cero, dado que el canal ya está estrangulado, debido al efecto de V_{GS} , la corriente será cero ($I_D = 0$), con independencia del valor de V_{DS} .
2. $V_{GS} = 0$. En este caso, con $V_{DS} = 0$ la corriente será cero pero el canal estará completamente abierto. Por tanto si se aplica una tensión $V_{DS} > 0$, a medida que ésta aumente también lo hará la I_D . Este crecimiento de I_D , como ya se ha demostrado,

seguirá hasta que se produzca el estrangulamiento del canal ($V_{DS} = V_{DSSat}$), permaneciendo constante de valor $I_D = I_{DSS}$ (I_{DSS} es un parámetro del transistor).

3. V_{GS} es negativa pero insuficiente por si sola para estrangular el canal. En estas condiciones con $V_{DS} = 0$ la corriente será cero y la resistencia del canal será mayor que en la situación 2 (ya que existe un estrechamiento inicial del canal). Si ahora se incrementa V_{DS} la corriente I_D empezará a crecer hasta que el canal se estrangule. Lógicamente, el valor de V_{DS} para que se alcance el estrangulamiento será menor que en el caso 2.

En la figura 2.8 se muestra la dependencia de I_D con V_{GS} y V_{DS} , que refleja las conclusiones de este estudio. En el estudio cuantitativo se obtendrán las expresiones de estas curvas. Obsérvese que el estrangulamiento del canal se produce para valores de V_{GS} y V_{DS} que cumplan la ecuación <2.7>, o lo que es lo mismo: $V_{DS} = V_{GS} - V_P$

Hay que destacar que para garantizar que las uniones $p-n$ no queden polarizadas en directo en el caso de un transistor canal n se debe cumplir que $V_{GS} \leq 0$.

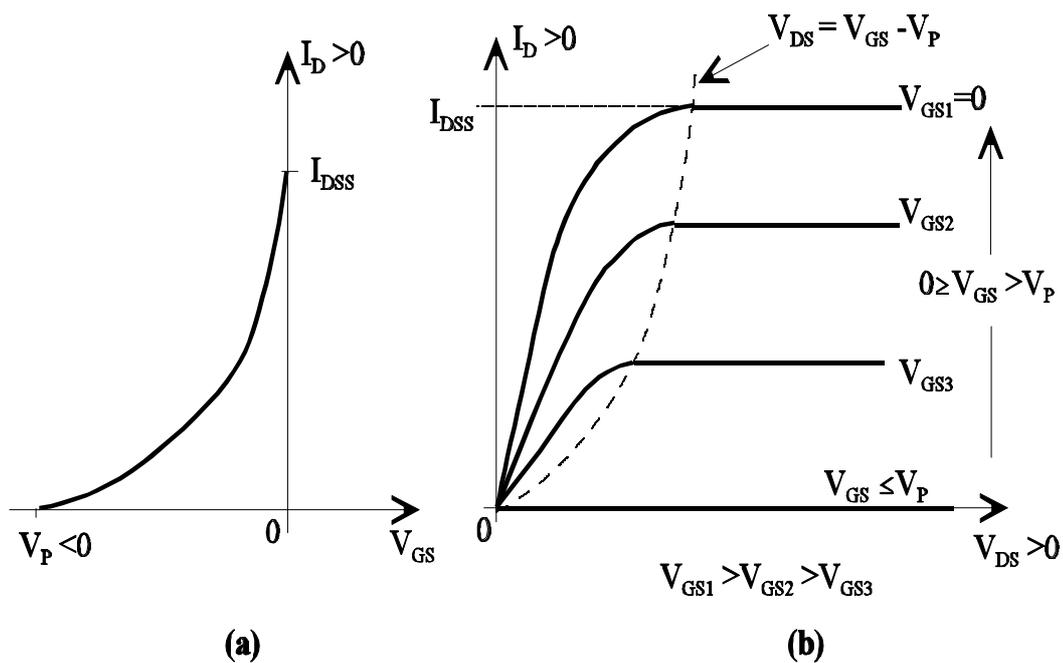


Figura 2.8 Curvas características de (a) entrada y (b) salida de un transistor JFET canal n .

Si se tratase de un transistor canal p , el razonamiento de su funcionamiento sería el mismo, si bien ahora para garantizar que las uniones $p-n$ no queden polarizadas en directo se debe cumplir que $V_{SG} \leq 0$, o lo que es lo mismo $V_{GS} \geq 0$. Si se observa la figura 2.9 el terminal de drenador es ahora el que "drena" huecos, por lo tanto la tensión V_{DS} tiene que ser negativa ($V_{DS} \leq 0$).

En la figura 2.10 se muestran las curvas características de entrada y salida para el caso de un transistor canal p . Obsérvese que el estrangulamiento del canal ocurre cuando se cumple la

ecuación <2.7> ($V_{DS} = V_{GS} - V_P$), siendo ahora V_P un valor positivo ($V_P > 0$).

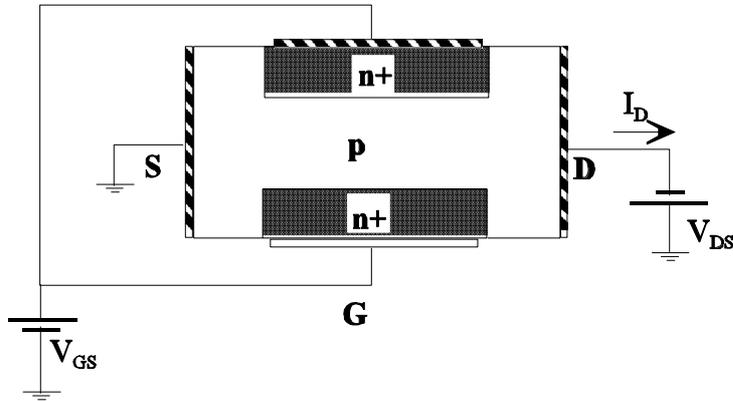


Figura 2.9 Condiciones de polarización para transistores JFET canal *p*.

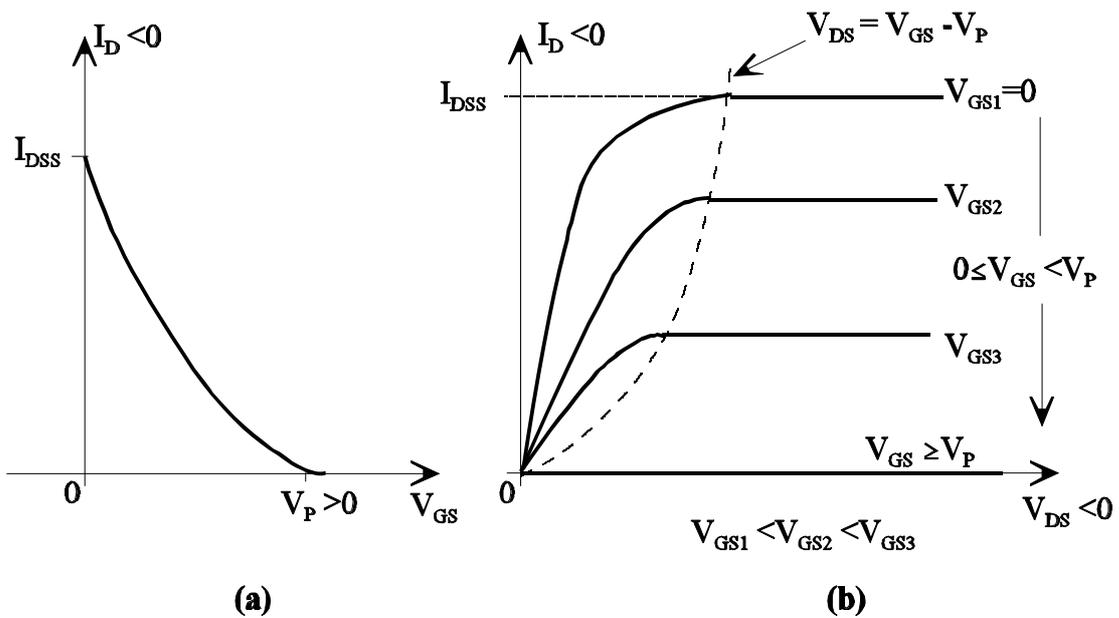


Figura 2.10 Curvas características de (a) entrada y (b) salida de un transistor JFET canal *p*.

Como resumen en la tabla 2.1 se indica el signo que deben tener las tensiones para transistores unipolares canal *n* y *p*, así como el signo de la corriente de drenador.

Tabla 2.1 Signos de las diferentes tensiones y corrientes para transistores JFET

Tipo de transistor	V_{GS}	V_{DS}	Parámetro V_P	I_D (definida entrante)
Canal <i>n</i>	Negativo	Positivo	Negativo	Positivo
Canal <i>p</i>	Positivo	Negativo	Positivo	Negativo

2.2.2 Estudio cuantitativo del transistor JFET

El estudio cuantitativo se va a realizar de nuevo para el caso de un transistor canal n (para el caso de transistores canal p el estudio es similar).

Para hacer el estudio se parte de una estructura básica como la indicada en la figura 2.11. Sobre la misma se especifican sus dimensiones y las coordenadas. Como se puede observar se ha supuesto un canal de longitud L , una anchura Z y una distancia $2a$ entre los contactos superior e inferior de las zonas p^+ .

El objetivo de este estudio es obtener la expresión de la corriente de drenador (I_D) en función de las tensiones V_{GS} y V_{DS} , esto es:

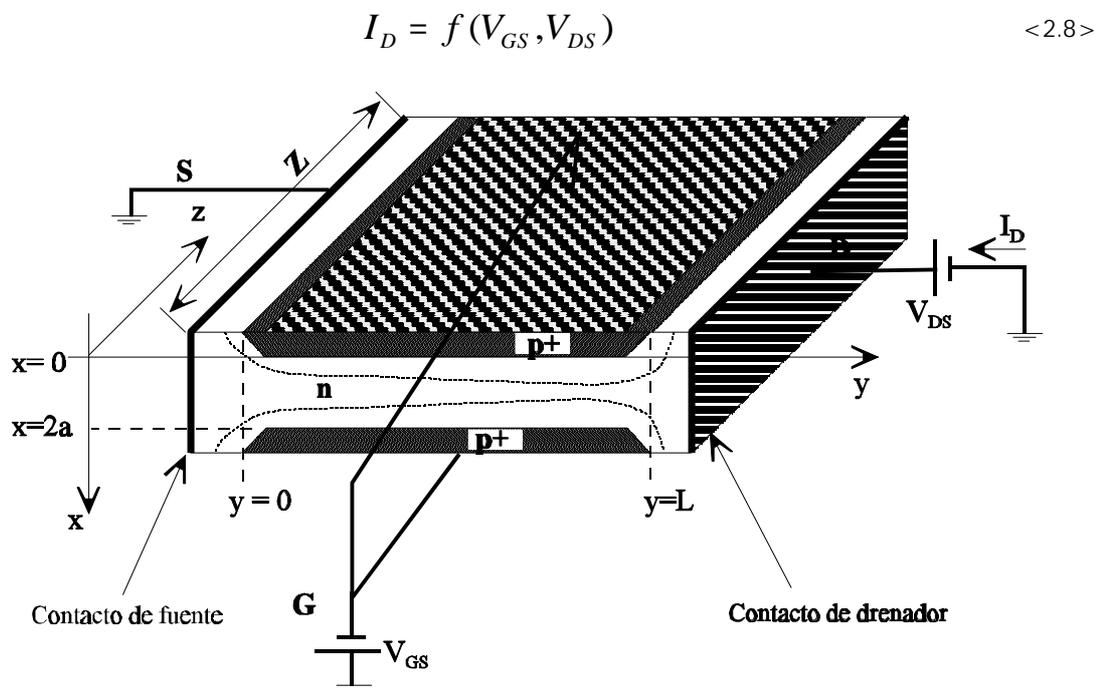


Figura 2.11 Estructura básica, dimensiones y coordenadas del JFET utilizado en el estudio cuantitativo.

Dicho estudio se va a realizar bajo las siguientes aproximaciones:

1. Las uniones $p^+ - n$ son abruptas, estando dopadas uniformemente, siendo la concentración en el canal N_D (para el caso de tratarse de un transistor canal n).
2. El dispositivo es simétrico respecto al plano $x=a$. Simetría que se mantiene para los distintos niveles de polarización de las uniones.
3. El flujo de corriente está limitado a las zonas del canal no vacías y se dirige únicamente en la dirección del eje y .
4. Las caídas de potencial entre el contacto de fuente e $y=0$, y desde el contacto de drenador hasta $y=L$ se consideran nulas.

La corriente fluye casi exclusivamente en la dirección del eje "y".

Por tanto, la ecuación <2.9> se puede escribir

$$J_{ny} = q \cdot m_n \cdot N_D \cdot E = q \cdot m_n \cdot N_D \cdot \left(-\frac{dV}{dy} \right) = -q \cdot m_n \cdot N_D \cdot \frac{dV}{dy} \quad <2.10>$$

donde μ_n es la movilidad de los electrones.

Dado que se supone que en el canal no existen ni sumideros ni fuentes, la corriente que atraviesa cualquier sección normal del canal debe ser I_D . Por tanto, I_D se puede obtener sin más que integrar la densidad de corriente en toda el área de la sección normal del canal en cualquier punto de coordenada "y":

$$I_D = - \iint J_n(y) dx dz = - J_n(y) \iint dx dz = - J_n(y) \int_0^Z \int_{W(y)}^{2a-W(y)} dx dz \quad <2.11>$$

el signo menos en la ecuación anterior se debe a que el sentido de la corriente (que coincide con los huecos) coincide con "-y".

Al suponer que Z es constante para todo punto "y", la ecuación <2.11> se puede escribir:

$$\begin{aligned} I_D &= - J_n(y) \cdot Z \cdot \int_{W(y)}^{2a-W(y)} dx = - J_n(y) \cdot Z \cdot [2a - 2W(y)] \\ &= -2 \cdot J_n(y) \cdot Z \cdot a \cdot \left[1 - \frac{W(y)}{a} \right] \end{aligned} \quad <2.12>$$

Dado que la corriente se mantiene constante a lo largo de todo el canal, entonces se cumple:

$$\int_0^L I_D \cdot dy = I_D \cdot L \quad <2.13>$$

Por tanto, a partir de <2.12>, <2.13> y <2.10> se obtiene:

$$\begin{aligned} \int_0^L I_D \cdot dy = I_D \cdot L &= \int_0^L 2 \cdot q \cdot m_n \cdot Z \cdot a \cdot N_D \cdot \left(1 - \frac{W(y)}{a} \right) \cdot \frac{dV}{dy} dy \\ &= 2 \cdot q \cdot m_n \cdot Z \cdot a \cdot N_D \cdot \int_{V(y=0)}^{V(y=L)=V_{DS}} \left(1 - \frac{W(V)}{a} \right) \cdot dV \end{aligned} \quad <2.14>$$

de donde:

$$I_D = \frac{2 \cdot q \cdot m_n \cdot Z \cdot a \cdot N_D}{L} \cdot \int_{V(y=0)}^{V(y=L)=V_{DS}} \left(1 - \frac{W(V)}{a}\right) \cdot dV \quad <2.15>$$

Para determinar el valor de I_D sólo hay que establecer la relación que existe entre el ancho de la zona de transición, $W(y)$ o $W(V)$, en un punto "y", en función de $V(y)$. Considerando la aproximación 5, para obtener el valor de $W(y)$ se puede utilizar la expresión unidimensional que se obtuvo en el libro *Dispositivos Electrónicos I*:

$$W(V) = \left[\frac{2 \cdot K_S \cdot \epsilon_0}{q} \cdot \frac{N_A + N_D}{N_A \cdot N_D} (V_O - V_A) \right]^{1/2} \stackrel{N_A \gg N_D}{\approx} \left[\frac{2 \cdot K_S \cdot \epsilon_0}{q} \cdot \frac{1}{N_D} (V_O - V_A) \right]^{1/2} \quad <2.16>$$

De no utilizar la aproximación 5, el problema electrostático del JFET es de naturaleza bidimensional, lo que supone que para obtener $W(V)$ habría que resolver la ecuación de Poisson, teniendo en cuenta las variaciones tanto en "x" como en "y".

La aproximación de que $N_A \gg N_D$ es debido a que se ha supuesto que la zona p^+ está más dopada que la zona de canal, n . En la expresión <2.16>: $K_S = \text{cte.}$ dieléctrica relativa del semiconductor, $\epsilon_0 = \text{cte.}$ dieléctrica en el vacío, $V_O = \text{potencial de contacto}$ y V_A representa la tensión aplicada entre el lado " p^+ " y la tensión en un punto genérico "y". Esto es, en nuestro caso: $V_A = V_{GS} - V$ siendo V el potencial en un punto "y" del canal.

Por tanto, se puede escribir:

$$W(V) = \left[\frac{2 \cdot K_S \cdot \epsilon_0}{q} \cdot \frac{1}{N_D} [V_O - (V_{GS} - V)] \right]^{1/2} \quad <2.17>$$

Como además se sabe que si $V_{GS} - V = V_P$ entonces el canal alcanza justo la situación de estrangulamiento, esto es: $W = a$. Suponiendo que $V_{DS} = 0$, el canal se estrangula para $V_{GS} = V_P$ y de la ecuación <2.17> se puede escribir:

$$a = \left[\frac{2 \cdot K_S \cdot \epsilon_0}{q} \cdot \frac{1}{N_D} [V_O - V_P] \right]^{1/2} \quad <2.18>$$

y en consecuencia:

$$\frac{W(V)}{a} = \left[\frac{V_O - (V_{GS} - V)}{V_O - V_P} \right]^{1/2} \quad <2.19>$$

Introduciendo este valor en la expresión <2.15> se obtiene:

$$I_D = \frac{2 \cdot q \cdot m_n \cdot Z \cdot a \cdot N_D}{L} \cdot \int_0^{V_{DS}} \left(1 - \left(\frac{V_0 - V_{GS} + V}{V_0 - V_P}\right)^{1/2}\right) dV =$$

$$= \frac{2 \cdot q \cdot m_n \cdot Z \cdot a \cdot N_D}{L} \cdot \left[V_{DS} - \frac{2}{3} (V_0 - V_P) \left[\left(\frac{V_0 - V_{GS} + V_{DS}}{V_0 - V_P}\right)^{3/2} - \left(\frac{V_0 - V_{GS}}{V_0 - V_P}\right)^{3/2} \right] \right] \quad <2.20>$$

Hay que incidir que esta expresión de la corriente de drenador es válida hasta que el canal alcance el punto de estrangulamiento. Esto es, para valores de V_{DS} y V_{GS} tales que: $V_{DS} \leq V_{GS} - V_P$ (para el caso de transistores canal n). Por tanto, el valor de la corriente cuando se alcanza la situación de estrangulamiento del canal viene dada por (basta sustituir en la ecuación <2.20>, $V_{DS} = V_{GS} - V_P$):

$$I_{Dsat} = \frac{2 \cdot q \cdot m_n \cdot Z \cdot a \cdot N_D}{L} \cdot \left[V_{GS} - V_P - \frac{2}{3} (V_0 - V_P) \left[1 - \left(\frac{V_0 - V_{GS}}{V_0 - V_P}\right)^{3/2} \right] \right] \quad <2.21>$$

Esta última expresión es válida, por tanto, para $V_{DS} \geq V_{GS} - V_P$

En el caso de transistores canal p , las expresiones de las corrientes antes y después de alcanzar el estrangulamiento del canal coinciden con las <2.20> y <2.21>, sin más que sustituir en ellas los valores de μ_n por μ_p y N_D por N_A e incluir un signo menos delante de la expresión de I_D ya que el sentido de la corriente es de fuente (S) a drenador (D) (ver figura 2.9).

2.2.3 Aproximaciones de las expresiones de las corrientes de los transistores JFET y regiones de funcionamiento.

Si bien las ecuaciones <2.20> y <2.21>, y sus correspondientes en el caso de canal p , son las que definen la relación entre las corrientes de drenador en función de las tensiones aplicadas a los terminales del transistor, en la práctica se suelen utilizar expresiones más sencillas (aproximaciones de las ecuaciones <2.20> y <2.21>), pero no por ello alejadas de la realidad. Estas expresiones se resumen a continuación para cada una de las regiones de funcionamiento donde aparecen únicamente como parámetros V_P e I_{DSS} . En algunos libros también se emplean como parámetros V_P y k , siendo la relación entre ellos la siguiente:

$$\frac{I_{DSS}}{V_P^2} = \frac{k}{2}$$

Para el caso de los transistores unipolares existen básicamente tres posibles regiones o modos de funcionamiento:

1. **Región de corte:** se cumple que $I_D=0$.
2. **Región de Saturación (Activa):** es la situación en la que el canal está estrangulado, esto es, $I_D = I_{Dsat}$. Este modo de funcionamiento es equivalente a la región activa en los transistores bipolares y por ello nos referiremos a ella también como región activa.
3. **Región óhmica:** es aquella en la que funciona el transistor antes de alcanzar el estrangulamiento del canal. Su nombre se debe a que en esta región la corriente varía de forma lineal con la tensión en extremos del canal, como si de una resistencia se tratase (resistencia que lógicamente, como ya se ha demostrado, depende de la tensión V_{GS} aplicada).

En la tabla 2.2 se muestran las aproximaciones de las ecuaciones <2.20> y <2.21> para cada una de las regiones de funcionamiento.

Tabla 2.2 Expresiones aproximadas de la corriente de drenador para cada región de funcionamiento.

Región	Corriente de drenador
Corte	$I_D=0$
Activa o saturación	$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2 = \frac{k}{2} (V_{GS} - V_P)^2$
Óhmica	$I_D = \frac{2 \cdot I_{DSS} \cdot V_{DS}}{V_P} \cdot \left(\frac{V_{GS}}{V_P} - \frac{V_{DS}}{2V_P} - 1 \right)$

Ejemplo 2.1

De un transistor JFET canal n se conocen los siguientes datos: L , Z , a , N_D , μ_n , V_0 , K_s , ϵ_0 . Polarizado el transistor con unas tensiones $V_{GS1} < 0$ y $V_{DS1} > 0$ se observa que los anchos de las zonas de vaciamiento en $y=L/2$ es $W(L/2) = a$ y la corriente de drenador es I_{D1} .

Obtégase:

1. Región de funcionamiento del transistor en las condiciones del enunciado.
2. Si se aplica una tensión $V_{DS2} > V_{DS1}$, manteniendo el resto de valores del enunciado, ¿Cuál será el nuevo valor de I_D ?
3. Con una tensión $V_{GS2} < 0$ tal que los anchos de las zonas de vaciamiento en $y=L$ sean

$W(L) = 3a/4$ y con $V_{DS} = V_{DS1}$. ¿Cómo será la corriente de drenador, mayor o menor que I_{D1} ?

Solución

1. Si en $y = L/2$, $W(L/2) = a$ ($2a$ es el ancho máximo del canal), entonces para $y \geq L/2$ el canal está estrangulado. Esto supone que el transistor está funcionando en SATURACIÓN (activa).

2. Al aumentar V_{DS} lo único que se consigue es estrangular aun más el canal, por tanto la corriente de drenador será la misma que en el apartado 1.

3. Es evidente que ahora no existe estrangulamiento del canal (V_{GS2} es menos negativa que V_{GS1}) y como la tensión V_{DS} se mantiene, la corriente de drenador es mayor que I_{D1} .

2.2.4 Resumen de ecuaciones y características de entrada y salida para JFET n canal

Para el caso de transistores canal n , en la tabla 2.2 se resumen las condiciones que deben cumplirse para cada región de funcionamiento, las expresiones aproximadas de las corrientes de drenador para cada una de ellas y los correspondientes circuitos equivalentes.

Como se puede observar en la región óhmica se han supuesto dos posibles aproximaciones. La segunda de ellas es el resultado de considerar que mientras el canal no se estrangula la relación entre la corriente de drenador y la tensión V_{DS} es una constante, lógicamente diferente para cada V_{GS} . Esta constante se denomina R_{DSON} y su valor se puede obtener fácilmente observando las curvas de salida de la figura 2.13 (donde se ha supuesto que en óhmica la relación entre I_D y V_{DS} es lineal). R_{DSON} se puede obtener como el cociente entre el valor de V_{DS} para el cual se produce el estrangulamiento del canal: $V_{DS} = V_{GS} - V_P$, y la corriente de saturación para la V_{GS} dada. Esto es:

$$R_{DSON} = \frac{V_{DSsat}}{I_{Dsat}} = \frac{V_{GS} - V_P}{I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2} = \frac{1}{\frac{I_{DSS}}{V_P^2} (V_{GS} - V_P)} = \frac{1}{\frac{k}{2} (V_{GS} - V_P)} \quad <2.22>$$

Obsérvese que si se utiliza la expresión:

$$I_D = \frac{2 \cdot I_{DSS} \cdot V_{DS}}{V_P} \cdot \left(\frac{V_{GS}}{V_P} - \frac{V_{DS}}{2V_P} - 1 \right) \quad <2.23>$$

en la región óhmica, para valores de V_{DS} muy pequeños (próximas a cero) se puede escribir:

$$I_D \approx \frac{2 \cdot I_{DSS} \cdot V_{DS}}{V_P^2} \cdot (V_{GS} - V_P) \quad <2.24>$$

y en consecuencia el cociente entre V_{DS} e I_D vendría dada por:

$$R_{DSON}(V_{DS} \rightarrow 0) = \frac{V_{DS}}{I_D} = \frac{1}{\frac{2 \cdot I_{DSS}}{V_P^2} (V_{GS} - V_P)} \quad <2.25>$$

Como se puede comprobar, este valor es justo la mitad del dado por la ecuación <2.22>. Esto quiere decir que los valores extremos de R_{DSON} son los dados por las ecuaciones <2.22> y <2.25>. En lo que sigue, y mientras no se especifique lo contrario, se utilizará el valor dado por la ecuación <2.22>.

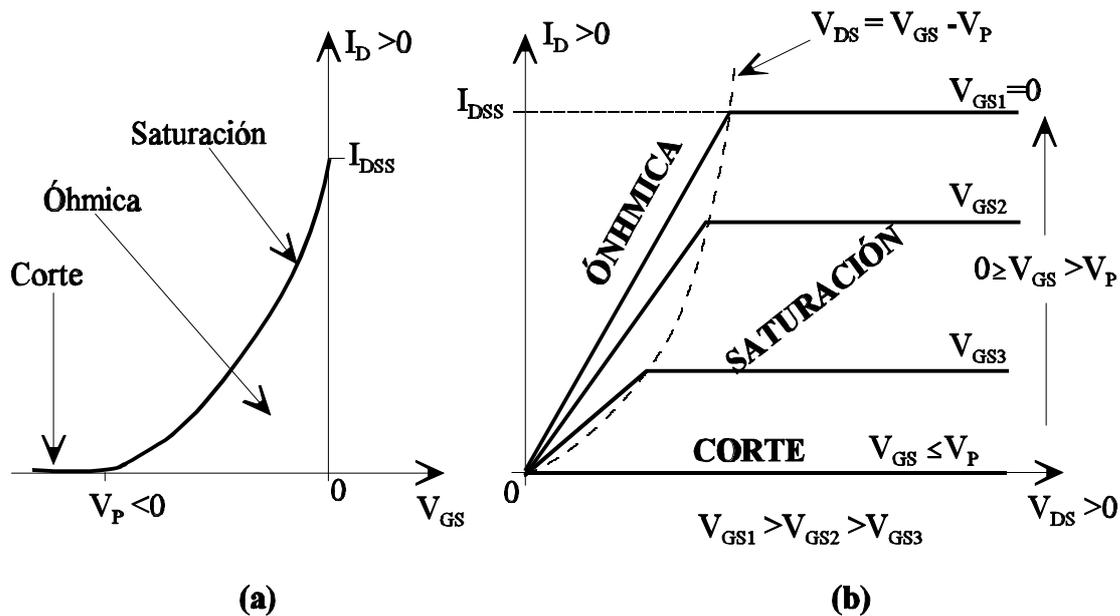
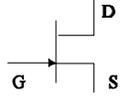
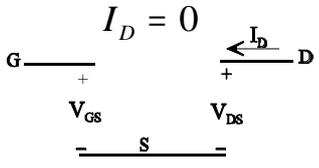
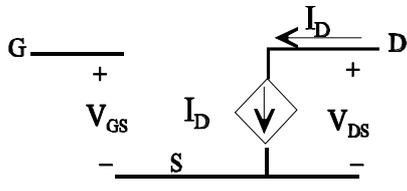
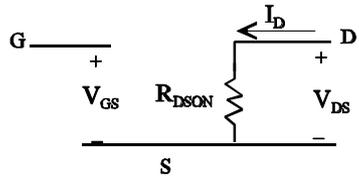


Figura 2.13 Curvas características simplificadas de un transistor JFET canal n , sobre las que se indican las diferentes regiones de funcionamiento. (a) Características de entrada, (b) Características de salida.

En la figura 2.13 se muestran las curvas características de entrada y salida, sobre las que se indican las diferentes zonas de funcionamiento, suponiendo las aproximaciones de las corrientes hechas en la tabla 2.3.

Tabla 2.3 Resumen del JFET canal n : regiones de trabajo, parámetros y circuitos equivalentes.

Transistor Canal n			
Símbolo	Parámetros		Signo de Corrientes y tensiones
	$V_P < 0, I_{DSS} > 0$		$V_{GS} \leq 0, V_{DS} \geq 0, I_D \geq 0$
Región de funcionamiento	Condiciones		Corriente y circuitos equivalentes en continua. ($I_G = 0, I_S = -I_D$)
CORTE	$V_{GS} \leq V_P$		$I_D = 0$ 
SATURACIÓN (ACTIVA)	$0 \geq V_{GS} > V_P$	$V_{DS} \geq V_{GS} - V_P$	$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2 = \frac{k}{2} (V_{GS} - V_P)^2$ 
ÓHMICA	$0 \geq V_{GS} > V_P$	$V_{DS} \leq V_{GS} - V_P$	$I_D = \frac{2 \cdot I_{DSS} \cdot V_{DS}}{V_P} \cdot \left(\frac{V_{GS}}{V_P} - \frac{V_{DS}}{2V_P} - 1\right)$ $I_D = \frac{V_{DS}}{R_{DSON}}$, donde: $R_{DSON} = \frac{1}{\frac{I_{DSS}}{V_P^2} (V_{GS} - V_P)}$ 

2.2.5 Resumen de ecuaciones y características de entrada y salida para JFET s canal p

Para el caso de transistores canal p , la tabla 2.4 resume las condiciones que deben cumplirse para cada región de funcionamiento y las expresiones aproximadas de la corrientes de drenador para cada una de ellas.

De nuevo, y al igual que para el caso del transistor canal n , en la región óhmica se han supuesto dos posibles aproximaciones. En la segunda de las aproximaciones el valor de la resistencia entre drenador y fuente viene dada, al igual que en el transistor canal n , por:

$$R_{DSON} = \frac{V_{DSsat}}{I_{Dsat}} = \frac{V_{GS} - V_P}{I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2} = \frac{1}{\frac{I_{DSS}}{V_P^2} (V_{GS} - V_P)} = \frac{1}{\frac{k}{2} (V_{GS} - V_P)} \quad <2.26>$$

Sobre los valores extremos de R_{DSON} se pueden hacer las mismas consideraciones que para el caso de transistores canal p .

En la figura 2.14 se muestran las curvas características de entrada y salida, sobre las que se indican las diferentes regiones de funcionamiento, suponiendo las aproximaciones de las corrientes hechas en la tabla 2.3.

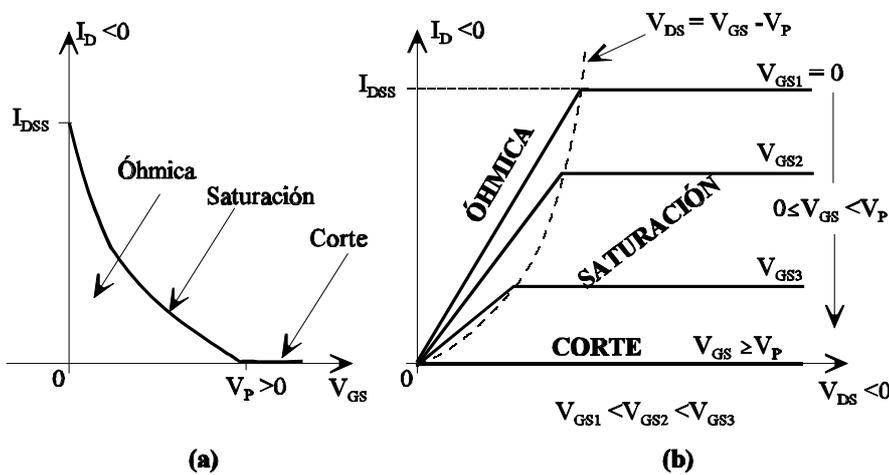
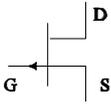
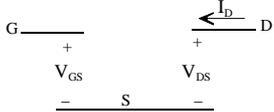
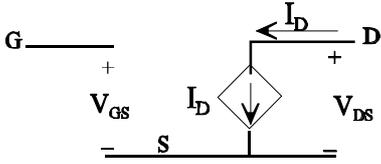
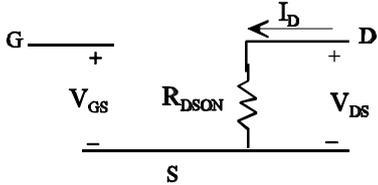


Figura 2.14 Curvas características simplificadas de un transistor JFET canal p , sobre las que se indican las diferentes regiones de funcionamiento. (a) Características de entrada, (b) Características de salida.

Tabla 2.4 Resumen sobre JFET canal *p*: regiones de trabajo, parámetros y circuitos equivalentes

Transistor Canal <i>p</i>			
Símbolo 	Parámetros: $V_P > 0, I_{DSS} < 0$		Signo de Corrientes y tensiones: $V_{GS} \geq 0, V_{DS} \leq 0, I_D \leq 0$
Región de funcionamiento	Condiciones		Corriente y circuitos equivalentes en continua $(I_G = 0, I_S = -I_D)$
CORTE	$V_{GS} \geq V_P$		$I_D = 0$ 
SATURACIÓN (ACTIVA)	$0 \leq V_{GS} < V_P$	$V_{DS} \leq V_{GS} - V_P$	$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2 = \frac{k}{2} (V_{GS} - V_P)^2$ 
ÓHMICA	$0 \leq V_{GS} < V_P$	$V_{DS} \geq V_{GS} - V_P$	$I_D = \frac{2 \cdot I_{DSS} \cdot V_{DS}}{V_P} \cdot \left(\frac{V_{GS}}{V_P} - \frac{V_{DS}}{2V_P} - 1\right)$ $I_D = \frac{V_{DS}}{R_{DSON}},$ donde: $R_{DSON} = \frac{1}{\frac{I_{DSS}}{V_P^2} (V_{GS} - V_P)}$
			

Ejemplo 2.2

De un transistor JFET canal p se sabe que $V_p < 4\text{ V}$, pero se desconoce su valor exacto. Realizando un montaje como el de la figura E.2.1 se observa que con $V_1 = 0\text{ V}$, la corriente de drenador es $I_D = -10\ \mu\text{A}$. Para $V_1 = 2.5\text{ V}$, la corriente de drenador se hace cero.

Obtégase:

1. Valor de I_{DSS}
2. Valor de V_p .

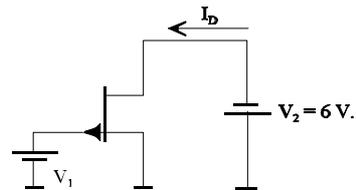


Figura E.2.1 Circuito del ejemplo 2.2.

Solución

1. Como $V_1 = V_{GS} = 0$ y $V_{DS} = -V_2 = -6\text{ V}$, entonces se cumple que $V_{DS} < V_{GS} - V_p$ (dado que $V_p < 4\text{ V}$), lo que supone que el transistor está en la región de saturación. Por tanto la corriente de drenador será:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_p} \right)^2 = I_{DSS} = -10\text{ mA}$$

2. Dado que $I_D = 0$ para $V_{GS} \geq V_p$, entonces $V_p = 2.5\text{ V}$.

Ejemplo 2.3

En la figura E.2.2 se muestra un circuito con un transistor JFET canal n , que después de ser simulado con PSPICE permitirá obtener sus curvas características de entrada y salida. Obsérvese en la figura E.2.2 que el generador V1 se corresponde con la tensión V_{GS} y el generador V2 con la tensión V_{DS} .

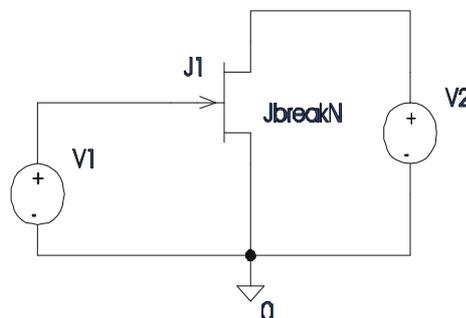


Figura E.2.2 Circuito de simulación.

Solución

Curva de entrada

Para obtener esta curva se fijará la tensión V2 a 5V, y se variará la tensión V1 de -3V a 0 (con incrementos de 0.1V). El resultado obtenido se muestra en la figura E.2.3.

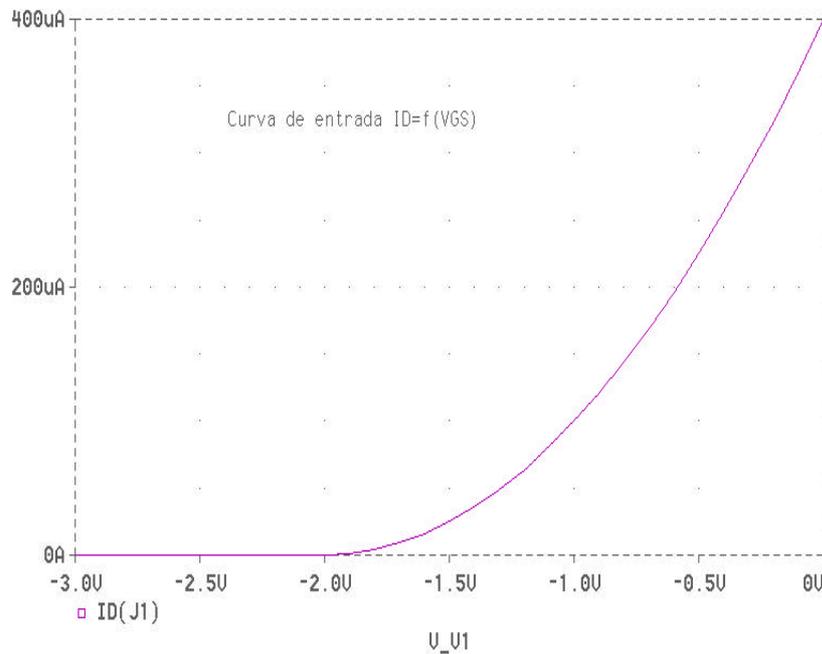


Figura E.2.3 Curva de entrada del transistor de la figura E.2.2.

De la figura E.2.3 se obtienen los parámetros V_p e I_{DSS} , tomando en este caso los siguientes valores: $V_p = -2V$ e $I_{DSS} = 400\mu A$.

Curva de salida

Para obtener esta curva se variará el generador V1 desde -3V a 0 (con incrementos de 0.5V); y el generador V2 se variará desde 0 a 5V (con incrementos de 0.1V). El resultado obtenido tras la simulación se muestra en la figura E.2.4.

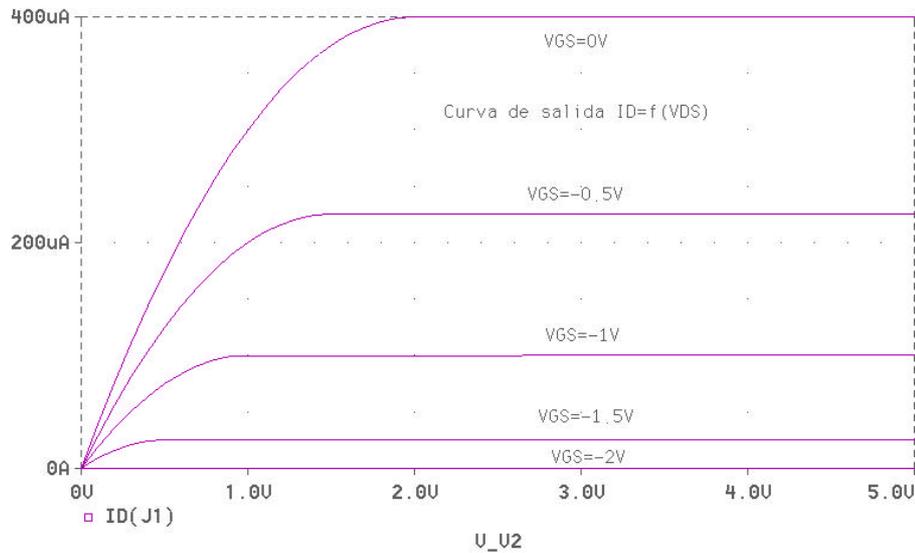


Figura E.2.4 Curva de salida del transistor de la figura E.2.2.

Como ya se ha comentado anteriormente, y como se deduce de la figura E.2.4, hasta que la tensión V_{GS} no supera la tensión V_p , la corriente I_D es nula.

2.2.6 Método para el análisis de circuitos con JFET's

Al igual que ya se hizo en el estudio de BJT's, se van a dar las pautas a seguir para analizar circuitos con JFET's. Dado que solamente existen tres posibles regiones de funcionamiento, y que la corriente de puerta siempre es cero (para lo cual se debe garantizar que las uniones puerta- canal estén polarizadas en inverso, de no ser así existirá corriente de puerta y todo el estudio que aquí se ha realizado dejaría de ser válido), este estudio es muy sencillo. A partir de las tablas 2.2 y 2.3 es fácil obtener los diagramas de flujo mostrados en la figura 2.16 y que reflejan los pasos a seguir para determinar la región de funcionamiento de los JFET's y en consecuencia el punto de funcionamiento.

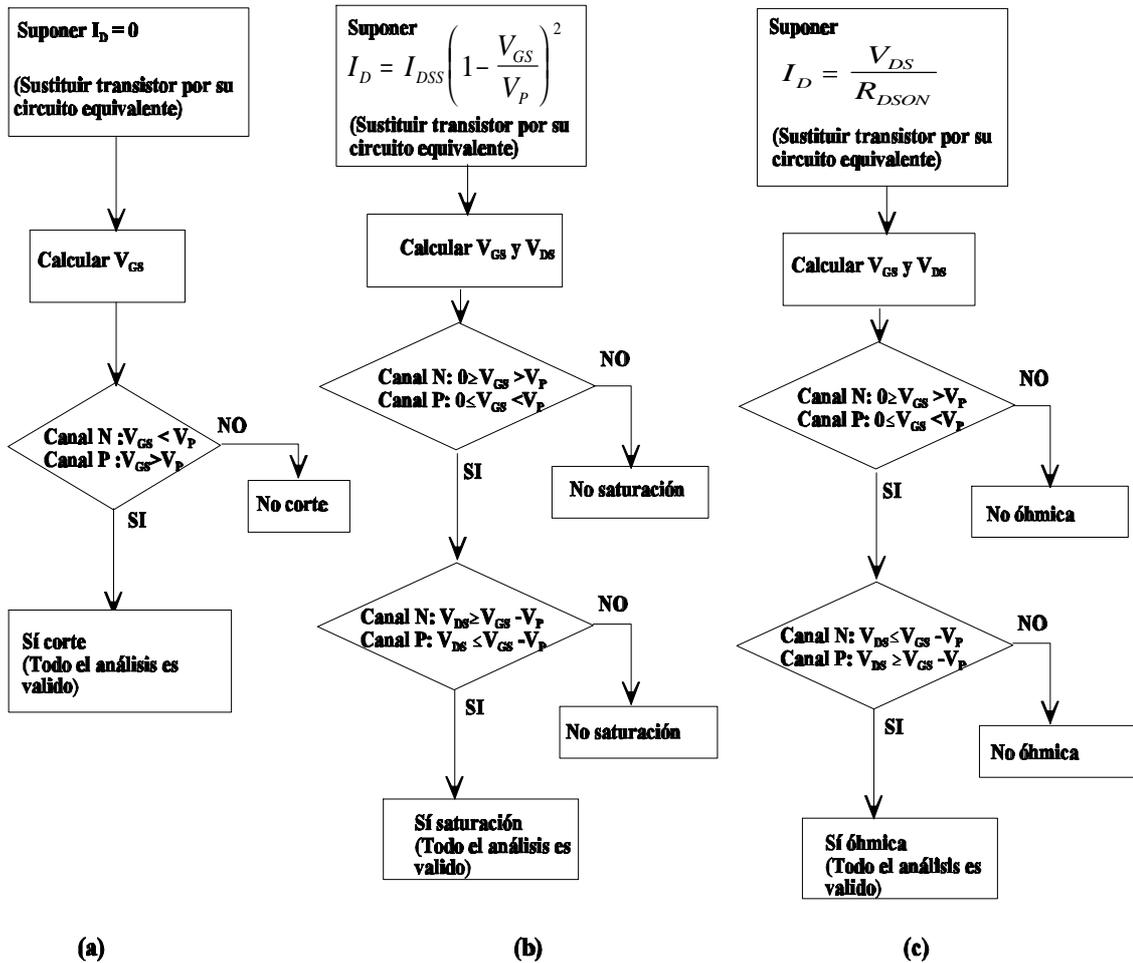


Figura 2.15 Pasos a seguir para determinar la región de funcionamiento de transistores JFET. (a) corte, (b) saturación (activa), (c) óhmica.

Ejemplo 2.4

Dados los circuitos de la figura E.2.5, con los datos indicados para cada uno de los transistores, se pide:

1. Punto de funcionamiento del transistor de la figura E.2.5.a
2. Punto de funcionamiento del transistor de la figura E.2.5.b

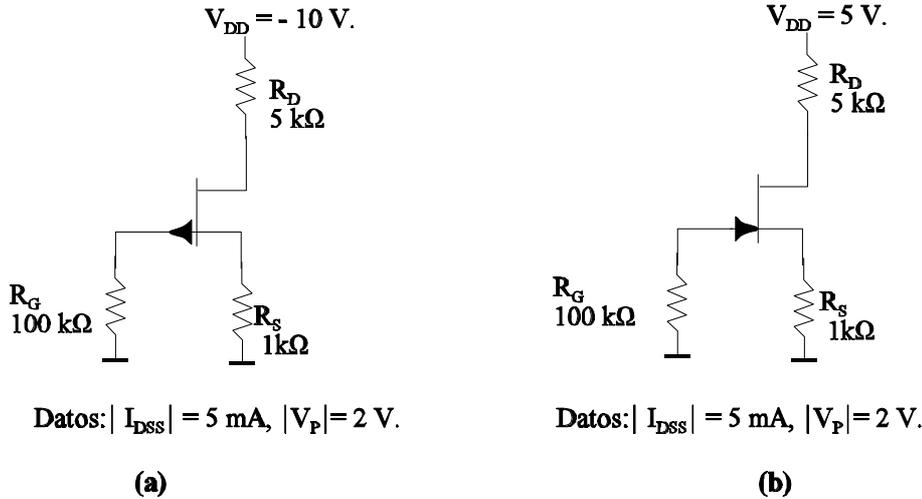


Figura E.2.5 Circuitos correspondientes al ejemplo 2.4.

Solución

1. Suponiendo el transistor en la región de saturación (activa), el circuito equivalente se muestra en la figura E.2.6. Del análisis de este circuito se deduce:

$$\begin{aligned}
 V_{GS} &= -I_D \cdot R_S \\
 I_D &= I_{DSS} \left(1 - \frac{-I_D \cdot R_S}{V_P} \right)^2 \\
 &= -5 \cdot 10^{-3} \left(1 + \frac{10^3 \cdot I_D}{2} \right)^2 \\
 &= -\frac{5}{4} \cdot 10^{-3} \cdot (4 + 10^6 \cdot I_D^2 + 4 \cdot 10^3 \cdot I_D) \rightarrow \\
 \frac{5}{4} \cdot 10^3 I_D^2 + 6 \cdot I_D + 5 \cdot 10^{-3} &= 0 \rightarrow \begin{cases} I_D = -1.07 \text{ mA} \\ I_D = -3.726 \text{ mA} \end{cases}
 \end{aligned}$$

El valor de $I_D = -3.726 \text{ mA}$ no es válido ya que daría lugar a una $V_{GS} = -I_D R_S = -3.726 \text{ V}$, y esta tensión es inferior a V_P .

Por tanto el único valor válido es $I_D = -1.07 \text{ mA}$. Con este valor de I_D se obtiene:

$$\begin{aligned}
 V_{GS} &= -I_D \cdot R_S = 1.07 \text{ V} \\
 V_{DS} &= -I_D \cdot (R_D + R_S) + V_{DD} = -3.58 \text{ V}
 \end{aligned}$$

con estos valores: $V_{GS} - V_P = 1.07 - 2 = -0.93$, por tanto se cumple:

$$V_{DS} \leq V_{GS} - V_P$$

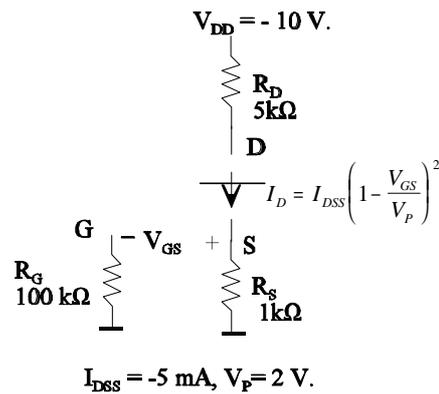


Figura E.2.6 Circuito equivalente al de la figura E.2.5.a suponiendo el transistor en saturación.

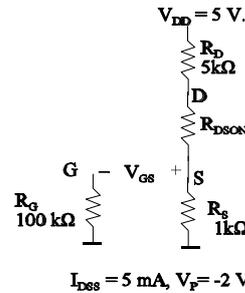
En consecuencia el transistor está en saturación y todos los resultados obtenidos son válidos

2. En este caso se supondrá que el transistor está en la región óhmica (se deja como ejercicio realizar el estudio suponiendo el transistor en la región de saturación y demostrar que esa suposición es falsa), el circuito equivalente se muestra en la figura E.2.7. A partir del circuito de la figura E.2.7 se obtiene:

$$V_{GS} = -I_D \cdot R_S$$

$$I_D = \frac{V_{DD}}{R_D + R_{DSON} + R_S}$$

con $R_{DSON} = \frac{1}{\frac{I_{DSS}}{V_P^2} (V_{GS} - V_P)}$



$I_{DSS} = 5 \text{ mA}$, $V_P = -2 \text{ V}$.

Figura E.2.7 Circuito equivalente al de la figura E.2.5.b suponiendo el transistor en óhmica

Por tanto:

$$I_D = \frac{5}{6 \cdot 10^3 + \frac{5}{4} \cdot 10^{-3} \cdot (-10^3 \cdot I_D + 2)} \rightarrow$$

$$\frac{5}{4} \cdot I_D^2 - 6 \cdot 10^3 \cdot I_D + 5 = 0 \rightarrow \begin{cases} I_D = 0.83 \text{ mA} \\ I_D = 4799.9 \text{ A} \end{cases}$$

El resultado válido es $I_D = 0.83 \text{ mA}$ (el otro valor de I_D da lugar a una V_{GS} que hace que el transistor esté cortado). Por tanto:

$$V_{GS} = -I_D \cdot R_S = -0.83 \text{ mA}$$

$$V_{DS} = -I_D \cdot (R_D + R_S) + V_{DD} = 0.02 \text{ V}$$

$$V_{GS} - V_P = 1.17 \text{ V}$$

Dado que $V_{DS} < V_{GS} - V_P$, el transistor está en óhmica. Por tanto los valores de corrientes y tensiones son los obtenidos.

Finalmente, indicar que en todo este estudio se ha supuesto que las uniones puerta-drenador y puerta-fuente, están polarizadas en inverso (lo que justifica que la corriente de puerta siempre se puede suponer despreciable). Si esto no fuera así, y se polarizaran estas uniones en directo, el comportamiento del transistor se asemejaría mucho a la de dos diodos con polarización directa, lo que daría lugar a fuertes corrientes entre puerta y los otros dos terminales.

2.2.7 Estructuras prácticas de JFETs.

Por último, indicar que las estructuras de los JFETs supuestas en todo el estudio que aquí se ha realizado no responden a las realmente utilizadas en los dispositivos prácticos. Aunque no entra dentro de los objetivos de este libro el estudio de las estructuras prácticas, ni las razones que llevan a éstas, en la figura 2.16 se muestran unas aproximaciones a las mismas. Solamente

indicar que las estructuras utilizadas en nuestro estudio no son fáciles de realizar ya que requieren que se difundan impurezas a ambos lados de la oblea del semiconductor (canal), y ello entraña grandes dificultades. En las estructuras prácticas (figura 2.16) la difusión se realiza por un solo lado; esto es, a partir del sustrato se van realizando las diferentes difusiones de forma progresiva.

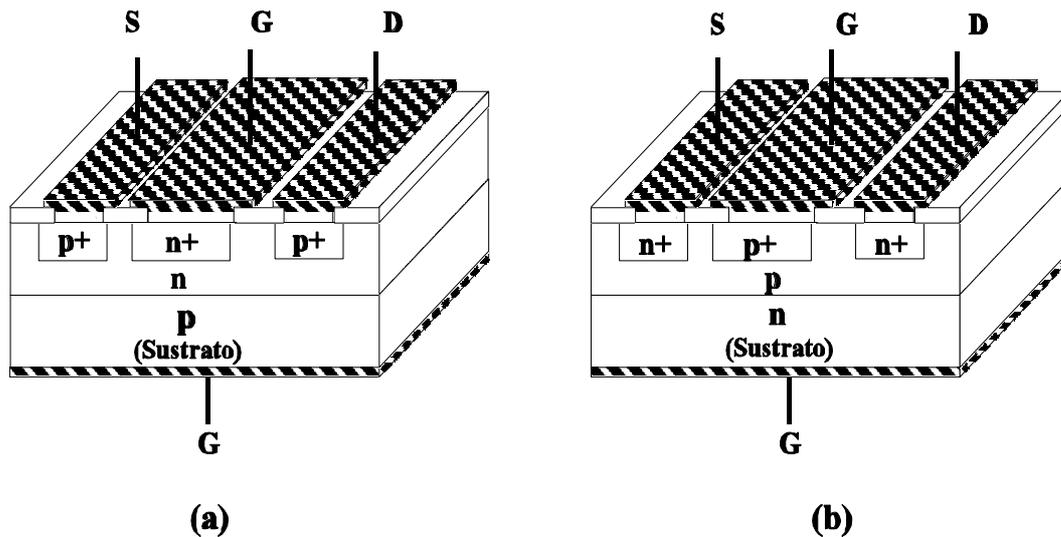


Figura 2.16 Estructura práctica de los JFETs (a) Canal p , (b) Canal n .

Ejemplo 2.5

Obtégase el punto de trabajo del circuito de la figura E.2.8, mediante su simulación con PSPICE, siendo la tensión $V_3 = 10V$. El modelo que usa PSPICE para este dispositivo es el que se muestra a continuación.

```
JbreakN
NJF
VTO -2
BETA 100.000000E-06
```

VTO coincide con el parámetro V_{p_i} y $BETA = I_{DSS}/V_p^2$.

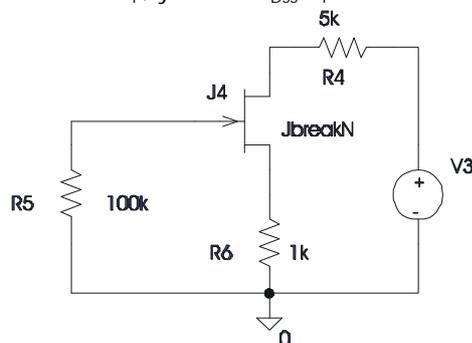


Figura E.2.8 Circuito de simulación del ejemplo 2.5.

Solución

Después de la simulación se obtiene el siguiente resultado:

NAME	J_J4
MODEL	JbreakN
I D	2. 92E-04
VGS	-2. 92E-01
VDS	8. 25E+00

Como se cumple que $V_{DS} > V_{GS} - V_{p1}$, el transistor está funcionando en zona de saturación.

Ejercicio propuesto. Intente obtener analíticamente el punto de trabajo del circuito simulado en este ejemplo.

2.3 Capacidad MOS

En este punto se va a abordar el estudio de la estructura Metal-Óxido-Semiconductor, también conocida como capacidad MOS. La capacidad MOS es el más simple de los dispositivos MOS y constituye el núcleo fundamental de todos los dispositivos MOS. Este estudio servirá, por tanto, de punto de partida para el estudio de los transistores MOSFET que se abordará a continuación.

2.3.1 Estructura ideal de la capacidad MOS.

En la figura 2.17 se muestra la estructura ideal de la capacidad MOS. Como se puede comprobar, se trata de un dispositivo de dos terminales: terminal de puerta (G, Gate) y terminal de sustrato (B, Bulk), que está formada por una capa delgada (normalmente inferior a $1 \mu\text{m}$) de aislante, SiO_2 , intercalada entre una capa metálica (por ejemplo, aluminio o silicio policristalino fuertemente dopado) y un semiconductor (tipo **p** o **n**). El contacto eléctrico del sustrato semiconductor se realiza a través de otra capa metálica.

Dentro de la región de semiconductor, que puede ser de tipo **n** o **p**, se diferencian dos zonas (ver figura 2.17), una a la que denominaremos simplemente semiconductor y otra que denominaremos sustrato. La diferencia entre estas dos zonas se hace en base a la alteración o no de las propiedades iniciales del semiconductor cuando se aplica tensiones externas a la capacidad MOS; así la región de sustrato es aquella que conserva las propiedades iniciales del semiconductor, esto es, el campo eléctrico en ella es nulo.

El objetivo de este estudio es analizar, en condiciones de polarización estáticas (esto es, para valores de V_{GB} dados y después de que se haya alcanzado el régimen estático), las variaciones de carga, campo eléctrico y potencial electroestático dentro de la capacidad MOS ideal.

El calificativo de "ideal" es porque se van a suponer una serie consideraciones, que si bien conducen a un modelo ideal, éste es bastante realista. La tecnología actualmente permite conseguir que las realizaciones prácticas de capacidades MOS se aproximan en gran medida al modelo ideal.

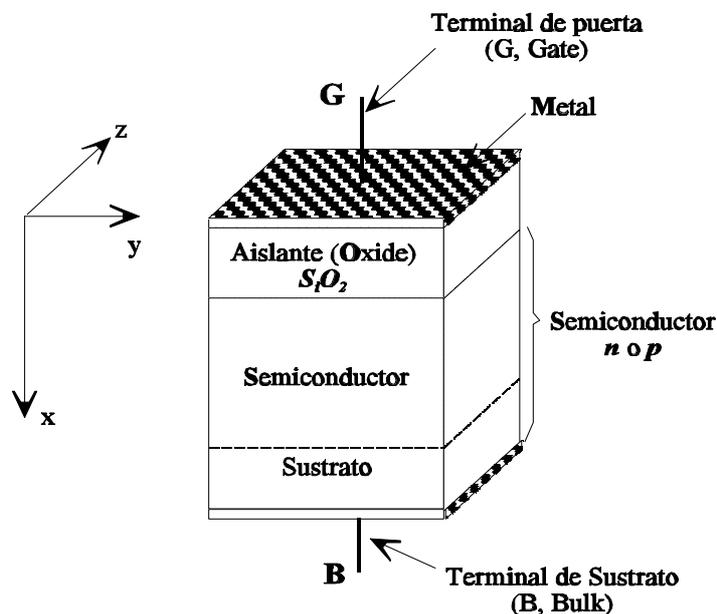


Figura 2.17 Estructura ideal de la capacidad MOS.

Aproximaciones del modelo ideal:

1. Las capas metálicas son de grosor suficiente como para que se les consideren equipotenciales.
2. El óxido, SiO_2 , es un aislador perfecto.
3. No existen centros de carga ni dentro del óxido ni en la interfaz óxido-semiconductor.
4. El semiconductor está uniformemente dopado.
5. El espesor del semiconductor es suficiente como para considerar que, con independencia de la polarización aplicada en los terminales de la capacidad MOS, existe una zona libre de campo antes de alcanzar el contacto óhmico del sustrato. Esta zona la denominamos como sustrato.
6. Se supone que la estructura es unidimensional, siendo todas las variables función de la coordenada x .

2.3.2 Estudio cualitativo de la capacidad MOS

El estudio cualitativo de la capacidad MOS se va a realizar considerando cuatro situaciones de polarización estática que son representativas de su funcionamiento. Estas situaciones las vamos a denominar: acumulación, vaciamiento, vaciamiento-inversión e inversión.

Supondremos también que el semiconductor es tipo n (un razonamiento similar se puede hacer para el caso de semiconductor tipo p) y que el terminal de sustrato está a potencial cero, tal como se indica en la figura 2.18.

1. **Acumulación o Almacenamiento:** Esta situación se presenta para $V_G > 0$, supuesto un semiconductor tipo n . En efecto, si $V_G > 0$ (ver figura 2.19) se depositan cargas positivas en la puerta de la capacidad MOS y por tanto debe incrementarse en la misma magnitud los electrones cerca de la interfaz semiconductor-aislante (principio de conservación de la carga). Si este análisis se hace desde el punto de vista de bandas de energía, por una parte: $E_F(\text{metal}) - E_F(\text{semiconductor}) = -qV_G$, y dado que $V_G > 0$, significa que el nivel de Fermi en el metal disminuye respecto a la del semiconductor, y por otra al ser $dV_G/dx < 0$, entonces el campo eléctrico (E) es positivo y en consecuencia se produce una pendiente positiva en las bandas de energía en el semiconductor. Recuérdese que el campo eléctrico (E) y los niveles de energía de las bandas de conducción (E_c), intrínseca (E_i) y valencia (E_v) están relacionados por:

$$E = \frac{1}{q} \frac{dE_c}{dx} = \frac{1}{q} \frac{dE_i}{dx} = \frac{1}{q} \frac{dE_v}{dx} \quad <2.27>$$

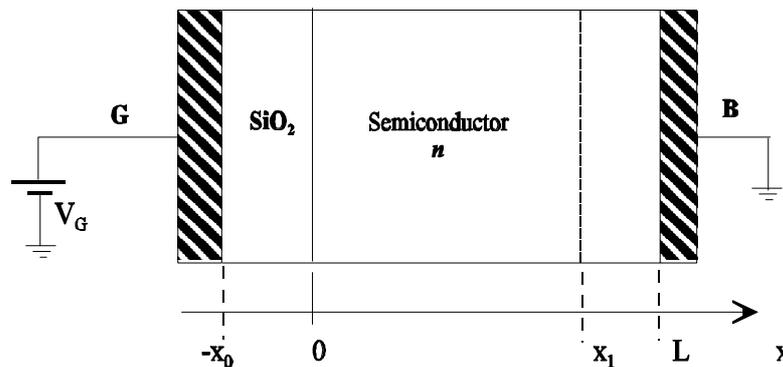


Figura 2.18 Estructura y polarización de la capacidad MOS para el estudio cualitativo.

Como las concentraciones de electrones y huecos en el semiconductor vienen dados por $n = n_i \cdot e^{(E_F - E_i)/KT}$, $p = n_i \cdot e^{(E_i - E_F)/KT}$, al producirse una pendiente positiva en la variación de E_i con x (recuérdese que E_F se mantiene invariante con x) entonces $n > n_i$ y $p < n_i$. En la figura 2.19 se muestra estos efectos, tanto desde el punto de vista de cargas como de energías. El calificativo de acumulación o almacenamiento se debe al incremento de carga (electrones en este caso) que se produce en la interfaz semiconductor-aislante.

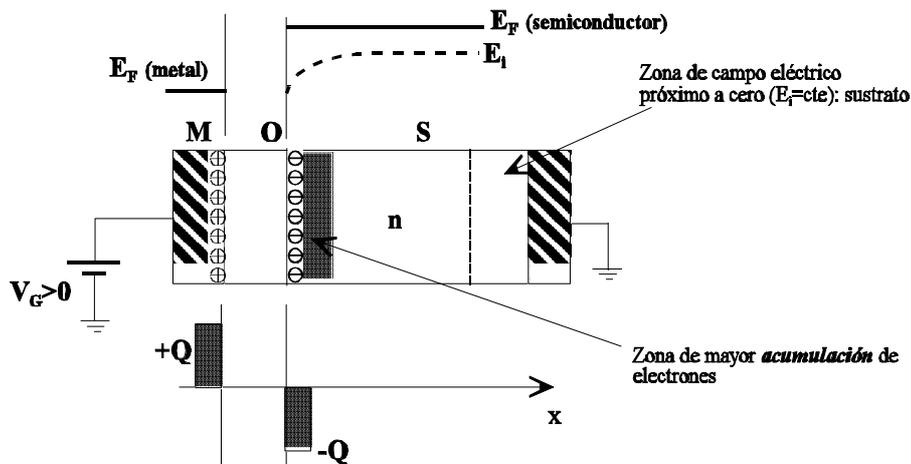


Figura 2.19 Diagrama de bandas de energía y bloques de carga para el caso de polarización de la capacidad MOS en el modo de acumulación.

2. Vaciamiento: Esta situación se produce para $V_G < 0$ y de valor pequeño. Desde el punto de vista de cargas, al ser $V_G < 0$, se depositan cargas negativas en la puerta de la capacidad MOS y en consecuencia el incremento de cargas positivas en las proximidades de la interfaz semiconductor-aislante se traduce, al tratarse de un semiconductor tipo n, en una neutralización de electrones. Esto hace que aparezcan donadores ionizados, que en este caso estarán cargados positivamente. Si este análisis se hace desde el punto de vista de bandas de energía, por una parte: $E_F(\text{metal}) - E_F(\text{semiconductor}) = -qV_G$, lo que significa que el nivel de Fermi en el metal aumenta respecto a la del semiconductor, y por otra al ser $dV_G/dx > 0$, entonces el campo eléctrico (E) es negativo y en consecuencia (ver ecuación <2.27>) se produce una pendiente negativa en las bandas de energía en el semiconductor. Como la concentración de electrones y huecos en el semiconductor vienen dados por $n = n_i \cdot e^{(E_F - E_i)/KT}$, $p = n_i \cdot e^{(E_i - E_F)/KT}$, al producirse una pendiente negativa en la variación de E_i con x entonces: $n < n_i$ y $p > n_i$. En la figura 2.20 se muestra estos efectos, tanto desde el punto de vista de cargas como de energías (en la figura 2.20 se indica con el signo "+" los donadores ionizados). El calificativo de vaciamiento se debe a la disminución de carga (electrones en este caso) en la interfaz semiconductor-aislante.

3. Límite Vaciamiento- Inversión: Esta situación se produce para $V_G < 0$ y de valor tal que el incremento de cargas positivas en las proximidades de la interfaz semiconductor-aislante neutralice exactamente todos los electrones. Por tanto se trata de una situación particular de la de Vaciamiento. Si denominamos por N_D la concentración de donadores en el semiconductor, en la situación límite vaciamiento-inversión se debe cumplir:

$$\begin{aligned} p(\text{superficie}) &= n_i \cdot e^{(E_i(\text{superficie}) - E_F)/KT} \\ &= n(\text{sustrato}) = n_i \cdot e^{(E_F - E_i(\text{sustrato})/KT} = N_D \end{aligned} \quad <2.28>$$

donde "**superficie**" representa la coordenada $x=0$ " y "**sustrato**" representa los valores x para los cuales el campo eléctrico dentro del semiconductor es nulo".

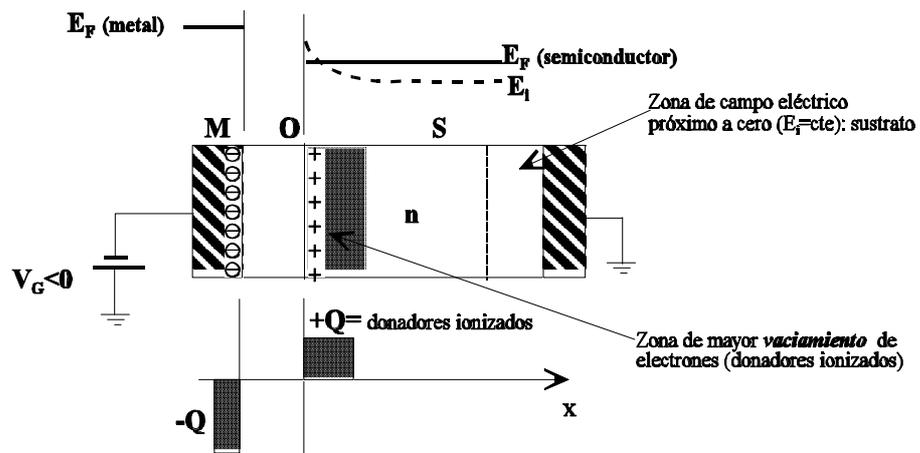


Figura 2.20 Diagrama de bandas de energía y bloques de carga para el caso de polarización de la capacidad MOS en el modo de vaciamiento.

De la ecuación <2.28> se puede concluir, que la situación límite de vaciamiento-inversión se caracteriza por:

$$E_i(\text{superficie}) - E_i(\text{sustrato}) = 2[E_F - E_i(\text{sustrato})] \quad <2.29>$$

La tensión V_G para la cual se alcanza la situación límite vaciamiento-inversión se le conoce por tensión umbral, y la denominaremos V_{T0} . Esta situación se aprecia en la figura 2.21.

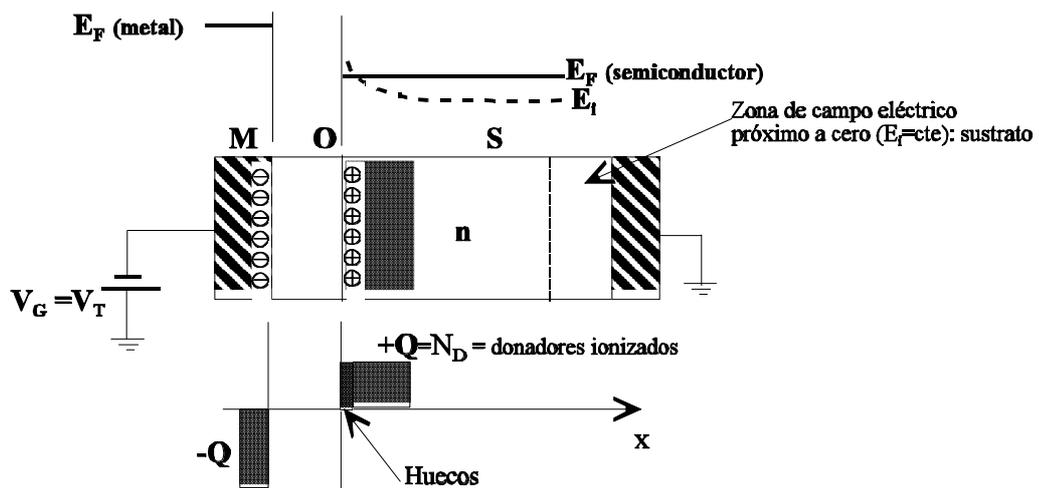


Figura 2.21 Diagrama de bandas de energía y bloques de carga para el caso de polarización de la capacidad MOS en la transición vaciamiento-inversión.

4. Inversión: Esta situación se produce para $V_G < V_{T0}$ ($V_{T0} < 0$). Si la situación límite vaciamiento- inversión se caracteriza porque las cargas positivas en las proximidades de la

interfaz semiconductor-aislante neutralizan todos los electrones, es evidente que para $V_G < V_{T0}$ lo que ocurre es que no sólo se neutralizan todos los electrones sino que además se produce un exceso de carga positiva (huecos). Esto es, la concentración de portadores minoritarios en la superficie excede la concentración de portadores mayoritarios: $p(\text{superficie}) > n(\text{sustrato}) = N_D$. Esta es la razón por la que se denomina inversión. En la figura 2.22 se muestra esta situación

Para el caso en que el sustrato sea tipo p , se puede hacer un estudio similar al realizado para el tipo n . Lógicamente con semiconductor tipo p para $V_G < 0$ se producirá la situación de acumulación y las situaciones de vaciamiento, límite vaciamiento-inversión e inversión se producirán para $V_G > 0$, siendo ahora $V_{T0} > 0$.

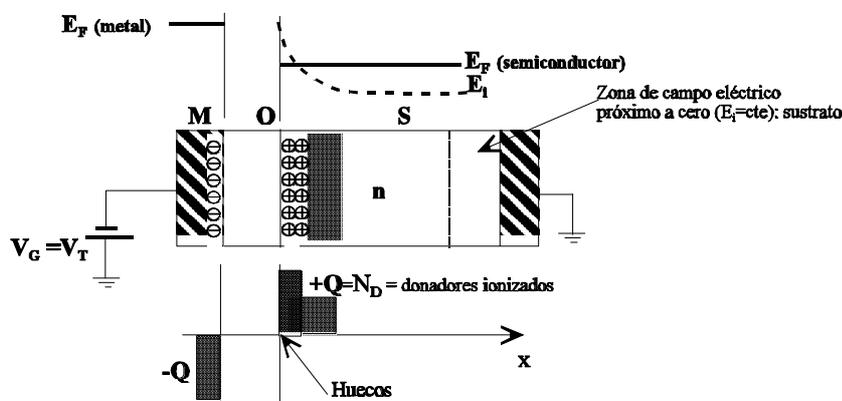


Figura 2.22 Diagrama de bandas de energía y bloques de carga para el caso de polarización de la capacidad MOS en la zona de inversión.

2.3.3 Ancho de la zona de vaciamiento (W) y tensión umbral (V_{T0})

Una vez visto el funcionamiento cualitativo de la capacidad MOS, a continuación se va a abordar la obtención del ancho de la zona de vaciamiento (W) y de la tensión umbral (V_{T0}). Los resultados que aquí se obtengan serán de utilidad en el estudio de los transistores MOSFET que se verá más adelante. Hemos de indicar que si bien se puede realizar un estudio cuantitativo más detallado, éste no está dentro de los objetivos de este libro y por ello nos vamos a centrar en la obtención de los dos parámetros W y V_{T0} .

Para abordar este estudio se van a realizar las siguientes suposiciones:

1. El metal (M) es una superficie equipotencial.
2. La carga que aparece en la interfaz metal-aislante (M-O) está toda ella en la interfaz (se adentra en el metal muy pocos angstroms), lo que permite aproximar la función densidad de carga en función de x como una función delta (δ).
3. Al suponer que en el aislante (óxido, O) no hay carga (aproximación 3) esto conlleva: a) que la magnitud de la carga en el metal es igual a la suma de

cargas dentro del semiconductor , b) el campo eléctrico en el semiconductor es constante, o lo que es lo mismo la variación del potencial con la distancia x es una función lineal de ésta.

4. El campo eléctrico en el interior del sustrato semiconductor se supone que es nulo.

El estudio se va a realizar tanto para semiconductor tipo p como n . En la figura 2.23 se muestra la estructura que se va a utilizar como referencia. Sobre dicha estructura se han indicado los nombres de las diferentes zonas que aparecen en el estudio. Como se puede comprobar dentro del semiconductor se han diferenciado dos zonas: sustrato ($x_1 \leq x \leq L$) y semiconductor ($0 \leq x \leq x_1$), entendiéndose, como ya se ha comentado anteriormente, por zona de sustrato aquella en la que el campo eléctrico ya se puede considerar nulo (o lo que es lo mismo, las diferentes bandas de energía, E_i , E_c y E_v son constantes con x). También aparece reflejada la zona que denominaremos "superficie" y que no es otra que el límite entre el aislante (O) y el semiconductor ($x=0$).

Expresión del potencial en función de los niveles de energía.

En primer lugar se va a obtener la expresión del potencial en un punto genérico x en función de las energías de Fermi (E_f) e intrínseca (E_i). A continuación se obtendrá el valor de W y finalmente el valor de V_T .

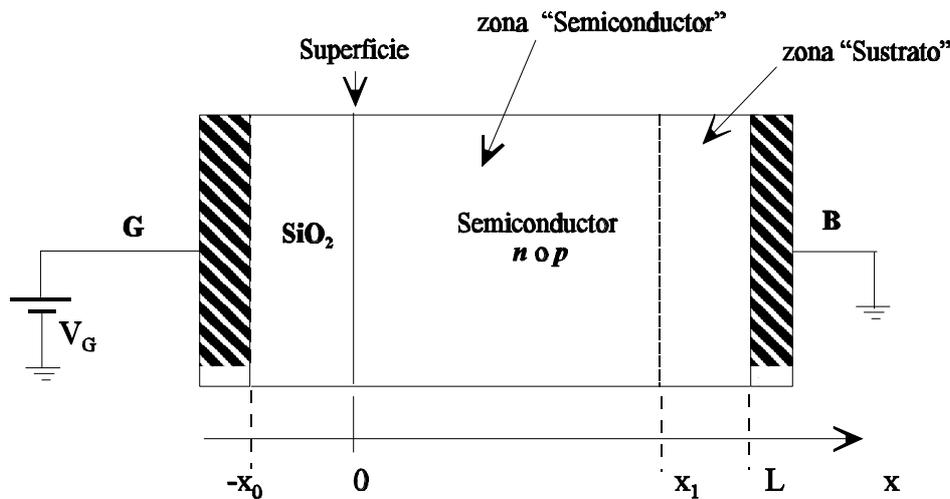


Figura 2.23 Estructura y polarización de la capacidad MOS utilizada para realizar el estudio cuantitativo

Llamando $\phi(x)$ a la tensión en un punto genérico x , para su obtención sólo hay que recordar que:

$$E(x) = \frac{1}{q} \frac{dE_i(x)}{dx} = - \frac{df(x)}{dx} \tag{2.30}$$

De donde se deduce que:

$$f(x) = -\frac{1}{q} \int_{E_i(\text{sustrato})}^{E_i(x)} dE_i(x) = \frac{1}{q} [E_i(\text{sustrato}) - E_i(x)] \quad <2.31>$$

si particularizamos la expresión anterior para $x=0$ se obtiene el potencial en la superficie, ϕ_S :

$$f_S = V(x=0) = \frac{1}{q} [E_i(\text{sustrato}) - E_i(\text{superficie})] \quad <2.32>$$

Si se define como potencial de Fermi, ϕ_F :

$$f_F = \frac{1}{q} [E_i(\text{sustrato}) - E_F] \quad <2.33>$$

entonces, teniendo en cuenta la relación <2.29>, se puede concluir que en el punto de transición **vaciamiento-inversión** se cumple:

$$f_S = 2 \cdot f_F \quad <2.34>$$

Dado que en la zona de sustrato se cumple:

$$\begin{aligned} \text{Semiconductor tipo } n: E_i(\text{sustrato}) > E_F \\ \text{Semiconductor tipo } p: E_i(\text{sustrato}) < E_F \end{aligned} \quad <2.35>$$

es evidente que:

$$\begin{aligned} f_F < 0 &\rightarrow \text{ semiconductor tipo } n \\ f_F > 0 &\rightarrow \text{ semiconductor tipo } p \end{aligned}$$

Por otra parte, teniendo en cuenta que:

$$\begin{aligned} \text{semiconductor tipo } p: p(\text{sustrato}) &= n_i \cdot e^{(E_i(\text{sustrato}) - E_F)/KT} \approx N_A \\ \text{semiconductor tipo } n: n(\text{sustrato}) &= n_i \cdot e^{(E_F - E_i(\text{sustrato})/KT} \approx N_D \end{aligned} \quad <2.36>$$

Se puede obtener:

$$f_F = \begin{cases} \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right) \rightarrow \text{ semiconductor tipo } p \\ -\frac{kT}{q} \ln\left(\frac{N_D}{n_i}\right) \rightarrow \text{ semiconductor tipo } n \end{cases} \quad <2.37>$$

Si en el punto de transición vaciamiento-inversión se cumple la ecuación <2.34> y sabiendo el signo de ϕ_F para semiconductores tipo n y p (ecuación <2.35>) se puede concluir:

$$\begin{aligned} \text{Semiconductor tipo } p: & \begin{cases} f_S < 0 \rightarrow \text{acumulación} \\ 0 < f_S < 2 \cdot f_F \rightarrow \text{vaciamiento} \\ f_S > 2 \cdot f_F \rightarrow \text{inversión} \end{cases} \\ \text{Semiconductor tipo } n: & \begin{cases} f_S > 0 \rightarrow \text{acumulación} \\ 0 > f_S > 2 \cdot f_F \rightarrow \text{vaciamiento} \\ f_S < 2 \cdot f_F \rightarrow \text{inversión} \end{cases} \end{aligned} \quad <2.38>$$

Obtención del valor del ancho de la zona de vaciamiento: W

Para obtener el ancho de la zona de vaciamiento se va a suponer que ésta tiene forma cuadrada, esto es, la zona de vaciamiento se inicia en $x=0$ y finaliza de forma abrupta en un punto $x=W$, dentro del semiconductor.

En estas condiciones, la densidad de carga, ρ , en la zona de vaciamiento vendrá dada por:

$$\rho = \begin{cases} q(p - n + N_D - N_A) \cong -qN_A & (0 \leq x \leq W) \rightarrow \text{semiconductor tipo } p \\ q(p - n + N_D - N_A) \cong qN_D & (0 \leq x \leq W) \rightarrow \text{semiconductor tipo } n \end{cases} \quad <2.39>$$

con ello la ecuación de Poisson se reduce a:

$$\frac{dE}{dx} = \frac{\rho}{\epsilon_{sem}} \cong \begin{cases} -\frac{qN_A}{\epsilon_{sem}} & (0 \leq x \leq W) \rightarrow \text{semiconductor } p \\ \frac{qN_D}{\epsilon_{sem}} & (0 \leq x \leq W) \rightarrow \text{semiconductor } n \end{cases} \quad <2.40>$$

donde ϵ_{sem} es la constante dieléctrica del semiconductor.

Integrando la ecuación <2.40>, con la condición de que $E=0$ en $x=W$, se obtiene:

$$E(x) = -\frac{df(x)}{dx} = \begin{cases} \frac{qN_A}{\epsilon_{sem}}(W-x) & (0 \leq x \leq W) \rightarrow \text{semiconductor } p \\ -\frac{qN_D}{\epsilon_{sem}}(W-x) & (0 \leq x \leq W) \rightarrow \text{semiconductor } n \end{cases} \quad <2.41>$$

o bien, integrando de nuevo <2.41> :

$$f(x) = \begin{cases} \frac{qN_A}{2e_{sem}}(W-x)^2 & (0 \leq x \leq W) \rightarrow \text{ semiconductor } p \\ -\frac{qN_D}{2e_{sem}}(W-x)^2 & (0 \leq x \leq W) \rightarrow \text{ semiconductor } n \end{cases} \quad <2.42>$$

A partir de esta última ecuación se puede obtener el valor de W en función de ϕ_S . En efecto sabiendo que para $x=0$, $\phi(x=0) = \phi_S$, de la ecuación <2.42> se obtiene:

$$W = \begin{cases} \sqrt{\frac{2e_{sem}}{qN_A} f_S} \rightarrow \text{ semiconductor } p \\ \sqrt{-\frac{2e_{sem}}{qN_D} f_S} \rightarrow \text{ semiconductor } n \end{cases} \quad <2.43>$$

y el valor de W para el punto de transición vaciamiento-inversión, W_{T0} , se obtiene sustituyendo en la ecuación <2.43> $\phi_S = 2\phi_F$.

$$W_{T0} = \begin{cases} \sqrt{\frac{2e_{sem}}{qN_A} (2f_F)} \rightarrow \text{ semiconductor } p \\ \sqrt{-\frac{2e_{sem}}{qN_D} (2f_F)} \rightarrow \text{ semiconductor } n \end{cases} \quad <2.44>$$

Obtención del valor de la tensión umbral: V_{T0}

Para obtener el valor de V_{T0} partimos del esquema mostrado en la figura 2.24, de donde se obtiene:

$$V_G = f_{ox} + f_S + f_{SUS} + 2 \cdot f_M \quad <2.45>$$

y dado que las caídas de tensión en el sustrato, ϕ_{SUS} , y metal, ϕ_M , son cero, el valor de ϕ_S coincide con la caída de tensión en el semiconductor, por tanto la ecuación <2.45> se puede escribir:

$$V_G = f_{ox} + f_S \quad <2.46>$$

donde ϕ_S , coincide con la expresión <2.32> :

$$f_s = \frac{1}{q} [E_i(\text{sustrato}) - E_i(\text{superficie})] \tag{2.47}$$

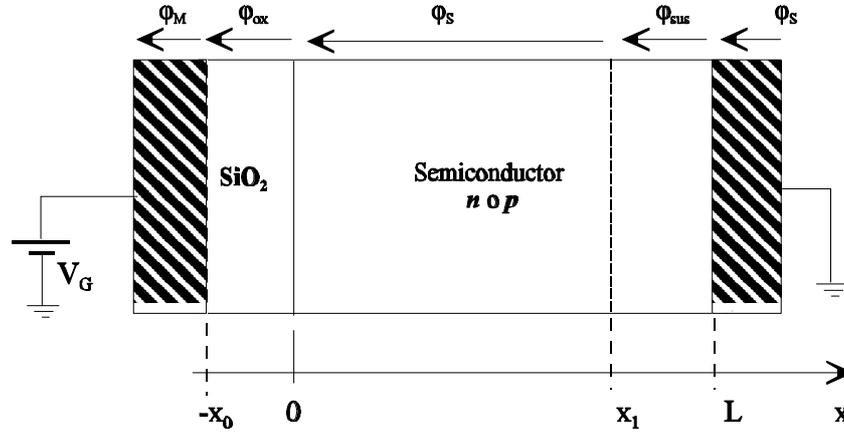


Figura 2.24 Estructura de la capacidad MOS utilizada para el cálculo de V_T

por tanto, de la ecuación <2.46> sólo hay que obtener el valor de ϕ_{ox} . La obtención de ϕ_{ox} es sencilla, ya que partimos de que en el aislante el campo eléctrico es constante ($E_{ox} = cte$) y por tanto:

$$f_{ox} = \int_{-x_0}^0 E_{ox} dx = x_0 E_{ox} \tag{2.48}$$

donde x_0 es el espesor del óxido (ver figura 2.24). Queda por tanto obtener el valor de E_{ox} . Para ello sólo hay que relacionar E_{ox} con ϕ_s . Recordando que la condición de contorno en la interfaz de dos medios diferentes establece que:

$$\vec{n} \cdot [\vec{D}_1 - \vec{D}_2] = \rho \tag{2.49}$$

donde \vec{D}_1 y \vec{D}_2 representan las inducciones eléctricas en los medios 1 y 2 respectivamente, \vec{n} es el vector unitario normal a la superficie de separación, dirigido del medio 2 al 1 y ρ es la densidad superficial de carga en la superficie de separación.

En nuestro caso los medios 1 y 2 se corresponden con el óxido y el semiconductor y teniendo en cuenta la idealización 3: $\rho = 0$. Por tanto, llamando D_{ox} y D_{sem} a las componentes de inducción normales a la interfaz se puede escribir:

$$D_{ox} = D_{sem} \Big|_{x=0} \rightarrow E_{ox} = \frac{K_{sem}}{K_{ox}} E_{sem} \tag{2.50}$$

donde ϵ_{OX} y ϵ_{SEM} representan las constantes dieléctricas del óxido y semiconductor, respectivamente y E_{SEM} el campo eléctrico en el semiconductor, en la interfaz óxido-semiconductor.

Por tanto, sustituyendo el valor de E_{OX} dado por la ecuación <2.50> en la ecuación <2.48> se obtiene:

$$f_{OX} = x_0 E_{OX} = \frac{\epsilon_{OX}}{\epsilon_{SEM}} \cdot x_0 \cdot E_{SEM} \quad <2.51>$$

El valor de E_{SEM} se puede obtener de la ecuación <2.41> sustituyendo en $x=0$. En consecuencia se obtiene:

$$f_{OX} = \begin{cases} x_0 \cdot W \cdot \frac{qN_A}{\epsilon_{OX}} \rightarrow \text{semiconductor } p \\ -x_0 \cdot W \cdot \frac{qN_D}{\epsilon_{OX}} \rightarrow \text{semiconductor } n \end{cases} \quad <2.52>$$

Sustituyendo el valor de W dado por la ecuación <2.43> en la expresión de ϕ_{OX} , la ecuación <2.46> se puede escribir:

$$V_G = \begin{cases} f_S + x_0 \cdot \frac{\epsilon_{sem}}{\epsilon_{OX}} \left[\frac{2qN_A}{\epsilon_{sem}} (f_S) \right]^{1/2} \rightarrow \text{semiconductor } p \\ f_S - x_0 \cdot \frac{\epsilon_{sem}}{\epsilon_{OX}} \left[\frac{2qN_D}{\epsilon_{sem}} (-f_S) \right]^{1/2} \rightarrow \text{semiconductor } n \end{cases} \quad <2.53>$$

En consecuencia, el valor de la tensión umbral V_{TO} coincide con V_G dada por esta última ecuación cuando $\phi_S = 2\phi_F$, esto es, la tensión en la interfaz óxido-semiconductor es igual a $2\phi_F$. Por tanto:

$$V_{TO} = \begin{cases} 2f_F + x_0 \cdot \frac{\epsilon_{sem}}{\epsilon_{OX}} \left[\frac{2qN_A}{\epsilon_{sem}} (2f_F) \right]^{1/2} \rightarrow \text{semiconductor } p \\ 2f_F - x_0 \cdot \frac{\epsilon_{sem}}{\epsilon_{OX}} \left[\frac{2qN_D}{\epsilon_{sem}} (-2f_F) \right]^{1/2} \rightarrow \text{semiconductor } n \end{cases} \quad <2.54>$$

Llamando:

$$g = x_0 \cdot \frac{e_{sem}}{e_{OX}} \left[\frac{2qN_{A,D}}{e_{sem}} \right]^{1/2} \tag{2.55}$$

las expresiones <2.54> se pueden escribir:

$$V_{T0} = \begin{cases} 2f_F + g [2f_F]^{1/2} \rightarrow \text{semiconductor } p \\ 2f_F - g [-2f_F]^{1/2} \rightarrow \text{semiconductor } n \end{cases} \tag{2.56}$$

y se le conoce por **coeficiente del efecto del sustrato**, y como se puede comprobar es una constante de fabricación de la capacidad MOS.

Valor de la tensión umbral cuando el sustrato, B, está a un potencial distinto de cero.

Dado que en algunas aplicaciones el sustrato esta a un potencial distinto de cero (V_B) tal como se indica en la figura 2.25, vamos a obtener el valor de la tensión que hay que aplicar **entre puerta y masa** para alcanzar la transición vaciamiento-inversión. Este nuevo valor de la tensión umbral de puerta lo llamaremos V_T .

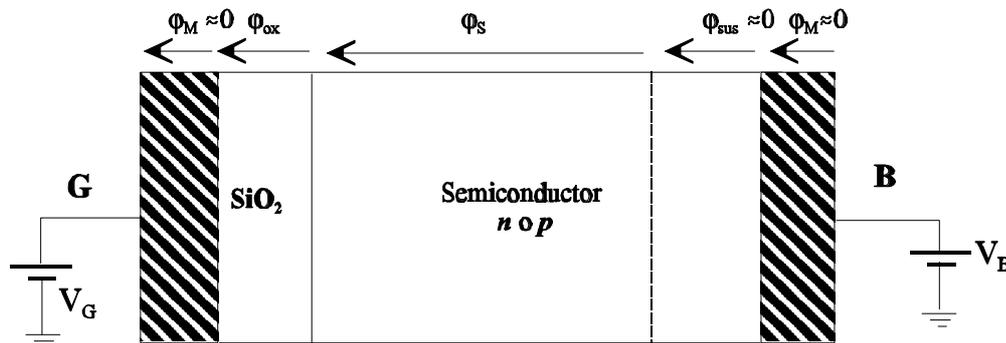


Figura 2.25 Capacidad MOS con el terminal de sustrato a un potencial V_B

En este caso se cumple:

$$V_G = V_{GB} + V_B = f_{OX} + f_S + V_B \tag{2.57}$$

y la ecuación <2.42>, queda ahora como:

$$f(x) = \begin{cases} \frac{qN_A}{2e_{sem}} (W-x)^2 + V_B & (0 \leq x \leq W) \rightarrow \text{semiconductor } p \\ -\frac{qN_D}{2e_{sem}} (W-x)^2 + V_B & (0 \leq x \leq W) \rightarrow \text{semiconductor } n \end{cases} \tag{2.58}$$

Particularizando la ecuación <2.58> para $x=0$, se obtiene el valor de W en función de $\phi(x=0)$:

$$W = \begin{cases} \sqrt{\frac{2e_{sem}}{qN_A} [f(x=0) - V_B]} \rightarrow \text{semiconductor } p \\ \sqrt{-\frac{2e_{sem}}{qN_D} [f(x=0) - V_B]} \rightarrow \text{semiconductor } n \end{cases} \quad <2.59>$$

por tanto el valor de V_G vendrá dado por:

$$V_G = \begin{cases} \overbrace{f_S + V_B}^{f(x=0)} + x_0 \cdot \frac{e_{sem}}{e_{OX}} \left[\frac{2qN_A}{e_{sem}} [f(x=0) - V_B] \right]^{1/2} \rightarrow \text{semiconductor } p \\ \overbrace{f_S + V_B}^{f(x=0)} - x_0 \cdot \frac{e_{sem}}{e_{OX}} \left[\frac{2qN_D}{e_{sem}} [-f(x=0) + V_B] \right]^{1/2} \rightarrow \text{semiconductor } n \end{cases} \quad <2.60>$$

Dado que la transición vaciamiento- inversión ocurre cuando $\phi(x=0) = 2\phi_F$, sustituyendo este valor en la ecuación anterior se obtiene el valor de la nueva V_T . **Bien entendido, que esta nueva tensión umbral es la tensión que hay que aplicar entre puerta y masa para alcanzar la transición vaciamiento-inversión:**

$$V_T = \begin{cases} 2f_F + x_0 \cdot \frac{e_{sem}}{e_{OX}} \left[\frac{2qN_A}{e_{sem}} (2f_F - V_B) \right]^{1/2} \rightarrow \text{semiconductor } p \\ 2f_F - x_0 \cdot \frac{e_{sem}}{e_{OX}} \left[\frac{2qN_D}{e_{sem}} (-2f_F + V_B) \right]^{1/2} \rightarrow \text{semiconductor } n \end{cases} \quad <2.61>$$

o bien, en función de ψ :

$$V_T = \begin{cases} 2f_F + g [2f_F - V_B]^{1/2} \rightarrow \text{semiconductor } p \\ 2f_F - g [-2f_F + V_B]^{1/2} \rightarrow \text{semiconductor } n \end{cases} \quad <2.62>$$

El valor de $V_T(V_B = 0)$ se suele dar en función de V_{T0} (ecuación <2.56>):

$$V_T = \begin{cases} V_{T0} + g [(2f_F - V_B)^{1/2} - (2f_F)^{1/2}] \rightarrow \text{semiconductor } p \\ V_{T0} - g [(-2f_F + V_B)^{1/2} - (-2f_F)^{1/2}] \rightarrow \text{semiconductor } n \end{cases} \quad <2.63>$$

Como se pondrá de manifiesto en el estudio de transistores MOSFET, la tensión V_B toma los siguientes signos: semiconductor p : $V_B < 0$, semiconductor n : $V_B > 0$.

Ejemplo 2.6

Una capacidad MOS de semiconductor tipo p se polariza con el sustrato a masa y una tensión V_G en el terminal de puerta. En estas condiciones se observa que en la zona de semiconductor más próxima a SiO_2 comienzan a aparecer electrones. Indíquese:

1. Zona de funcionamiento de la capacidad.
2. Relación que se cumple entre el nivel de energía de Fermi y los niveles intrínsecos en la "superficie" y el "sustrato".
3. Signo de la tensión V_G

Solución

1. Dado que el semiconductor es p , si en la zona del semiconductor más próxima al aislante comienzan a aparecer electrones, esto indica que se está entrando en la zona de inversión. Por tanto la zona de funcionamiento es la transición vaciamiento-inversión.
2. Al estar en la transición vaciamiento -inversión se cumple la ecuación <2.29>:

$$E_i(\text{superficie}) - E_i(\text{sustrato}) = 2[E_F - E_i(\text{sustrato})]$$

3. La polaridad de V_G debe hacer que en el Metal se depositen huecos, y en consecuencia en la interfaz Óxido-semiconductor se induzcan electrones. Por tanto V_G debe ser positiva.

Ejemplo 2.7

De una capacidad MOS se conocen todos sus parámetros que intervienen en el valor de la tensión umbral y que ϕ_F (potencial de Fermi) > 0 . Polarizada esta capacidad con unas tensiones $V_B = 2\text{V}$ y $V_G = -3\text{V}$ en sustrato y puerta, respectivamente, se cumple: $\phi_s > 2\phi_F$. En estas condiciones se pide:

1. Tipo de semiconductor.
2. Zona de funcionamiento de la capacidad.
3. ¿En qué caso será mayor la tensión umbral (tensión entre puerta y masa): a) con $V_B = 2$, b) con $V_B = 0\text{V}$?

Solución

1. Al ser $\phi_F > 0$ se trata de un semiconductor tipo p .
 2. Dado que se cumple $\phi_s > 2\phi_F$ la capacidad está funcionando en inversión.
 3. Observando la ecuación <2.59> se puede ver que con $V_B = 2$ se obtiene un valor más pequeño de la tensión umbral que para $V_B = 0\text{V}$.
-

2.4 Transistores MOSFET de acumulación

Los transistores MOSFET son en la actualidad los dispositivos más utilizados en la fabricación de circuitos integrados de todo tipo. Como ejemplo se pueden citar: microprocesadores, microcontroladores, procesadores digitales de señal (DSPs), dispositivos lógicos programables (FPGAs), memorias, etc.

En la figura 2.26 se muestran los símbolos de los transistores MOSFET de acumulación. Se trata de un dispositivo de cuatro terminales: Puerta (G), Fuente (S), Drenador (D) y sustrato (B, Bulk). Como se puede observar en uno de los símbolos aparecen estos cuatro terminales, mientras que en el otro solamente aparecen tres. La razón de que sólo aparezcan tres es porque en muchos casos los terminales de fuente (S) y sustrato (B) están unidos.

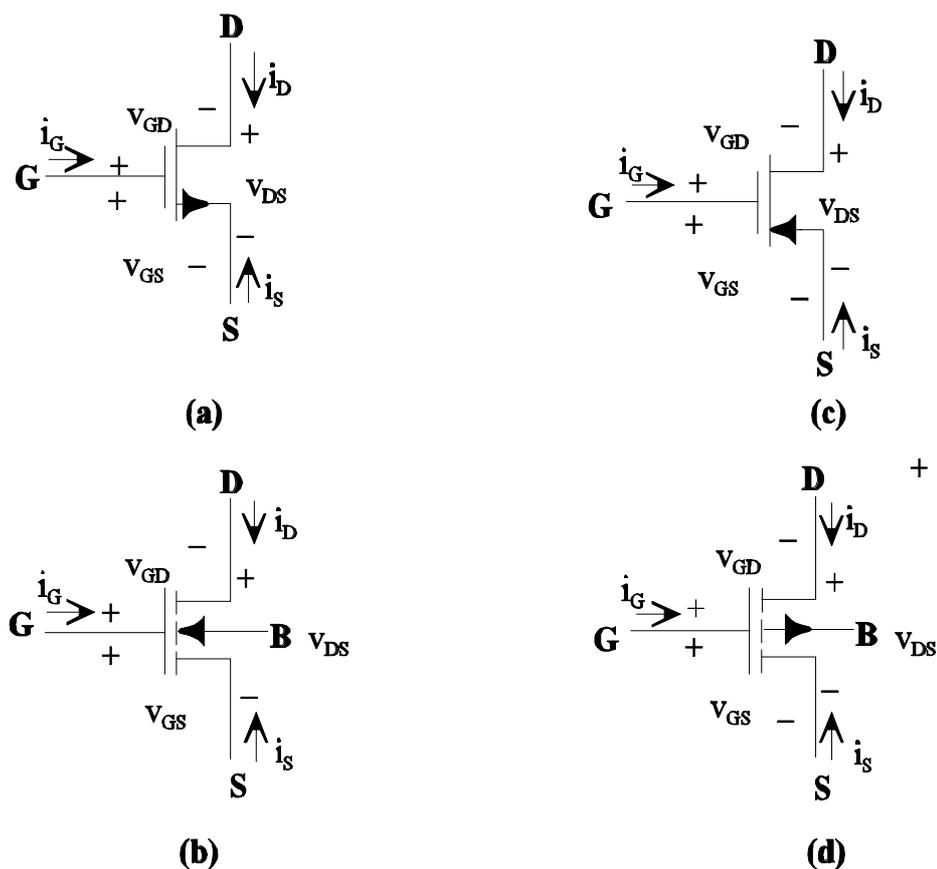


Figura 2.26 Símbolos y definición de corrientes y tensiones para transistores MOSFET de acumulación (a) y (b) Canal n , (c) y (d) Canal p .

Al igual que en el caso de los JFETs, todas las corrientes se definen entrantes, por tanto, de la figura 2.30 se puede escribir:

$$i_D + i_G + i_S = 0 \tag{2.60}$$

$$v_{DS} - v_{GS} + v_{GD} = 0$$

si bien en este tipo de transistores la corriente de puerta en continua (o incluso, como se verá mas adelante, en alterna pero en bajas frecuencias) es nula ($i_G = 0$), con independencia de las tensiones continuas entre terminales (dentro, lógicamente de los valores de tensión permitidos).

Como se puede ver no se ha hecho referencia a la tensión del terminal B (sustrato). Por el momento, sólo indicar que este terminal suele estar unido al de fuente (S), más adelante se analizará el caso en que esto no sea así.

En la figura 2.27 se muestran las secciones transversales de las configuraciones básicas de los transistores MOSFETs de acumulación. Como se puede observar estos transistores se construyen a partir de una capacidad MOS a la que se le incorporan dos zonas ("islas") adyacentes a la región del semiconductor (sustrato) de la capacidad MOS. Para el caso de transistores canal *n* (figura 2.27.a) las zonas adyacentes son de tipo *n*⁺ y el sustrato es de tipo *p*, mientras que en transistores canal *p* (figura 2.27.b), las zonas adyacentes son de tipo *p*⁺ y el sustrato es de tipo *n*. Más adelante se justificará el por qué a la zona entre las dos "islas" se le denomina canal y también por qué para sustrato *p* el canal es *n* y viceversa.

Una de las zonas adyacentes (islas) constituye el terminal de drenador (D) y la otra el de fuente (S). La corriente, como se pondrá de manifiesto, fluye entre estos dos terminales y está controlada por el terminal de puerta (G, Gate). Al igual que ocurre en los JFET el terminal de drenador será aquel que "drene" portadores mayoritarios. Siendo los portadores mayoritarios los electrones para el transistor canal *n* y los huecos para el canal *p*.

El terminal de puerta (G), al igual que en la capacidad MOS, está formado por un plano metálico (polisilicio, generalmente) y está separado del semiconductor (sustrato) por una fina capa de aislante (SiO₂) (ver figura 2.28).

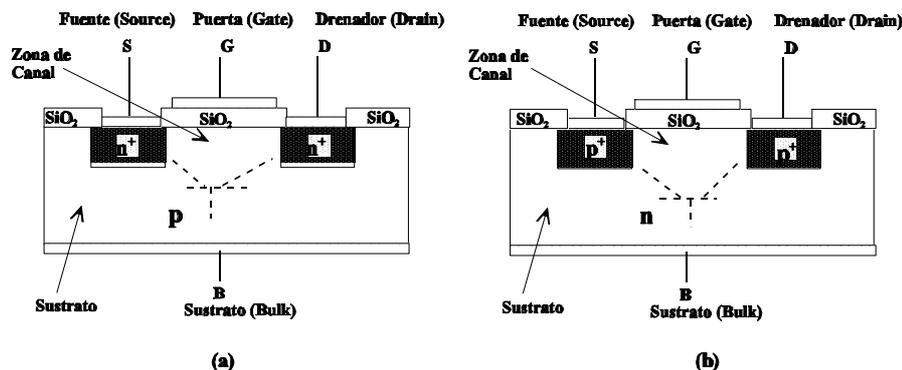


Figura 2.27 Sección transversal de las estructuras MOSFETs de acumulación básicas. (a) MOSFET canal *n*, (b) MOSFET canal *p*.

Antes de comenzar con el estudio cualitativo en continua es importante indicar (ver figura 2.27), que entre drenador (D) y el sustrato (B) al igual que entre fuente (S) y sustrato (B)

existen uniones pn . Estas uniones deben estar siempre polarizadas en inverso para obtener el comportamiento deseado de los transistores MOSFET (sólo en casos excepcionales se polarizan estas uniones en directo). Este aspecto es muy importante que se tenga presente en la utilización de los transistores MOSFETs. Obsérvese que en la estructura MOSFET existe un transistor bipolar, nnp para el canal n , y pnp para el caso de canal p ; en el funcionamiento como transistor MOSFET hay que garantizar que las dos uniones del transistor BJT estén siempre en inverso. Estos transistores BJT "parásitos" que aparecen en la estructura MOSFET se reflejan en la figura 2.27 con línea discontinua.

Indicar también que todas las tensiones se referirán al terminal de fuente (S). Por tanto, hablaremos de V_{BS} , V_{DS} y V_{GS} para referirnos a las tensiones continuas entre sustrato-fuente, drenador-fuente y puerta-fuente, respectivamente. En principio, y con el único fin de simplificar el estudio se supone que el terminal de fuente está a potencial cero ($V_S=0$), pero dado que el resto de las tensiones están referidas a fuente todas las conclusiones y relaciones entre corrientes y tensiones de terminales del transistor serán válidas aún cuando $V_S \neq 0$.

En principio, también se va a suponer que $V_{BS} = 0$ (lo cual representa una situación muy frecuente ya que los terminales de fuente y sustrato suelen estar cortocircuitados). Más adelante se hará referencia al caso en que el potencial entre sustrato y fuente (V_{BS}) sea distinto de cero ($V_{BS} \neq 0$).

2.4.1 Funcionamiento cualitativo

Para ver el funcionamiento cualitativo de los transistores MOSFET de acumulación se va a utilizar un transistor canal n . En la figura 2.28 se muestra la estructura básica y las tensiones de los diferentes terminales. Obsérvese que en este caso al tratarse de un transistor canal n los portadores mayoritarios son los electrones, por tanto considerando que V_{DS} es positiva la corriente (huecos) fluye en el sentido indicado en la figura 2.28, o lo que es lo mismo, por el terminal D salen ("drena") electrones. También se puede ver que en este caso el diodo que se forma entre fuente (S) y sustrato (B) está cortocircuitado, por lo que no existe posibilidad de que se polarice en directa, en cuanto a la unión drenador (D)-sustrato (B) estará polarizada en inverso, siempre y cuando $V_{DS} \geq 0$.

Antes de analizar la variación de la corriente de drenador (I_D) con las tensiones V_{DS} y V_{GS} se van a mostrar las diferentes situaciones que se pueden presentar en la interfaz óxido semiconductor p (sustrato) dependiendo de la polaridad y valor de la tensión de puerta V_{GS} , tal como se puso de manifiesto en el estudio de la capacidad MOS. Para el caso de la figura 2.28, donde el sustrato es p se pueden presentar las siguientes situaciones significativas:

$V_{GS} < 0$: en este caso en la interfaz óxido-semiconductor se producirá un fenómeno de almacenamiento (incremento de huecos), lo que significa que las dos zonas n^+ permanecen separadas por una zona p , tal como se muestra en la figura 2.28.b.

- **$V_{GS} > 0$:** En este caso se pueden presentar tres situaciones:
 1. $V_{GS} < V_T$ (V_T es la tensión umbral a la que se hizo referencia en el estudio de la capacidad MOS- obsérvese que $V_T > 0$ -) este situación es la de vaciamiento

pero sin llegar a neutralizar todos los huecos de la zona p , por tanto las dos zonas n^+ siguen estando separadas por una zona p .

2. $V_{GS} = V_T$, esta situación coincide con la transición vaciamiento-inversión.
3. $V_{GS} > V_T$, esta situación coincide con la de inversión (recuérdese el estudio de la capacidad MOS), por lo tanto en la interfaz óxido-semiconductor (semiconductor del sustrato) se acumulan electrones (se produce la inversión) lo que hace que las dos zonas n^+ queden unidas por otra zona también n (figura 2.28.c). En estas condiciones puede existir corriente entre D y S cuyo valor depende del valor de V_{GS} y de V_{DS} . La zona de inversión que se produce entre las dos zonas n^+ se denomina canal. Como se puede observar, al hacer funcionar a la capacidad MOS en la zona de inversión puede existir corriente entre D y S gracias a esa zona de inversión, es como si se abriera un canal entre las dos zonas (islas) n^+ . Obsérvese que cuando se forma canal éste es de tipo n , por ello el transistor se denomina canal n .

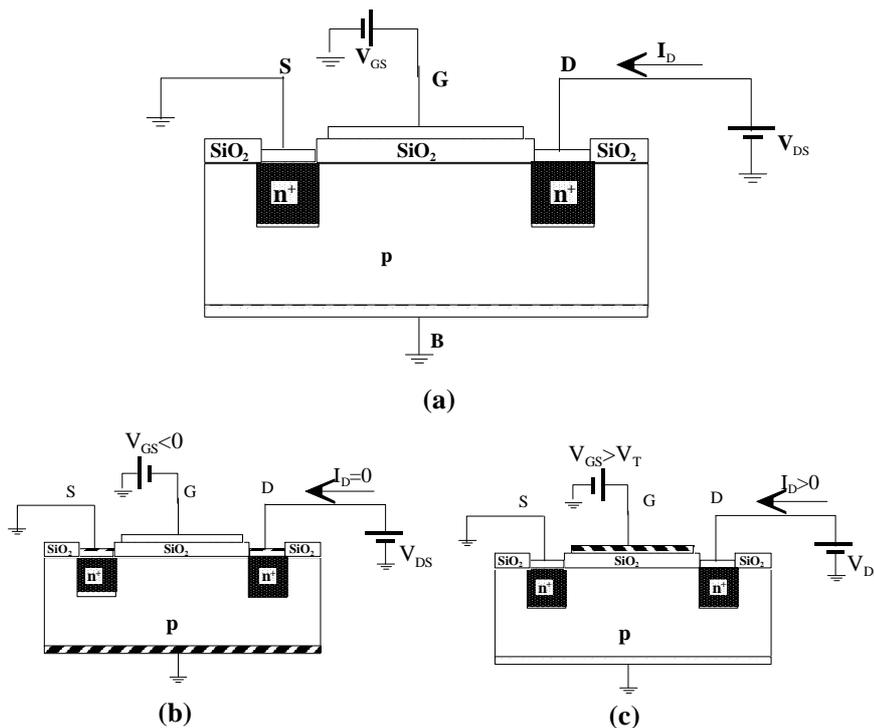


Figura 2.28 Estructura básica y condiciones de polarización para realizar el estudio cualitativo del transistor MOSFET de acumulación canal n .

Para obtener la variación de la corriente de drenador (I_D) en función de las tensiones V_{DS} y V_{GS} , vamos a suponer diferentes situaciones que son significativas en el funcionamiento de este tipo de transistores:

En primer lugar se va a suponer que $V_{GS} \leq V_T$: En este caso, entre las dos zonas (islas) existirá un exceso de huecos (caso de acumulación) o un déficit de huecos (sin llegar a existir electrones) antes de alcanzar la transición vaciamiento-inversión ($V_{GS} = V_T$). Todo ello hace que entre D y S exista una resistencia muy grande (circuito abierto entre D y S) y por tanto con independencia del valor que tome V_{DS} la corriente de drenador es cero. Este modo de funcionamiento se le denomina de CORTE. En la figura 2.29 se muestra esta zona. En la figura 2.29.a se muestra la variación de I_D con V_{GS} y la figura 2.29.b refleja la variación de I_D con V_{DS} para diferentes valores de V_{GS} .

Supóngase ahora que $V_{GS} = V_{GS1} > V_T$ y que V_{DS} se va incrementando a partir de cero: Al ser $V_{GS1} > V_T$ se produce una zona de inversión entre D y S, esto es, se crea un canal n entre las dos zonas n^+ , lo que hace que entre D y S exista una resistencia de valor pequeña (en función del ancho de la zona de inversión- canal-) permitiendo que pueda existir corriente entre D y S. El canal se comporta como una resistencia por la que puede circular corriente.

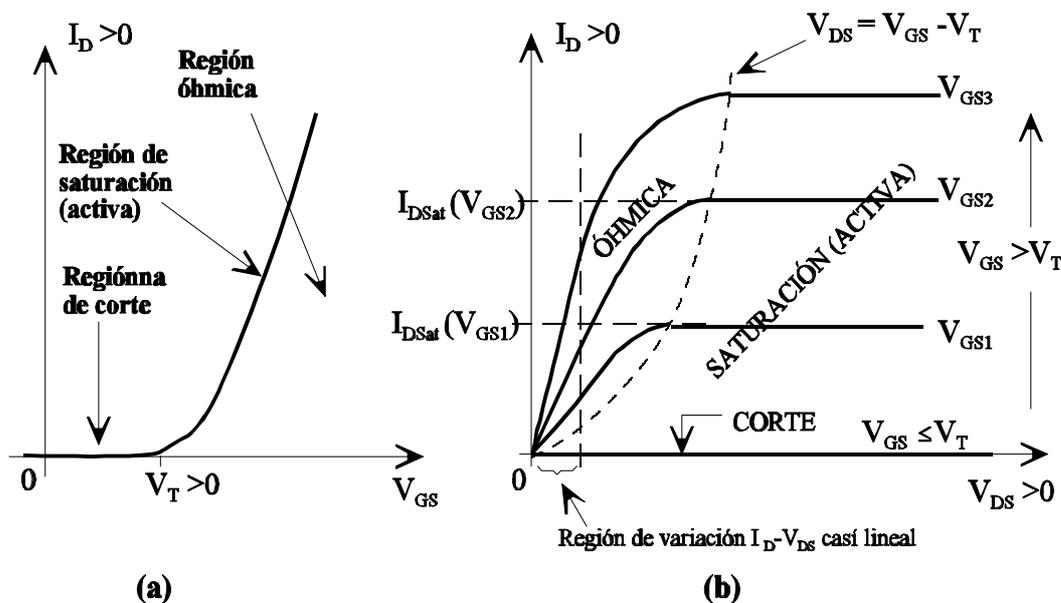


Figura 2.29 Curvas características de (a) entrada y (b) salida de un transistor MOSFET canal n .

Si $V_{DS} = 0$, lógicamente la corriente I_D será también cero. En la figura 2.30.a se muestra el perfil de las zonas de vaciamiento e inversión para $V_{DS} = 0$ y $V_{GS} > V_T$. Al ser la tensión $V_{DS} = 0$ las zonas de vaciamiento que se producen en los entornos de las dos zonas n^+ ("islas" correspondientes al drenador y fuente) son iguales.

Para $V_{DS} > 0$ existirá corriente de drenador. Para valores de V_{DS} pequeños el canal se comporta como una resistencia cuyo valor se mantiene constante, lo que hace que en las proximidades de $V_{DS} = 0$ la variación de I_D con V_{DS} (para una $V_{GS} = \text{cte}$) es una función lineal. Sin embargo cuando V_{DS} se aleja de las proximidades del cero la resistencia deja de ser constante y comienza a incrementarse, lo que hace que la variación de I_D con V_{DS} deja de ser lineal. En efecto, el potencial positivo en drenador hace que se produzcan dos fenómenos que contribuyen a reducir la zona de inversión en el canal y en consecuencia aumenta la resistencia

de éste: por una parte al ser $V_{DS} > 0$ esta tensión contrarresta el efecto de la tensión también positiva de puerta, lo que supone una reducción de la zona de inversión, que será más acusado en los puntos donde el potencial del canal sea más elevado (zona próxima al terminal de drenador). Dicho de otra forma, en la capacidad MOS la zona de inversión es mayor o menor en función de que la diferencia de potencial entre los extremos de la capacidad -puerta y sustrato- sea mayor o menor. Por otra parte, las zonas de vaciamiento que se generan entorno a las uniones pn (drenador-sustrato y fuente-sustrato) contribuyen a reducir la zona de inversión, siendo de nuevo más acusado este efecto en las proximidades de drenador ya que al ser $V_{DS} > 0$ la unión drenador-sustrato es la que está más inversamente polarizada. En la figura 2.30.b se muestra el perfil de la zona de inversión para esta situación.

Por tanto a medida que se vaya incrementando V_{DS} se va reduciendo la zona del canal (sobre todo en las proximidades de drenador), lo que hace que para valores de V_{DS} alejadas de cero, para un mismo incremento de V_{DS} se obtienen incrementos de I_D más pequeños. En esta situación entre drenador y fuente el transistor se comporta como una resistencia (cuyo valor depende de V_{DS}) y por ello se le denomina como región ÓHMICA. La figura 2.29.b muestra la variación de I_D con V_{DS} para este caso.

La situación límite se produce cuando se alcanza el estrangulamiento del canal. El valor de V_{DS} para el cual se alcanza esta situación de estrangulamiento se denomina V_{DSat} . Esta situación se muestra en la figura 2.30.c. Una vez que se estrangula el canal, si se sigue incrementando V_{DS} , lo que sucede se puede explicar de forma similar a como se hizo para el caso de transistores JFET: si el canal se estrangula la resistencia entre D y S tiende a infinito y ello supone, ver ecuación <2.6>, que $\Delta I_D = 0$, lo que supone que $I_D = I_{Dsat} = Cte$. El estrangulamiento del canal se produce para unos valores de V_{GS} y V_{DS} tales que:

$$V_{DS} = V_{GS} - V_T \quad <2.61>$$

Por tanto, para $V_{DS} \geq V_{GS} - V_T$ el canal estará estrangulado y la corriente de drenador permanece constante con V_{DS} . Esta región de funcionamiento se le denomina de SATURACIÓN O ACTIVA.

Lógicamente si para $V_{DS} \geq V_{GS} - V_T$ el transistor está en la región activa, para valores $V_{DS} \leq V_{GS} - V_T$ el canal no alcanza la situación de estrangulamiento y por tanto se corresponde con la región óhmica. Evidentemente los puntos límites entre óhmica y activa responden a la ecuación $V_{DS} = V_{GS} - V_T$.

Si en lugar de V_{GS1} se aplica una $V_{GS2} > V_{GS1}$ lo que ocurre es que para $V_{DS} = 0$, el ancho del canal (zona de inversión) es mayor. Por tanto si se aumenta V_{DS} se necesitarán valores de V_{DS} mayores al caso de $V_{GS} = V_{GS1}$ para conseguir estrangular el canal. En consecuencia, la corriente de drenador, $I_{Dsat}(V_{GS2})$, para la que se alcanza el estrangulamiento también será mayor: $I_{Dsat}(V_{GS2}) > I_{Dsat}(V_{GS1})$ (ver figura 2.29).

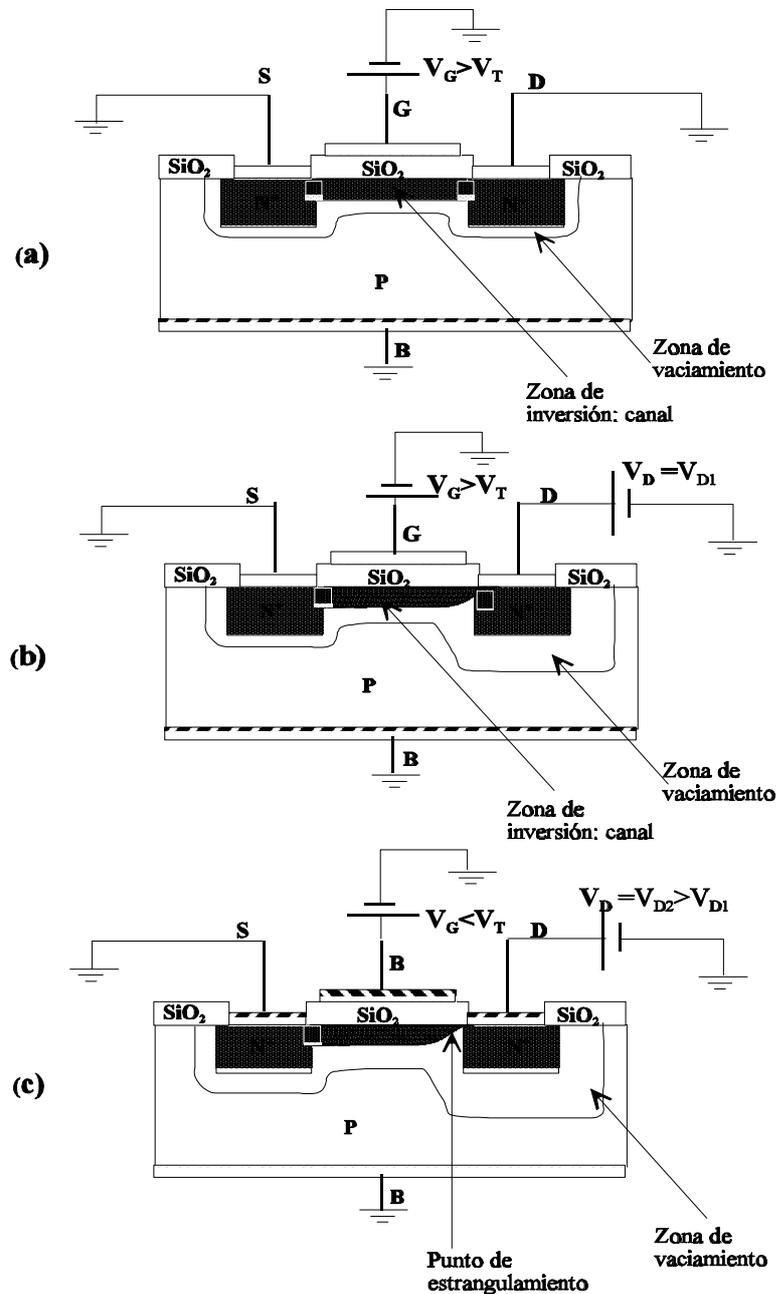


Figura 2.30 Ejemplos de diferentes fases del funcionamiento de un transistor MOSFET de acumulación con $V_{GS} > V_T$. (a) $V_{DS} = 0$, (b) $0 < V_{DS} < V_{Dsat}$ (zona óhmica), (c) $V_{DS} > V_{Dsat}$ (zona de saturación)

Para el caso de transistores canal p , el razonamiento que se puede hacer sobre su estudio será similar al del canal n . Lógicamente en este caso la tensión a aplicar entre puerta y fuente (V_{GS}) deberá superar un determinado valor negativo para que se alcance la situación de inversión. Por tanto, la tensión umbral, V_T , en los transistores canal p es negativa. En cuanto a la tensión

V_{DS} , es evidente que debe ser también negativa, ya que ahora los portadores mayoritarios son huecos y si $V_{DS} < 0$ la corriente (que coincide con la dirección de movimiento de los huecos) fluye de drenador a fuente. Lógicamente si la corriente de drenador se define entrante, su valor será negativo. En cuanto a la condición que debe cumplirse para ubicar el transistor en el límite entre óhmica y saturación (activa) coincide con la del transistor canal n , esto es: $V_{DS} = V_{GS} - V_T$. Por tanto, y teniendo en cuenta que $V_{DS} < 0$, la condición para que el transistor esté en óhmica es $V_{DS} \geq V_{GS} - V_T$ y en saturación $V_{DS} \leq V_{GS} - V_T$. En la figura 2.31 se muestran las curvas características para transistores canal p .

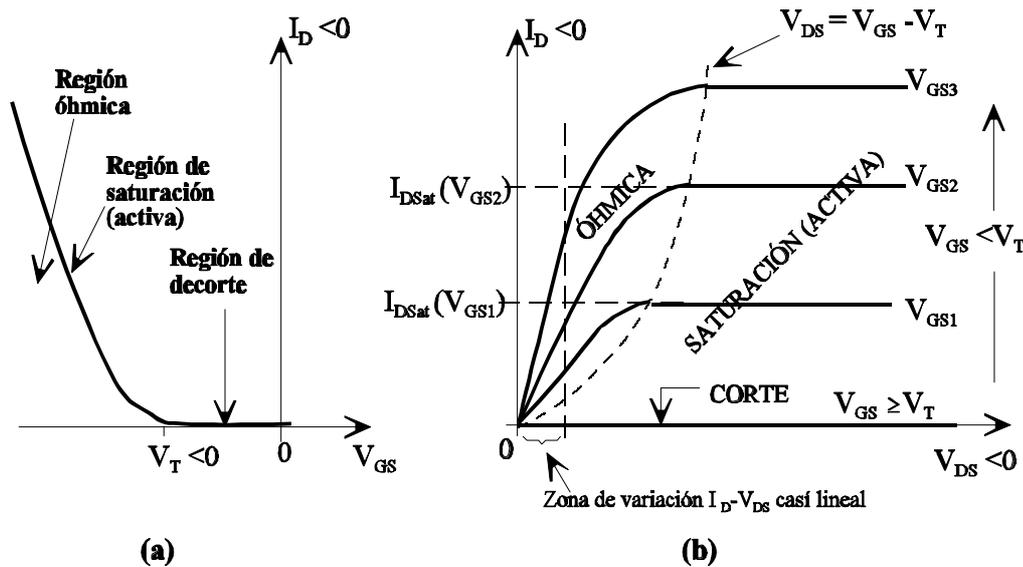


Figura 2.31 Curvas características de (a) entrada y (b) salida de un transistor MOSFET canal p

2.4.2 Funcionamiento cuantitativo de los MOSFET

Para obtener la expresión de la corriente de drenador en función de las tensiones aplicadas entre los diferentes terminales se pueden seguir básicamente dos caminos: "teoría de la ley cuadrática" y "teoría de la carga de volumen". En nuestro caso se va a utilizar la ley cuadrática por dos razones fundamentalmente: por una parte es más sencilla y por otra guarda gran similitud con el estudio realizado en el caso de los JFETs.

Antes de obtener la relación entre I_D y V_{DS} es necesario recordar el concepto de movilidad de portadores bien sean huecos o electrones. Como ya se comentó en el libro *Dispositivos Electrónicos I*, en aquellas zonas del semiconductor donde el campo eléctrico se puede considerar nulo (sustrato) (en nuestro caso las regiones alejadas de la interfaz semiconductor-óxido (superficie)) la movilidad de los portadores está determinada fundamentalmente por la magnitud de la interacción con la red y por la interacción con las impurezas ionizadas, que existen dentro del material. Por tanto, para una temperatura y nivel de dopado dadas, la movilidad de los portadores están definidas y son constantes físicas perfectamente determinadas.

Sin embargo en los transistores MOSFETs el movimiento de portadores se realiza entre D y S

a través de la zona de semiconductor que se ha denominado como canal. Esto es, en la capa de inversión superficial que se crea en la proximidades de la interfaz puerta (Metal)- óxido. Y esta zona se caracteriza por la existencia de un campo eléctrico inducido por la tensión de puerta. Si se tiene en cuenta que en un transistor canal n para crear zona de inversión hay que aplicar en puerta tensiones positivas y superiores a V_T y en un canal p la tensión de puerta debe ser negativa e inferior a V_T , el sentido del campo eléctrico es, en un transistor canal n de puerta a óxido y en un canal p al revés. Por tanto, como en los transistores canal n cuando se produce la zona de inversión por el canal se mueven electrones y el canal p se mueven huecos, en ambos casos el campo eléctrico produce una componente de aceleración sobre estos portadores en la dirección de óxido a puerta. Esto hace que los portadores de la capa de inversión estén sometidos (además de las colisiones con las impurezas ionizadas y con la red) a colisiones con la superficie de semiconductor (ver figura 2.32.b) lo que dificulta su movimiento. Esta dificultad añadida en su movimiento es la causa de que su movilidad disminuya (disminución que es superior en aquellas zonas de la capa de inversión más próximas a la superficie del semiconductor- interfaz óxido-semiconductor-). En consecuencia, para poder obtener la relación de I_D con V_D es necesario conocer la movilidad media (también conocida como movilidad efectiva) de los portadores en la capa de inversión.

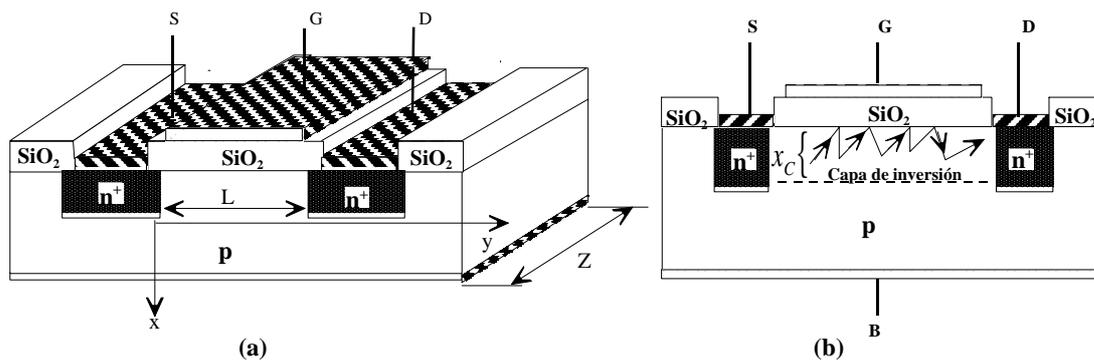


Figura 2.32 a) Estructura práctica de los MOSFETs canal n ; b) Colisiones de los portadores.

Esta movilidad se designará por las letras \overline{m}_n y \overline{m}_p , caso de que los portadores sean electrones y huecos. Para obtener una expresión matemática de la movilidad efectiva se va a suponer un MOSFET canal n cuya estructura se muestra en la figura 2.32. A partir de esta figura, la movilidad media en un punto del canal de coordenadas (x,y) se puede expresar por:

$$\overline{m}_n(x, y) = \frac{\int_0^{x_c(y)} m_n(x, y) n(x, y) dx}{\int_0^{x_c(y)} n(x, y) dx} \quad <2.62>$$

donde $\overline{m}_n(x, y)$ es la movilidad de los portadores (en este caso electrones) en el punto (x,y) , $n(x,y)$ es la concentración de electrones en el punto (x,y) del canal y $x_c(y)$ representa la profundidad del canal en el punto (x,y) .

Es evidente que $\overline{m}_n(x, y)$, en general será diferente para cada punto del canal. En efecto,

$\overline{m}_n(x, y)$ depende tanto de la tensión de drenador-fuente (V_{DS}) como de V_{GS} :

Dependencia de $\overline{m}_n(x, y)$ con V_{DS} : Si se supone que la tensión V_{DS} es pequeña, tanto $x_c(y)$ como $n(x, y)$ se pueden suponer constantes a lo largo del canal (desde fuente a drenador). En lo que sigue se va a suponer que la dependencia de $\overline{m}_n(x, y)$ con "y" es suficientemente pequeña como para suponerla despreciable (desde un punto de vista práctico esta aproximación es perfectamente válida), por tanto $\overline{m}_n(x, y)$ la vamos a suponer constante para toda coordenada "y" con independencia del valor de la tensión de drenador (V_{DS}).

Dependencia de $\overline{m}_n(x, y)$ con V_{GS} : Es evidente que cuanto más positiva sea V_{GS} , caso de transistores canal n , más portadores habrá en la zona de inversión (huecos en el caso de transistores canal p) próxima a la interfaz óxido-semiconductor (ver estudio de la capacidad MOS) y mayor será el campo eléctrico. Ambos efectos hacen que aumente la interacción de los portadores con la superficie (zona de semiconductor en contacto con el óxido), lo que hace que se reduzca la movilidad de los portadores. Esta dependencia no puede considerarse despreciable.

**Obtención de la relación entre la corriente de drenador (I_D) y las tensiones V_{DS} y V_{GS} .
Características de entrada y salida.**

Para obtener las relaciones de I_D con V_{DS} y V_{GS} se va a suponer que el transistor está funcionando en la región óhmica, esto es, que $V_{GS} > V_T$ y que $V_{DS} \geq V_{GS} - V_T$.

Para deducir $I_D = f(V_{DS}, V_{GS})$ se va a utilizar, como ya se ha indicado, la ley cuadrática. Los pasos a seguir se muestran a continuación. Por una parte se sabe que la densidad de corriente, supuesto que los portadores son electrones, viene dada por:

$$J_n = \overbrace{qm_n n E}^{\text{arrastre}} + \overbrace{qD_n \nabla n}^{\text{difusión}} \quad <2.63>$$

En nuestro caso se va a suponer que la corriente fluye exclusivamente en la dirección "y" y que la componente de difusión es despreciable. Por tanto en el canal conductor, y teniendo en cuenta que tanto la movilidad, $\overline{m}_n(x, y)$, como la concentración de portadores (electrones en este caso), n , son función del punto del canal (x,y), la ecuación <2.63> se puede escribir:

$$J_{ny} \cong q\overline{m}_n(x, y)n(x, y)E = -q\overline{m}_n(x, y)n(x, y)\frac{dV}{dy} \quad <2.64>$$

Tanto $n(x, y)$ como J_{ny} se van a suponer que toman valores elevados en $x=0^+$ y que cae de forma abrupta para $x>0$.

Con todo ello, el flujo de corriente está restringida al canal y el valor de I_D se obtiene

calculando el flujo total de corriente que pasa por cualquier sección transversal dentro del canal. Esto es:

$$\begin{aligned}
 I_D &= - \iint J_{ny} dx dz = -Z \int_0^{x_c(y)} J_{ny} dx \\
 &= qZ \frac{dV}{dy} \int_0^{x_c(y)} \bar{m}_n(x, y) n(x, y) dx
 \end{aligned}
 \tag{2.65}$$

En la ecuación anterior se ha incluido un signo menos porque I_D se define positiva en la dirección "-y". Sustituyendo en la ecuación <2.65> la integral por su valor obtenido de la ecuación <2.62> , resulta:

$$\begin{aligned}
 I_D &= qZ \bar{m}_n(x, y) \frac{dV}{dy} \int_0^{x_c(y)} n(x, y) dx = -Z \bar{m}_n(x, y) \frac{dV}{dy} \left[-q \int_0^{x_c(y)} n(x, y) dx \right] \\
 &= -Z \bar{m}_n(x, y) \frac{dV}{dy} Q_n(y)
 \end{aligned}
 \tag{2.66}$$

En esta última ecuación, se puede observar que el paréntesis del segundo miembro representa la carga por unidad de superficie (carga/cm²) para un valor de "y" dado (recuérdese que n(x,y) viene dada, generalmente en carga/cm³) y se ha denominado por $Q_n(y)$ en <2.66> .

Como la corriente I_D es independiente de "y", se puede escribir:

$$\int_0^L I_D dy = I_D L = -Z \int_0^{V_{DS}} \bar{m}_n(x, y) Q_n(y) dV
 \tag{2.67}$$

o lo que es lo mismo, teniendo en cuenta que $\bar{m}_n(x, y)$ es independiente de la posición:

$$I_D = - \frac{Z \bar{m}_n}{L} \int_0^{V_{DS}} Q_n(y) dV
 \tag{2.68}$$

Por tanto, para obtener el valor de I_D hay que establecer la relación de $Q_n(y)$ con V_{DS} . Para establecer esta última relación se puede utilizar el modelo capacitivo mostrado en la figura 2.33. A partir de este modelo capacitivo, si consideramos que la capacidad por unidad de superficie viene dada por:

$$c_o = \frac{e_{\text{óxido}}}{x_o} \text{ (F / cm}^2\text{)} \tag{2.69}$$

y teniendo en cuenta que el **canal existe para $V_{GS} > V_T$** , entonces se puede concluir (ver figura 2.33):

$$Q_n(y) = c_o [V(y) - (V_{GS} - V_T)] \tag{2.70}$$

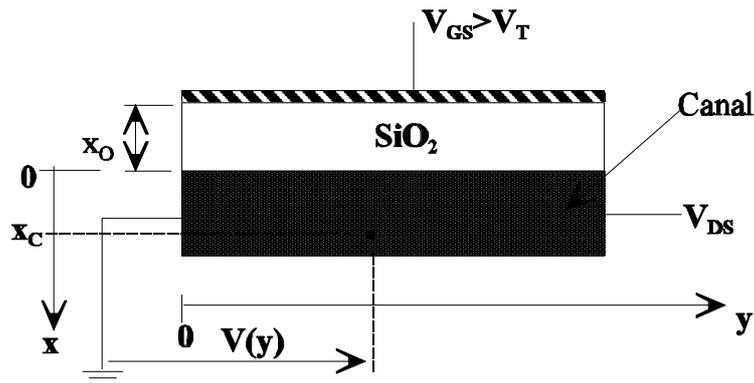


Figura 2.33 Modelo capacitivo, para establecer la relación entre la carga en el canal y las tensiones en los terminales del MOSFET.

Sustituyendo el valor de Q_n(y) dado por la ecuación <2.70> en <2.68>, y realizando la integral se obtiene:

$$I_D = - \frac{Z \bar{m}_n}{L} \int_0^{V_{DS}} \frac{e_{\text{óxido}}}{x_o} [V(y) - (V_{GS} - V_T)] dV \tag{2.71}$$

$$= \frac{Z \bar{m}_n e_{\text{óxido}}}{L x_o} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

Ésta es, por tanto, la expresión de la corriente de drenador antes de que se alcance el estrangulamiento del canal, o sea para: $V_{GS} > V_T$ y $0 < V_{DS} < V_{DSat}$.

Una vez alcanzado el estrangulamiento del canal, la corriente permanece constante con V_{DS} y su valor viene dada por <2.72> que resulta de sustituir en <2.71> el valor de V_{DS} por V_{GS} - V_T

$$I_D = \frac{Z \bar{m}_n e_{\text{óxido}}}{2 L x_o} [V_{GS} - V_T]^2 \tag{2.72}$$

Llamando

$$\frac{k}{2} = \frac{Z \bar{m}_n e}{2 L x_0} (A / V^2) \quad <2.73>$$

Las expresiones de las corrientes (región óhmica de funcionamiento del transistor) y después (región de saturación), vienen dadas por:

$$I_D = k \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \rightarrow \text{región óhmica} \quad <2.74>$$

$$I_D = \frac{k}{2} [V_{GS} - V_T]^2 \rightarrow \text{región de saturación (activa)}$$

Finalmente indicar que algunos autores definen el valor de $k/2$ dado por la ecuación <2.73> como k . En este caso, en las expresiones <2.74> aparece $2k$ en lugar de k en la expresión correspondiente a la región óhmica y k en la de saturación.

Para el caso de transistores canal p el estudio sería similar y las expresiones de la corriente para las regiones de saturación y óhmica coinciden con las <2.74>. Con la única salvedad de que en el caso de transistores canal p se tiene: $V_{DS} < 0$, $V_T < 0$, y para que exista canal se debe cumplir que $V_{GS} < V_T$. Por otra parte, como las corrientes se definen también entrantes, la corriente de drenador será negativa. Para reflejar esto en las ecuaciones de I_D se define k como un valor negativo para el caso de transistores canal p .

Efecto de la polarización de sustrato: $V_{BS} \neq 0$.

En el estudio que se ha realizado anteriormente se ha supuesto que la tensión en el terminal de sustrato (B) con respecto al terminal que se ha tomado como referencia (fuente, S) era cero ($V_{BS} = 0$) y en consecuencia el valor de V_T viene dado por las ecuaciones <2.54> o bien por <2.59> haciendo $V_B = 0$ (téngase en cuenta que en el caso de la capacidad MOS las tensiones de puerta, G, y sustrato, B, estaban referidas a masa y el caso del transistor MOSFET se han referido al terminal de fuente, S).

Si la diferencia de potencial entre sustrato y el terminal de referencia (S) es distinto de cero ($V_{BS} \neq 0$) hay que realizar algunas consideraciones:

1. Para evitar que las uniones pn sustrato-fuente y sustrato-drenador queden polarizadas en directo V_{BS} debe cumplir:
 Caso de transistores canal n : $V_{BS} \leq 0$.
 Caso de transistores canal p : $V_{BS} \geq 0$.
2. La tensión umbral V_T vendrá dada por las ecuaciones <2.63> sustituyendo V_B por V_{BS} . Es evidente que si $V_{BS} < 0$ para transistores canal n y $V_{BS} > 0$ para transistores canal p , entonces $V_T > V_{T0}$ si el transistor es canal n y $V_T < V_{T0}$ si es canal p (esto es, V_T es más negativa que V_{T0}). Donde V_{T0} a la tensión umbral

para $V_{BS}=0$

En este caso, la corriente de drenador vendrá dada por las ecuaciones <2.74>, sin más que sustituir en ellas V_T por su nuevo valor dado por <2.63>.

2.4.3 Aproximaciones de las expresiones de las corrientes de los transistores MOSFET de acumulación y regiones de funcionamiento.

En la práctica, al igual que se hizo para los transistores JFETs, para los MOSFET de acumulación se suelen utilizar expresiones aproximadas de las ecuaciones <2.74>, sobre todo para el caso de funcionamiento en óhmica.

Como ya se ha comentado, los transistores MOSFET pueden funcionar básicamente de tres formas diferentes (regiones de funcionamiento):

1. *Región de corte*: Es aquella en la que $I_D=0$.
2. *Región de Saturación (Activa)*: Es aquella en la que el canal está estrangulado, esto es, $I_D=I_{Dsat}$. Esta zona de funcionamiento es equivalente a la región activa en los transistores bipolares y por ello nos referiremos a ella también como región activa.
3. *Región óhmica*: Es aquella en la que funciona el transistor antes de alcanzar el estrangulamiento del canal.

Para el caso de transistores MOSFET de acumulación canal n , en la tabla 2.5 se resumen las condiciones que deben cumplirse para cada región de funcionamiento, las expresiones aproximadas de las corrientes de drenador para cada una de las regiones y los correspondientes circuitos equivalentes. En la figura 2.34 se muestran las curvas de entrada y salida para este tipo de dispositivo. El resumen de los transistores MOSFET de acumulación canal p se muestra en la tabla 2.6, y sus curvas de entrada y salida se observan en la figura 2.35.

Al igual que en los JFET, en óhmica se han supuesto dos posibles aproximaciones. La segunda de ellas es el resultado de suponer que mientras el canal no se estrangula la relación entre la corriente de drenador y la tensión V_{DS} es una constante, lógicamente diferente para cada V_{GS} . Esta constante se denomina R_{DSON} y su valor se puede obtener fácilmente observando las curvas de salida de la figura 2.34 (donde se ha supuesto que en óhmica la relación entre I_D y V_{DS} es lineal). R_{DSON} se puede obtener como el cociente entre el valor de V_{DS} para el cual se produce el estrangulamiento del canal: $V_{DS} = V_{GS} - V_T$, y la corriente de saturación para la V_{GS} dada. Esto es:

$$R_{DSON} = \frac{V_{DSsat}}{I_{Dsat}} = \frac{V_{GS} - V_T}{\frac{k}{2}(V_{GS} - V_T)^2} = \frac{1}{\frac{k}{2}(V_{GS} - V_T)} \quad <2.75>$$

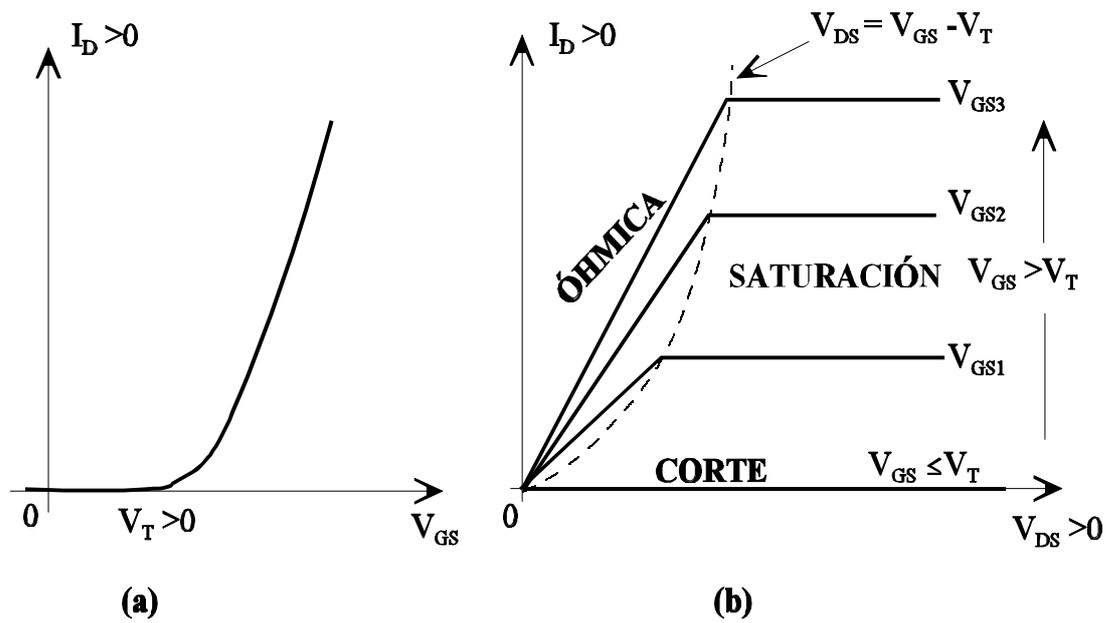


Figura 2.34 Curvas características de (a) entrada y (b) salida de un transistor MOSFET canal n .

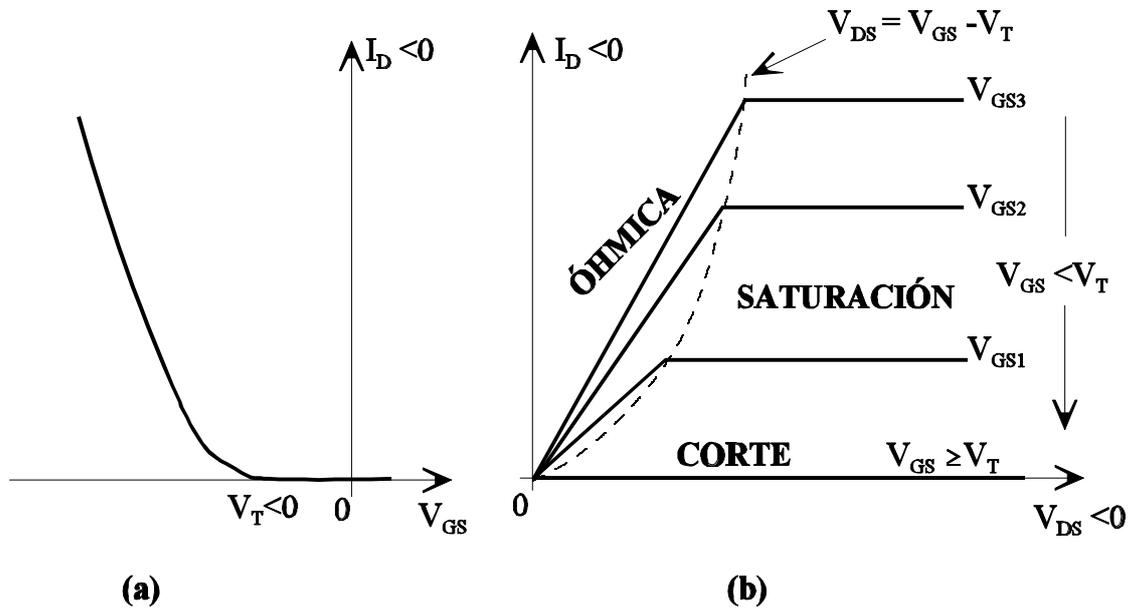


Figura 2.35 Curvas características de (a) entrada y (b) salida de un transistor MOSFET canal p .

Tabla 2.5 Resumen sobre MOSFET canal *n*: regiones de trabajo, parámetros y circuitos equivalentes.

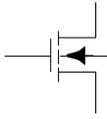
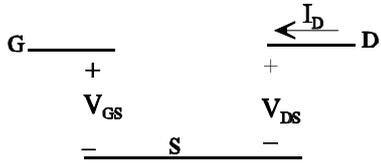
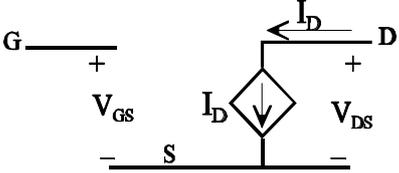
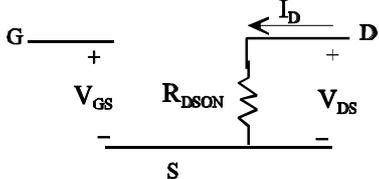
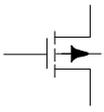
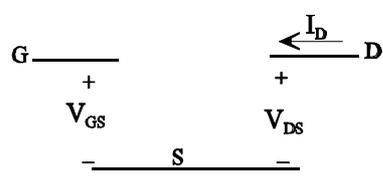
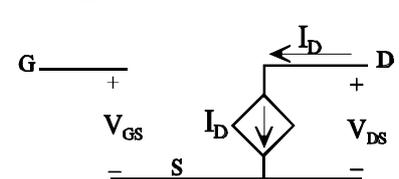
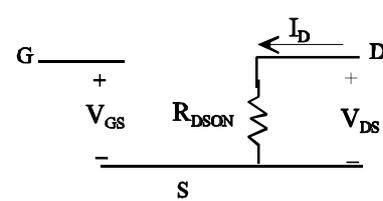
Transistor Canal <i>n</i>			
Símbolo:	Parámetros:		Signo de Corrientes y tensiones:
	$V_T > 0, \quad k > 0$		$V_{DS} \geq 0, \quad I_D \geq 0$
Región de funcionamiento	Condiciones		Corriente y circuitos equivalentes en continua. ($I_G = 0, \quad I_S = -I_D$)
CORTE	$V_{GS} \leq V_T$		$I_D = 0$ 
SATURACIÓN (ACTIVA)	$V_{GS} > V_T$	$V_{DS} \geq V_{GS} - V_T$	$I_D = \frac{k}{2} (V_{GS} - V_T)^2$ 
ÓHMICA	$V_{GS} > V_T$	$V_{DS} \leq V_{GS} - V_T$	$I_D = k \cdot \left((V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right)$
			$I_D = \frac{V_{DS}}{R_{DSON}},$ donde: $R_{DSON} = \frac{1}{\frac{k}{2} (V_{GS} - V_T)}$ 

Tabla 2.6 Resumen sobre MOSFET canal p : regiones de trabajo, parámetros y circuitos equivalentes

Transistor Canal p			
Símbolo:	Parámetros:		Signo de Corrientes y tensiones:
	$V_T < 0, \quad k < 0$		$V_{DS} \leq 0, \quad I_D \leq 0$
Región de funcionamiento	Condiciones		Corriente y circuitos equivalentes en continua ($I_G = 0, \quad I_S = -I_D$)
CORTE	$V_{GS} \geq V_T$		$I_D = 0$ 
SATURACIÓN (ACTIVA)	$V_{GS} < V_T$	$V_{DS} \leq V_{GS} - V_T$	$I_D = \frac{k}{2} (V_{GS} - V_T)^2$ 
ÓHMICA	$V_{GS} < V_T$	$V_{DS} \geq V_{GS} - V_T$	$I_D = k \cdot \left((V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right)$
			$I_D = \frac{V_{DS}}{R_{DSON}},$ donde: $R_{DSON} = \frac{1}{\frac{k}{2} (V_{GS} - V_T)}$ 

2.4.4 Método para el análisis de circuitos con MOSFETs de acumulación.

En la figura 2.36 se muestran los cronogramas de los pasos a seguir para determinar la región de funcionamiento de los MOSFET de acumulación. y en consecuencia el punto de funcionamiento. A partir de las tablas 2.4 y 2.5 es fácil obtener los cronogramas mostrados.

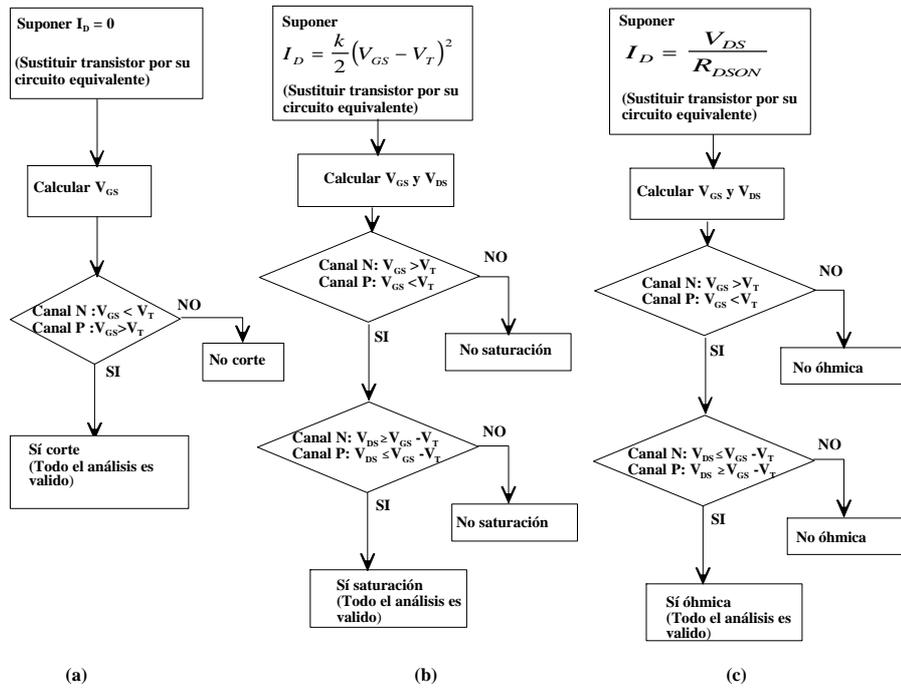


Figura 2.36 Pasos a seguir para determinar la zona de funcionamiento de MOSFETs de acumulación. (a) Región de corte, (b) región de saturación (activa), (c) región óhmica.

Ejemplo 2.8

Calcúlese el punto de funcionamiento del transistor de la figura E.2.9a.

Solución

Suponiendo que el transistor está funcionando en zona de saturación (activa), el circuito equivalente se muestra en la figura E.2.9b, donde I_D viene dada por:

$$I_D = \frac{k}{2}(V_{GS} - V_T)^2$$

Del análisis del circuito, llamando V_G a la tensión de puerta (que viene fijada por el divisor resistivo formado por R_1 y R_2) de la figura E.2.9.b se obtiene:

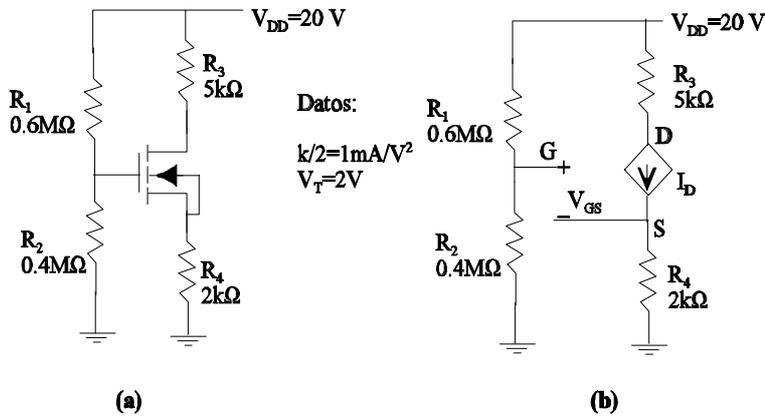


Figura E.2.9 (a) Circuito del ejemplo 2.8. (b) Circuito equivalente suponiendo que el transistor está en zona activa.

$$V_G = \frac{V_{DD} R_2}{R_1 + R_2} = \frac{20 \cdot 0.4}{0.6 + 0.4} = 8V.$$

$$V_{GS} = V_G - V_S = V_G - I_D R_4 =$$

$$V_G - R_4 \frac{k}{2} (V_{GS} - V_T)^2 = 8 - 2 \cdot 10^3 \cdot 10^{-3} (V_{GS} - 2)^2$$

esta última ecuación se puede escribir:

$$V_{GS}^2 - 3.5V_{GS} = 0$$

Cuyas raíces son $V_{GS} = 0V$ y $V_{GS} = 3.5V$. La única solución válida es $V_{GS} = 3.5V$, ya que $V_{GS} = 0V$ hace que el transistor esté cortado.

Por tanto el valor de I_D es:

$$I_D = \frac{k}{2} (V_{GS} - V_T)^2 = 10^{-3} (3.5 - 2)^2 = 2.25mA.$$

y V_{DS} es:

$$V_{DS} = -I_D R_3 + V_{DD} - I_D R_4 = 20 - 2.25 \cdot 7 = 4.25V$$

Ahora solo falta verificar que se cumple la condición de funcionamiento en saturación:

$$V_{DS} \geq V_{GS} - V_T \rightarrow 4.25V \geq 3.5 - 2 = 1.5V.$$

Dado que se cumple la condición de saturación, todos los resultados son válidos, y el punto de polarización es:

$$I_D = 2.25 \text{ mA}, V_{GS} = 3.5 \text{ V y } V_{DS} = 4.25V.$$

Ejemplo 2.9

Dado el circuito de la figura E.2.10a, obtener el punto de funcionamiento de ambos transistores y el valor de V_O .

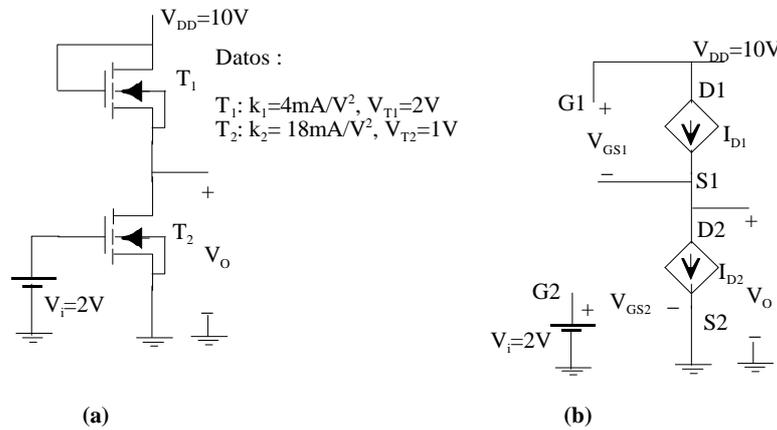


Figura E.2.10 (a) Circuito del ejercicio 2.9. (b) Circuito equivalente suponiendo que ambos transistores están en zona activa.

Solución

Suponiendo que ambos transistores están en zona activa, el circuito equivalente es el mostrado en la figura E.2.10b. Obsérvese que en el transistor T1 se cumple : $V_{DS1}=V_{GS1}$, por tanto como $V_{T1} > 0$, se cumple que $V_{DS1} > V_{GS1} - V_{T1}$ y ello supone que este transistor siempre estará en zona de saturación.

Del análisis del circuito de la figura 2.42.b se obtiene:

$$V_{GS1} = V_{DD} - V_O$$

$$V_{GS2} = V_i$$

$$V_{DS1} = V_{GS1}$$

$$V_{DS2} = V_O$$

$$I_{D1} = I_{D2} = I_D$$

Por tanto, igualando las aproximaciones de las corrientes de drenador de ambos transistores y sustituyendo los valores de V_{GS1} y V_{GS2} , se obtiene:

$$\frac{k_1}{2} (V_{DD} - V_{DS2} - V_{T1})^2 = \frac{k_2}{2} (V_i - V_{T2})^2$$

sustituyendo valores :

$$2(10 - V_{DS2} - 2)^2 = 8(2 - 1)^2 \rightarrow \begin{cases} V_{DS2} = 6V \\ V_{DS2} = 10V. \end{cases}$$

De las dos soluciones de V_{DS2} la única válida es $V_{DS2}=6V$, ya que $V_{GS1} = V_{DD}-V_{DS2}$ y si se toma $V_{DS2} = 10V$, el transistor T1 estaría cortado. Por tanto se tiene:

$$V_{DS2} = V_0 = 6V.$$

$$V_{DS1} = V_{DD} - V_{DS2} = 10 - 6 = 4V.$$

$$V_{GS1} = V_{DS1} = 4V.$$

$$V_{GS2} = V_i = 2V.$$

Ahora sólo falta demostrar que se cumplen las condiciones de funcionamiento en saturación de los transistores:

$$V_{DS1} \geq V_{GS1} - V_{T1} \rightarrow 4V \geq 4 - 2 = 2V.$$

$$V_{DS2} \geq V_{GS2} - V_{T2} \rightarrow 2V \geq 2 - 1 = 1V.$$

dado que para ambos transistores se cumplen, todos los resultados obtenidos son validos.

Ejemplo 2.10

En el circuito de la figura E.2.11a, sabiendo que el transistor tiene los siguientes parámetros: $V_T(V_B=0V) = -1.8V$, $V_T(V_B=3V) = -2V$, $k = -4mA/V^2$, obténgase el punto de funcionamiento del transistor.

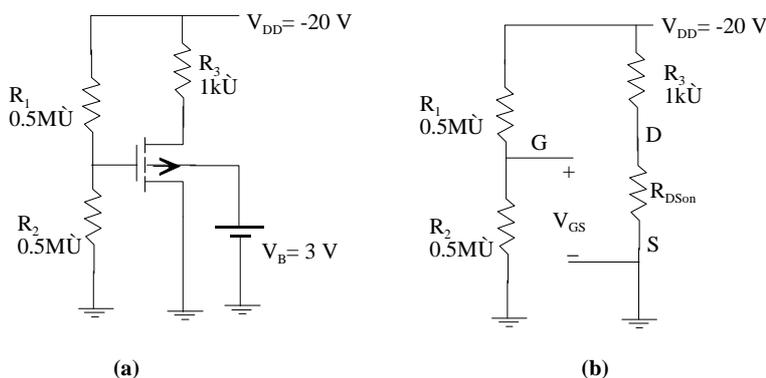


Figura E.2.11 (a) Circuito del ejercicio 2.8. (b) Circuito equivalente suponiendo que el transistor está en la región óhmica.

Solución

En primer lugar hay que darse cuenta que el sustrato está a un potencial de 3 V. ($V_B=3V.$), por tanto el valor de la tensión umbral a utilizar es $V_T(V_B=3V) = -2V$.

Si se supone que el transistor está en óhmica y se hace la aproximación de considerar que en esta región el transistor se comporta, entre drenador y fuente, como una resistencia de valor R_{DSON} , el circuito equivalente es el que se muestra en la figura E.2.11b. Analizando el circuito de la figura E.2.11b se obtiene:

$$V_{GS} = \frac{V_{DD}R_2}{R_1 + R_2} = -10V. \rightarrow R_{DSON} = \frac{1}{\frac{k}{2}(V_{GS} - V_T)} = \frac{1}{-2(-10 + 2)} = \frac{1}{16} k\Omega$$

$$I_D = \frac{V_{DD}}{R_3 + R_{DSON}} = \frac{-20}{1 + 1/16} = -18.82mA.$$

$$V_{DS} = I_D R_{DSON} = -18.82 \cdot \frac{1}{16} = -1.17V.$$

Como se puede comprobar se cumple que $V_{DS} \geq V_{GS} - V_T$ (ya que $-1.17V > -10 + 2 = -8V$). Por tanto la suposición de que el transistor está en la región óhmica es correcta y en consecuencia todos los resultados obtenidos son válidos.

Ejemplo 2.11

En la figura E.2.12 se muestra un circuito con un transistor MOSFET de acumulación canal n , que después de ser simulado con PSPICE permitirá obtener sus curvas características de entrada y salida. Obsérvese que el generador V4 se corresponde con la tensión V_{GS} y el generador V3 con la tensión V_{DS} .

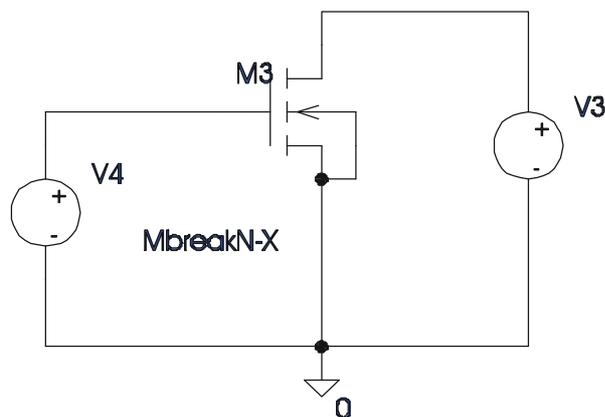


Figura E.2.12 Circuito de simulación del ejemplo 2.11.

Solución

Curva de entrada

Para obtener esta curva se fijará la tensión V3 a 10V, y se variará la tensión V4 de 0V a 10V (con incrementos de 0.1V). El resultado obtenido se muestra en la figura E.2.13.

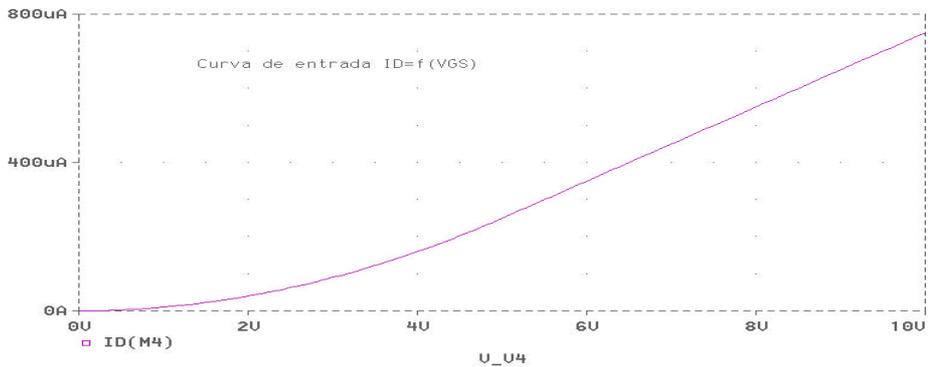


Figura E.2.13 Curva de entrada del transistor del ejemplo 2.11.

Como se puede apreciar en la figura E.2.13, la tensión $V_T=0V$.

Curva de salida

Para obtener la curva de salida, se realizará la simulación con los siguientes valores de los generadores: V3 variable de 0 a 10V, con incrementos de 0.1V; y V4 variable de 0 a 5V, con incrementos de 1V. Los resultados obtenidos se muestran en la figura E.2.15.

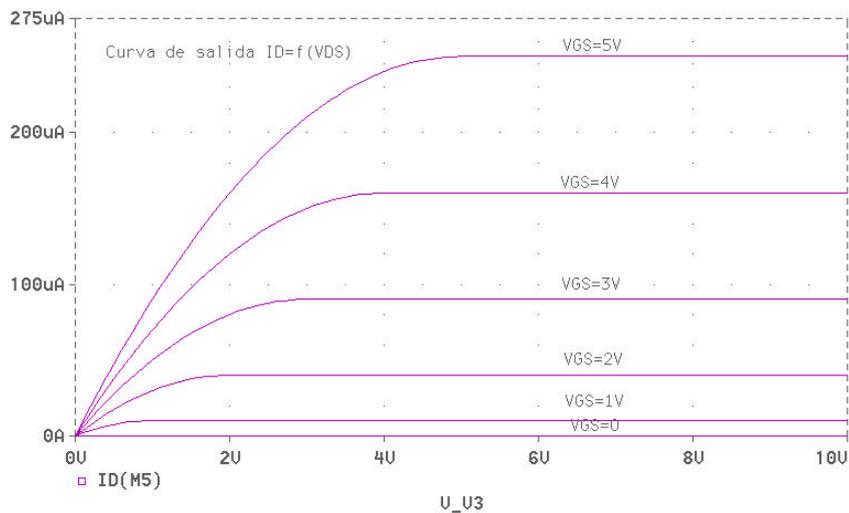


Figura E.2.14 Curva de salida del transistor del ejemplo 2.11.

Ejemplo 2.12

Obtégase el punto de trabajo del circuito de la figura E.2.15, mediante su simulación con PSPICE, siendo la tensión $V1=2V$ y $V2=10V$. El modelo que usa PSPICE para este dispositivo es el que se muestra a continuación.

```

MbreakN
NMOS
LEVEL 1
VTO 0
KP 20.000000E-06

```

siendo $V_{TO} = V_T$; y $K = K_p$.

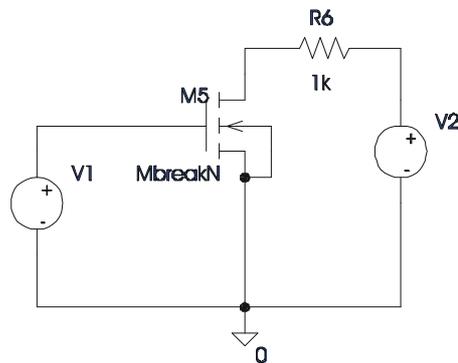


Figura E.2.15 Circuito del ejemplo 2.12.

Solución

El resultado que se obtiene es el siguiente:

NAME	M_M5
MODEL	MbreakN
I D	4. 00E-05
VGS	2. 00E+00
VDS	9. 96E+00
VBS	0. 00E+00

Como se cumple que $V_{DS} > V_{GS} - V_T$, el transistor está funcionando en zona activa.

Ejercicio propuesto. Calcule analíticamente el punto de trabajo del circuito de la figura E.2.15, y contraste los resultados con los obtenidos en la simulación.

Ejemplo 2.13

Obtégase el punto de trabajo del circuito de la figura E.2.16, mediante su simulación con PSPICE, siendo la tensión $V1 = -10V$. El modelo que usa PSPICE para este dispositivo es el que se muestra a continuación:

	MbreakP
	PMOS
LEVEL	1
VTO	0
KP	20. 000000E-06

siendo $V_{TO} = -V_T$; y $K = -K_p$.

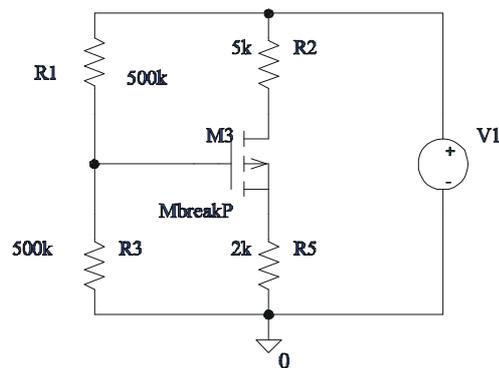


Figura E.2.16 Circuito de simulación del ejemplo 2.13.

Solución

El resultado que se obtiene es el siguiente:

NAME	M_M3
MODEL	MbreakP
I D	-2. 10E-04
VGS	-4. 58E+00
VDS	-8. 53E+00
VBS	0. 00E+00

Como se cumple que $V_{DS} < V_{GS} - V_T$, el transistor está funcionando en zona activa.

Ejercicio propuesto. Calcule analíticamente el punto de trabajo del circuito de la figura E.2.16, y contraste los resultados con los obtenidos en la simulación.

2.5 MOSFET de deplexión

En este punto se va a realizar el estudio de los transistores MOSFET de deplexión. El estudio, dada la gran similitud de funcionamiento con los MOSFET de acumulación, se limitará a la descripción de estos transistores y su funcionamiento desde el punto de vista cualitativo y las diferentes regiones de funcionamiento.

Empezaremos por mostrar en la figura 2.37 los símbolos más ampliamente utilizados para representar a estos transistores.

Definidas todas las corrientes entrantes se cumple:

$$i_D + i_G + i_S = 0$$

$$v_{DS} - v_{GS} + v_{GD} = 0 \quad <2.76>$$

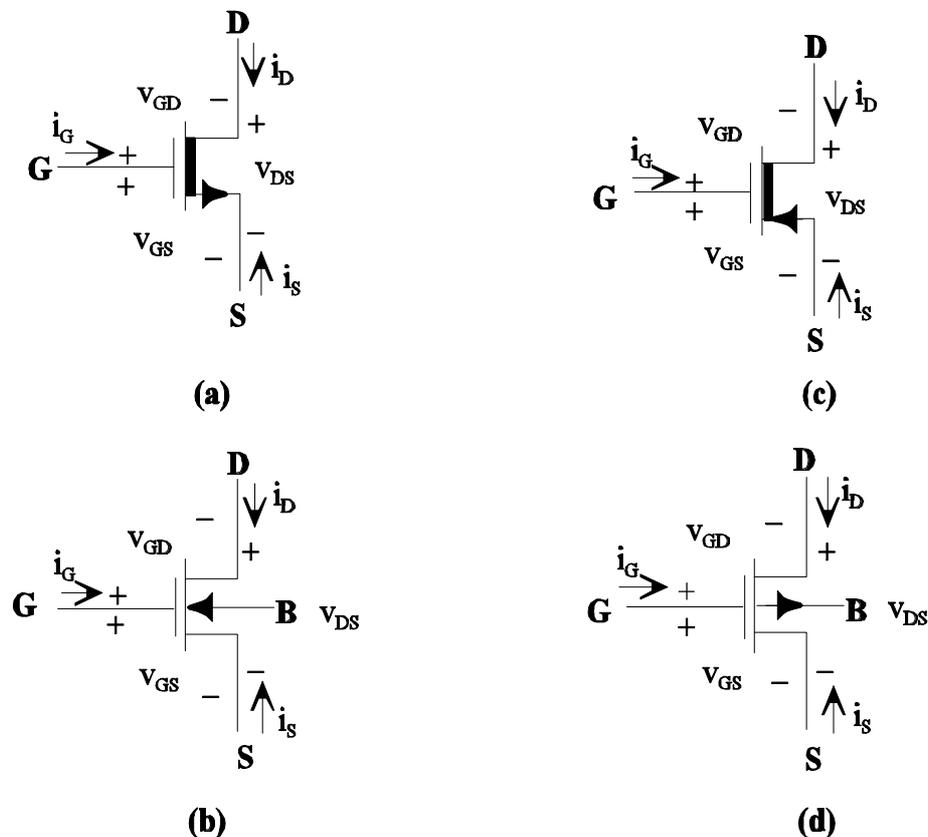


Figura 2.37 Símbolos y definición de corrientes y tensiones para transistores MOSFET de deplexión (a) y (b) Canal n , (c) y (d) Canal p .

Al igual que en los transistores MOSFET de acumulación, la corriente de puerta en continua siempre es cero ($I_G=0$).

En la figura 2.38 se muestran las secciones trasversales de las configuraciones básicas de los transistores MOSFETs de deplexión. La diferencia entre estos transistores y los MOSFET de acumulación, es que en los MOSFET de deplexión en el proceso de fabricación se depositan, bajo la puerta de óxido, impurezas del mismo tipo que el de las "islas" del drenador y fuente. Esto es, en un transistor MOSFET de deplexión canal n (figura 2.38.a) entre las islas de drenador y fuente (que son tipo n^+) se crea, durante el proceso de fabricación, un canal de impurezas de tipo n . Para el caso de un MOSFET de deplexión canal p , el canal que se crea durante el proceso de fabricación es de impurezas de tipo p (ver figura 2.38.b). Esto hace que exista canal sin necesidad de tener que aplicar tensión en el terminal de puerta ($V_{GS}=0$). Esta es la razón por la que a este tipo de transistores se le suele conocer como transistores MOSFET "normalmente ON" (sin necesidad de aplicar tensión en puerta, si $V_{DS} \neq 0$ existirá corriente entre drenador y fuente). Por contra, en los transistores MOSFET de acumulación, como ya se ha visto, para que exista corriente entre drenador y fuente es necesario aplicar una tensión en el terminal de puerta ($V_{GS} > V_T$ para canal n y $V_{GS} < V_T$ para canal p). Por ello, los transistores MOSFET de acumulación también se conocen por "normalmente OFF". En algunas aplicaciones, como por ejemplo electrónica de potencia, interesa utilizar transistores MOSFET

“normalmente OFF” ya que se debe garantizar que la condición de conducción sea expresamente forzada (el transistor debe permanecer cortado en ausencia de tensión en puerta). Ésta es la razón fundamental por la que en aquellas aplicaciones donde se manejen grandes corrientes (electrónica de potencia, por ejemplo), interesa, para evitar posibles daños, que los dispositivos permanezcan cortados en ausencia de tensión de puerta, y por ello no se suelen utilizar ni transistores MOSFET de deplexión ni JFET (recuérdese que estos últimos también conducen para $V_{GS}=0$).

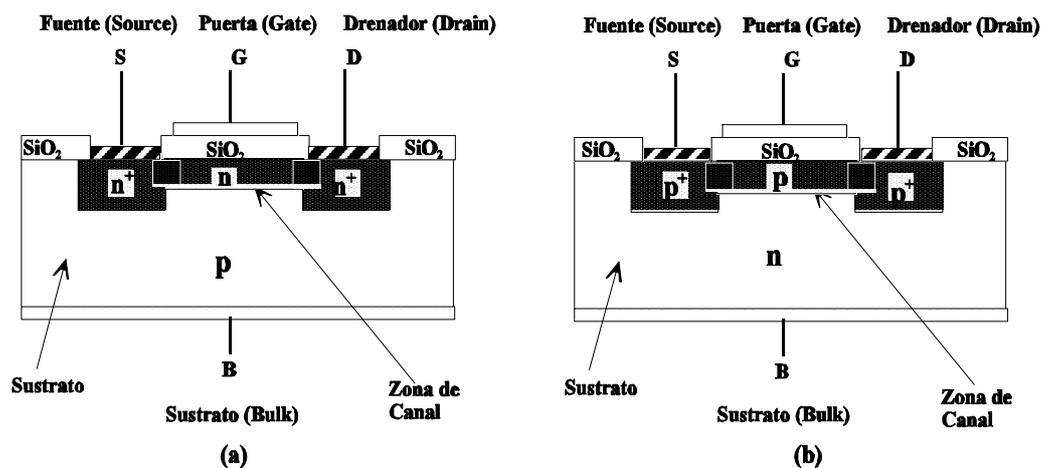


Figura 2.38 Sección transversal de las estructuras MOSFETs de deplexión básicas. (a) MOSFET canal n , (b) MOSFET canal p .

Al igual que en los MOSFET de acumulación, una de las islas constituye el terminal de drenador (D) y la otra el de fuente (S). La corriente, como se pondrá de manifiesto, fluye entre estos dos terminales y está controlada por el terminal de puerta (G, Gate). El terminal de drenador será aquel que “drene” portadores mayoritarios. Siendo los portadores mayoritarios los electrones para el transistor canal n y los huecos para el canal p .

Obsérvese (figura 2.38) que aquí también existen uniones pn entre drenador (D) y el sustrato (B) al igual que entre fuente (S) y sustrato (B). Para garantizar el correcto funcionamiento del transistor MOSFET se debe garantizar que estas uniones estén polarizadas en inverso.

De nuevo, al igual que en el caso de transistores MOSFET de acumulación, todas las tensiones se referirán al terminal de fuente (S): V_{BS} , V_{DS} y V_{GS} . En principio, también se va a suponer que $V_{BS} = 0$ (situación muy frecuente).

2.5.1 Estudio cualitativo

Para ver el funcionamiento de los transistores MOSFET de deplexión vamos a utilizar los montajes de la figura 2.39.

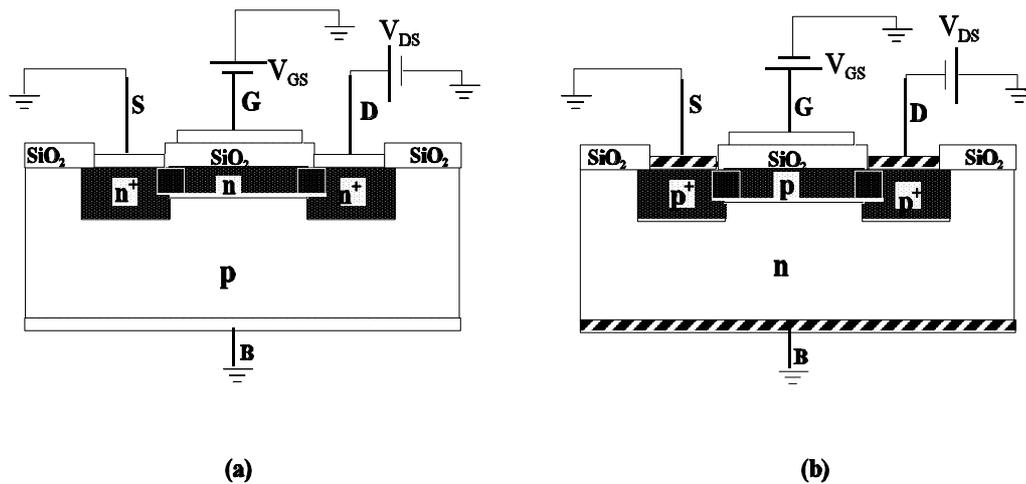


Figura 2.39 Estructuras y tensiones para el estudio cualitativo de MOSFETs de depleción (a) canal n, (b) canal p

Transistor canal n (figura 2.39.a)

Si nos referimos al transistor canal n (figura 2.39.a) se observa, por una parte, que la tensión entre drenador y fuente tiene que ser positiva ($V_{DS} > 0$) y por otra que con $V_{GS} = 0$ al existir canal la resistencia entre drenador y fuente será pequeña y, por tanto, existirá corriente entre drenador y fuente; esta corriente, definida entrante en el drenador es positiva ($I_D > 0$). Si la tensión V_{GS} es positiva ($V_{GS} > 0$) esto hace que se incremente aún más la conductividad del canal ya que esta tensión positiva induce cargas negativas en la zona de canal (se extraen electrones de los pozos). Para tensiones de puerta negativas ($V_{GS} < 0$) lo que ocurre es que en la zona de canal se inducen cargas positivas (los electrones del canal se empiezan a quedar en los pozos); esto es, se provoca la depleción en la concentración de electrones en el canal, lo que supone un incremento de la resistencia del canal. Existe una tensión umbral de V_{GS} , que será negativa, para la cual deja de existir canal (se inducen en la zona de canal suficientes cargas positivas, o lo que es lo mismo todos los electrones del canal se quedan en los pozos) y por tanto deja de existir corriente entre drenador y fuente. Esta tensión umbral la llamaremos V_T . La corriente de drenador en función de V_{GS} se muestra en la figura 2.40.a.

Para ver la dependencia de I_D con V_{DS} , supongamos una tensión $V_{GS1} > V_T$ (esto es, existe canal). En estas condiciones para V_{DS} pequeñas el canal presentará una resistencia también muy pequeña y la variación de I_D con V_{DS} es casi lineal (el valor de la resistencia del canal permanece constante), a medida que se va incrementando V_{DS} se va produciendo el estrangulamiento del canal, que será más pronunciado por las zonas más próximas a drenador (téngase en cuenta que el estrangulamiento del canal se ve favorecido por tensiones entre puerta y canal negativas, por tanto al ser $V_{DS} > 0$ esto favorece el estrangulamiento en las proximidades de drenador). Existe un valor de V_{DS} a la que llamaremos V_{DSat} para la cual se estrangula el canal. Tensiones V_{DS} superiores a V_{DSat} ya no producen incrementos en I_D , por tanto I_D se mantiene constante. El valor de V_{DS} para el cual se alcanza el estrangulamiento del canal viene dado para $V_{DS} = V_{GS} - V_T$.

En la figura 2.40.b se muestra la variación de I_D con V_{DS} (características de salida).

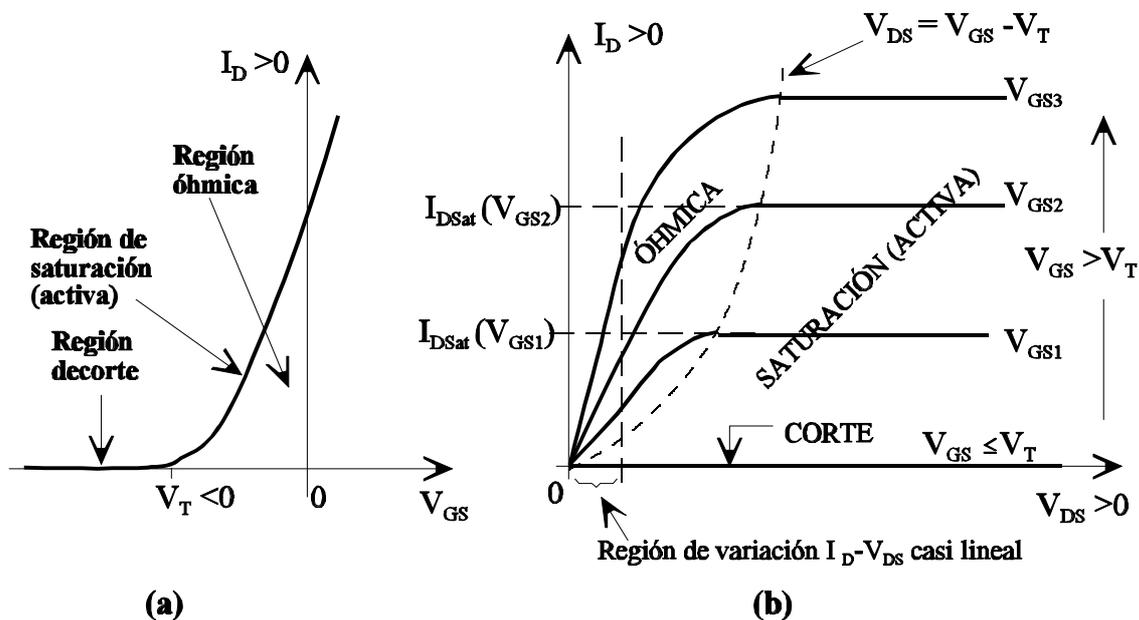


Figura 2.40 Curvas características de (a) entrada y (b) salida de un transistor MOSFET de depleción canal n .

Transistor canal p (figura 2.39.b).

Para el caso de transistores canal p se puede hacer un razonamiento similar al del canal n . La única diferencia es que en el caso de transistores canal p los portadores del canal son huecos y por la tensión de puerta para controlar el ancho del canal debe ser positiva. Esto es para $V_{GS} > V_T$ (donde V_T es un valor positivo) el canal estará estrangulado y la corriente entre drenador y fuente será nula. También se puede comprobar que en este caso la tensión V_{DS} es negativa (obsérvese que con $V_{DS} < 0$ la corriente circula de S a D, por tanto por D salen "drena"- huecos, que son los portadores mayoritarios en este tipo de canal), al igual que la I_D , si se define entrante.

En la figura 2.41 se muestran las curvas de entrada y salida para el caso de transistores MOSFET de depleción canal p .

En lo que se refiere a las ecuaciones que relacionan la corriente de drenador con las tensiones en los terminales, en las tablas 2.7 y 2.8 se resumen dichas ecuaciones así como los modos de funcionamiento. Como se puede comprobar, las ecuaciones $I_D = f(V_{DS}, V_{GS})$ son idénticas a las de los transistores MOSFET de acumulación. En las figuras 2.42 y 2.43 se muestran las características de entrada y salida para el caso de aproximar la región óhmica por una resistencia constante para cada V_{GS} .

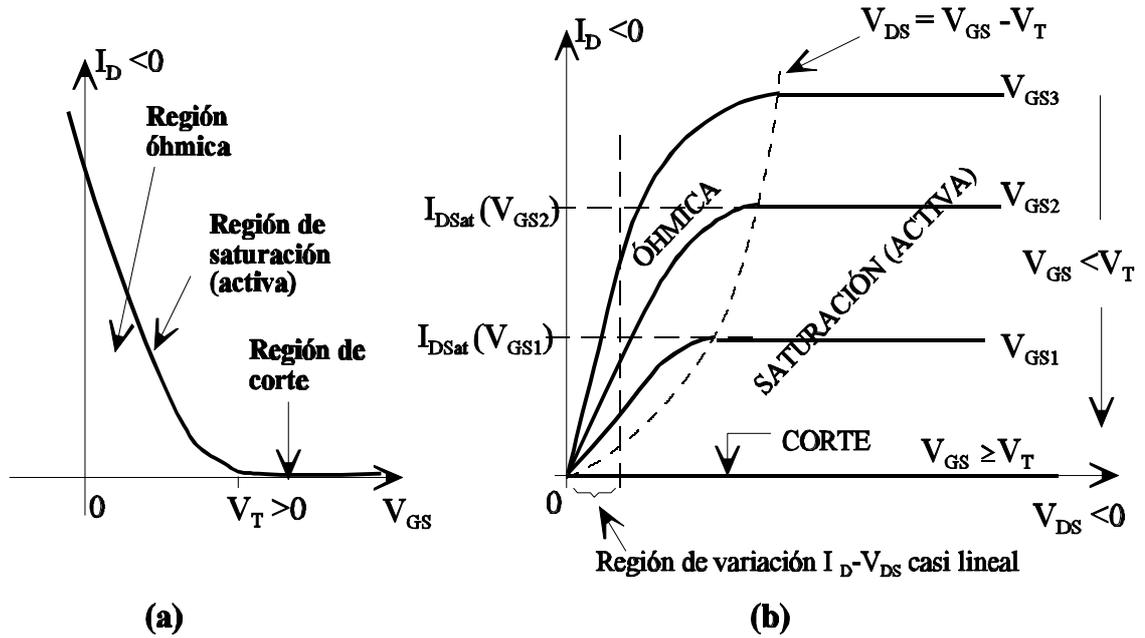


Figura 2.41 Curvas características de (a) entrada y (b) salida de un transistor MOSFET de deplexión canal *p*.

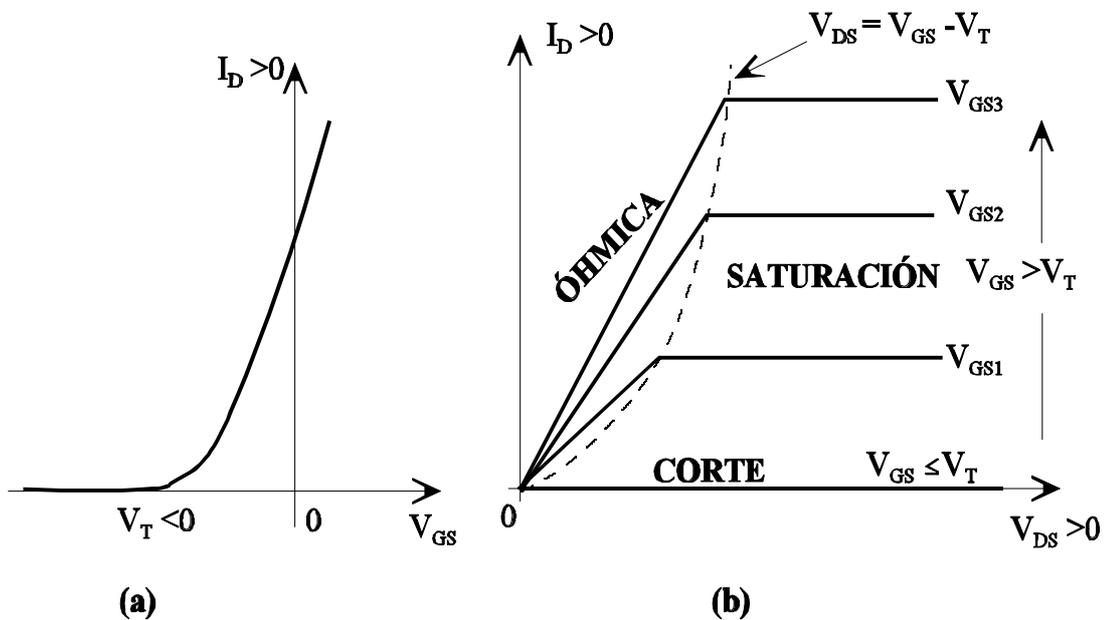


Figura 2.42 Curvas características de (a) entrada y (b) salida de un transistor MOSFET de deplexión canal *n* con resistencia constante en la región óhmica para cada V_{GS} .

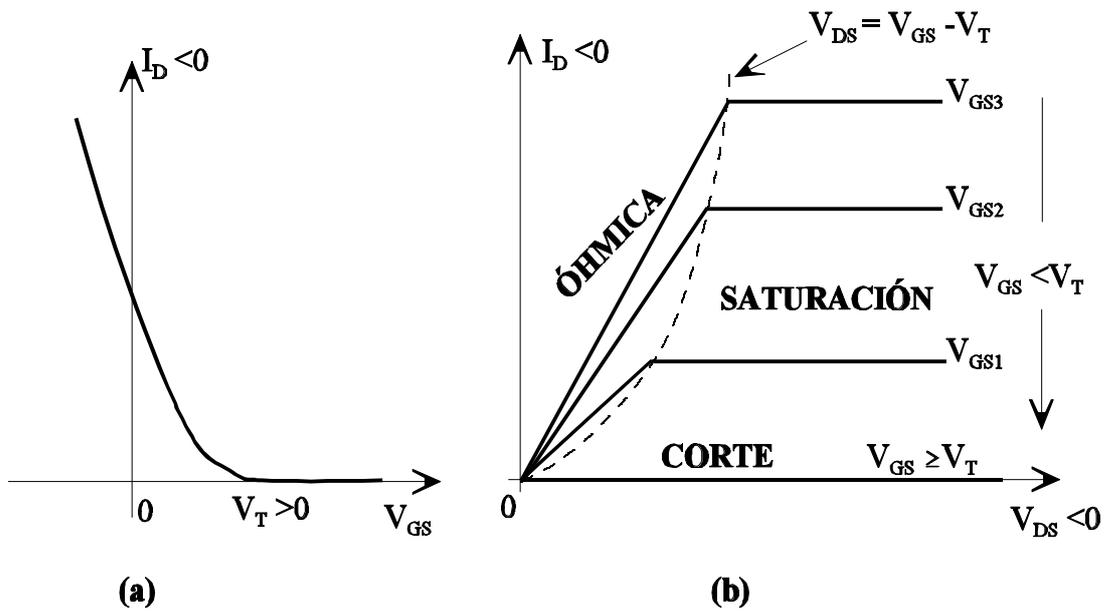


Figura 2.43 Curvas características de (a) entrada y (b) salida de un transistor MOSFET de deplexión canal p con resistencia constante en la región óhmica para cada V_{GS} .

En lo que se refiere a los pasos a seguir para determinar la zona de funcionamiento, los flujogramas coinciden con los de los transistores MOSFET de acumulación (ver figura 2.36).

Tabla 2.7 Resumen sobre MOSFET de depleción canal n : regiones de trabajo, parámetros,

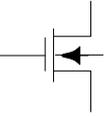
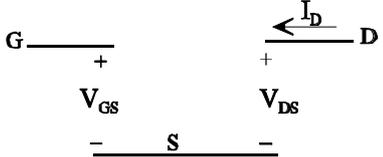
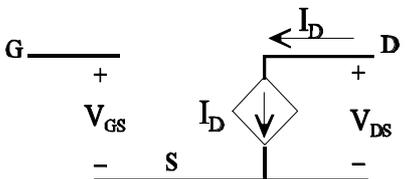
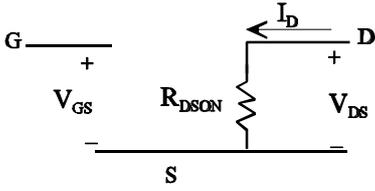
Transistor Canal n			
Símbolo: 	Parámetros: $V_T < 0, \quad k > 0$		Signo de Corrientes y tensiones: $V_{DS} \geq 0, \quad I_D \geq 0$
Región de funcionamiento	Condiciones		Corrientes y circuitos en continua. ($I_G = 0, \quad I_S = -I_D$)
CORTE	$V_{GS} \leq V_T$	---	$I_D = 0$ 
SATURACIÓN (ACTIVA)	$V_{GS} > V_T$	$V_{DS} \geq V_{GS} - V_T$	$I_D = \frac{k}{2} (V_{GS} - V_T)^2$ 
ÓHMICA	$V_{GS} > V_T$	$V_{DS} \leq V_{GS} - V_T$	$I_D = k \cdot \left((V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right)$
			$I_D = \frac{V_{DS}}{R_{DSON}},$ donde: $R_{DSON} = \frac{1}{\frac{k}{2} (V_{GS} - V_T)}$ 

Tabla 2.8 Resumen sobre MOSFET de deplexión canal p: regiones de trabajo, ecuaciones, ...

Transistor Canal p			
Símbolo:	Parámetros:		Signo de Corrientes y tensiones:
	$V_T > 0, \quad k < 0$		$V_{DS} \leq 0, \quad I_D \leq 0$
Región de funcionamiento	Condiciones		Corriente y circuitos equivalentes ($I_G = 0, \quad I_S = -I_D$)
CORTE	$V_{GS} \geq V_T$	---	$I_D = 0$
SATURACIÓN (ACTIVA)	$V_{GS} < V_T$	$V_{DS} \leq V_{GS} - V_T$	$I_D = \frac{k}{2} (V_{GS} - V_T)^2$
ÓHMICA	$V_{GS} < V_T$	$V_{DS} \geq V_{GS} - V_T$	$I_D = k \cdot \left((V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right)$
			$I_D = \frac{V_{DS}}{R_{DSON}},$ donde: $R_{DSON} = \frac{1}{\frac{k}{2} (V_{GS} - V_T)}$

Ejemplo 2.14

Obtener el punto de polarización del circuito de la figura E.2.17a.

Solución

Suponiendo que el transistor está en zona activa el circuito equivalente es el mostrado en la figura E.2.17b. A partir de la figura E.2.17b se obtiene:

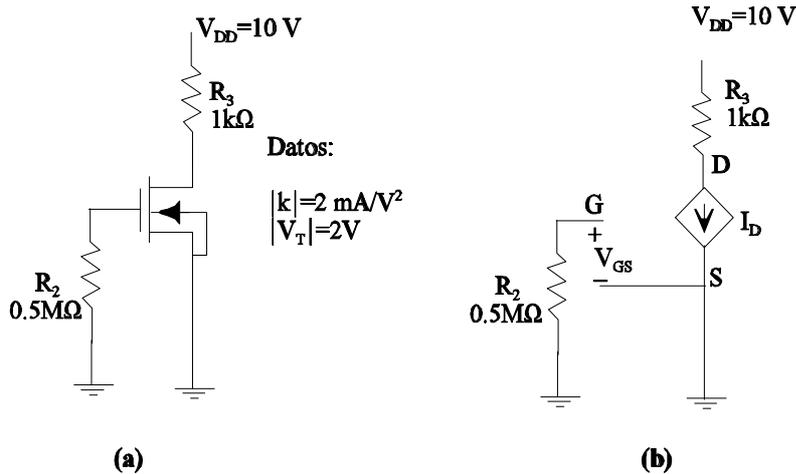


Figura E.2.17 (a) Circuito del ejemplo 2.14. (b) Circuito equivalente suponiendo que el transistor está en zona activa.

$$V_{GS} = 0V. \text{ Como } V_T = -2V < V_{GS} \rightarrow \text{Transistor conduce}$$

$$I_D = \frac{k}{2} (V_{GS} - V_T)^2 = 10^{-3} \cdot (2)^2 = 4mA.$$

$$V_{DS} = -I_D R_3 + V_{DD} = -4 + 10 = 6V.$$

Ahora solamente hay que comprobar si se cumple la condición de saturación (activa); $V_{DS} \geq V_{GS} - V_T$. En efecto, dado que $V_{DS} = 6V$ y $V_{GS} - V_T = 0 - (-2) = 2V$, se cumple la condición de saturación, y por tanto el transistor está en saturación.

Ejemplo 2.15

Dado el circuito de la figura E.2.18, con los datos de los transistores indicados, obténgase el valor de V_O e indíquese la zona de funcionamiento, para:

- a) $V_i = 7V$.
- b) $V_i = -5V$.

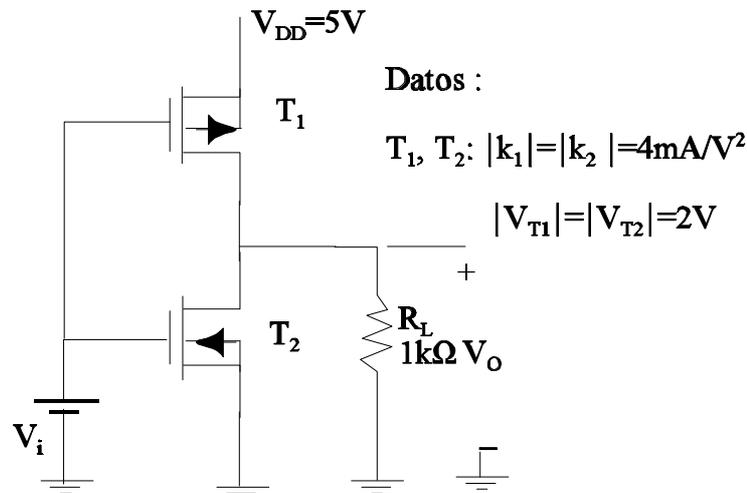


Figura E.2.18 Circuito del ejercicio 2.15.

Solución

En primer lugar decir que el terminal de fuente de T_1 es el que está unido a V_{DD} y el de T_2 el que está unido a masa, por tanto los drenadores de ambos transistores son los que están unidos. En consecuencia $V_{GS1} = V_i - V_{DD}$ y $V_{GS2} = V_i$

Además se sabe que $V_{T1} = 2\text{V}$,

$V_{T2} = -2\text{V}$, $k_1 = -4\text{mA/V}^2$ y

$k_2 = 4\text{mA/V}^2$

a) En este caso $V_i = 7\text{V}$, por tanto:

$V_{GS1} = V_i - V_{DD} = 2\text{V}$ y $V_{GS2} = V_i = 7\text{V}$, lo que hace que T_1 está **cortado** y T_2 conduzca. Esto supone que $V_o = 0\text{V}$. dado que $V_o = V_{DS2} = 0\text{V}$. y al cumplirse que $V_{DS2} < V_{GS2} - V_{T2}$ el transistor está en zona **ohmica** ($I_D = 0$, $V_{DS} = 0$).

b) Para $V_i = -5\text{V}$. se tiene:

$V_{GS1} = V_i - V_{DD} = -10\text{V}$. y $V_{GS2} = V_i = -5\text{V}$. Por tanto T_2 está **cortado** y T_1 conduce.

Suponiendo que T_1 está en zona ohmica, se tiene:

$I_{D1} = -V_{DD} / (R_{DSON} + R_L)$, con $R_{DSON} = 2/k_1(V_{GS1} - V_{T1}) = 1/24\text{ k}\Omega$

Por tanto:

$I_{D1} = -5 / (1 + 1/24) = -4.8\text{ mA}$.

Esto supone que:

$V_{DS1} = I_{D1} R_{DSON} = -0.2\text{V}$.

Dado que $V_{DS1} > V_{GS1} - V_{T1}$, entonces T_1 está en zona ohmica y $V_o = -I_{D1} R_L = 4.8\text{V}$.

Ejemplo 2.16

En la figura E.2.19 se muestra un circuito con un transistor MOSFET de depleción de canal p , que después de ser simulado con PSPICE permitirá obtener sus curvas características de entrada y salida. Obsérvese que el generador V1 se corresponde con la tensión V_{GS} y el generador V2 con V_{DS} .

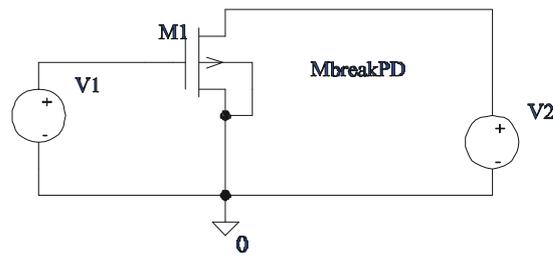


Figura E.2.19 Circuito del ejemplo 2.16.

Solución

Curva de entrada

Para obtener esta curva se ha fijado el generador V2 a -5V; y se ha variado el generador V1 de 4.5V a -4.5V, con incrementos de 0.1V. Los resultados se muestran en la figura E.2.20.

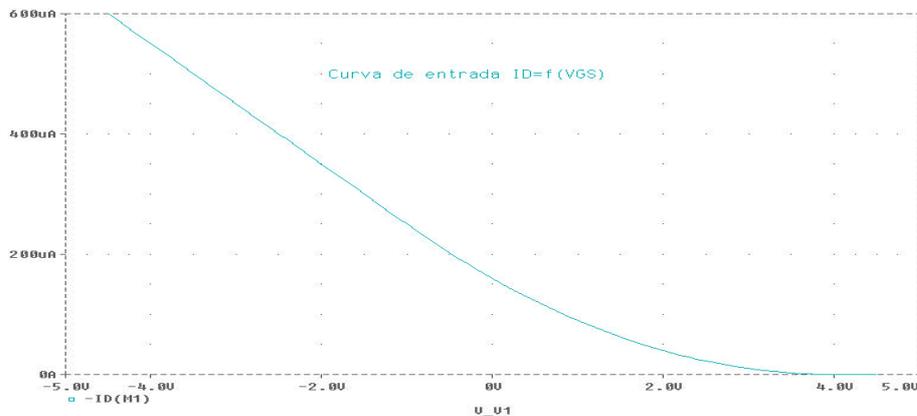


Figura E.2.20 Curva de entrada del transistor del ejemplo 2.16.

Obsérvese que se ha representado la curva $-I_D$, para que los resultados sean similares a los mostrados en la figura 2.43. Como se puede observar en la gráfica, $V_T=4V$.

Curva de salida

En este caso, los dos generadores son variables: V1, de 0 a 4V, con incrementos de 1V; y V2 de 0 a -5V, con incrementos de -1V. Los resultados obtenidos se muestran en la figura E.2.21.

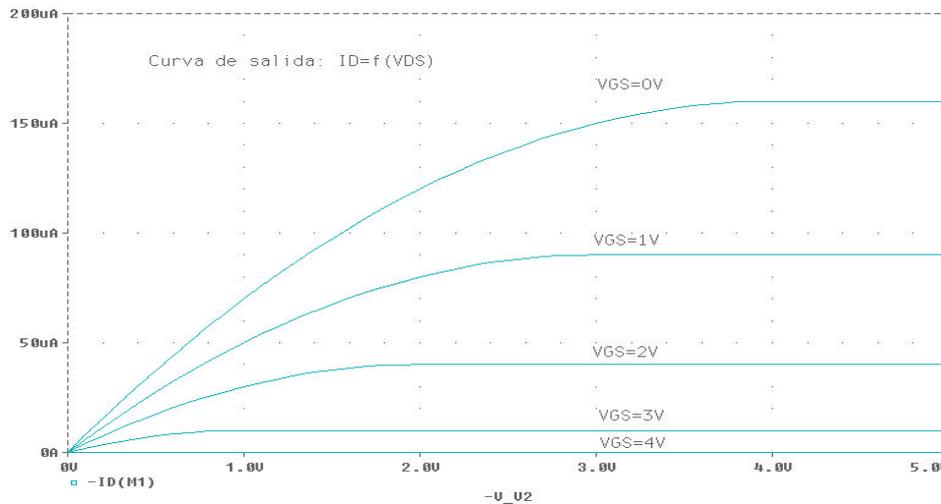


Figura E.2.21 Curva de salida del transistor del ejemplo 2.16.

Al igual que en el caso anterior, se han cambiado los signos de los ejes para que el aspecto de la curva sea similar al de la figura 2.43.

2.6 Transistores MESFET

Los transistores MESFET responden a la estructura mostrada en la figura 2.44.b, y su símbolo se muestra en la figura 2.44.a. Como se puede ver su desarrollo se hace sobre la base del Arseniuro de Galio (GaAs), aprovechando la alta movilidad del electrón en este tipo de material. Con ello se consigue que los MESFET tengan velocidades de respuesta muy elevadas, lo que hace que estos dispositivos sean utilizados en circuitos analógicos de alta frecuencia (microondas) y en sistemas digitales de alta velocidad. El inconveniente más importante de los MESFET es que la densidad de integración es baja comparada con los MOSFET. Sobre la estructura MESFET (figura 2.44.b) decir que la zona de drenador y fuente están formadas por dos islas tipo n fuertemente dopadas (n^+), el canal tipo n se forma en el proceso de fabricación del dispositivo, con la implantación de iones en un sustrato de GaAs intrínseco. Obsérvese que la puerta de aleación metálica y el canal forman una unión rectificadora Schottky.

Si se compara la estructura MESFET de la figura 2.44 con la del MOSFET de depleción canal n (figura 2.38a) se puede comprobar que existe un gran parecido, si bien en el caso del MOSFET de depleción entre el terminal de puerta y el canal existe un aislante (SiO_2). Sin embargo se puede ver que se trata de un transistor de puerta de unión (al igual que los JFETs). Indicar también, que normalmente el terminal de sustrato está unido al de fuente (de ahí que en el símbolo sólo aparecen tres terminales).

Para ver el funcionamiento de los MESFET se van a suponer dos situaciones significativas en continua:

3. $V_{GS} \leq V_T$: si la tensión entre puerta y fuente es suficientemente negativa la unión rectificadora (metal-canal) está polarizada en inverso y ello supone que la anchura de la zona de vaciamiento puede llegar a expandirse por todo el canal. En estas

condiciones no existirá corriente de drenador, con independencia del valor de V_{DS} (obsérvese que V_{DS} es positiva, ya que los portadores mayoritarios son electrones). El

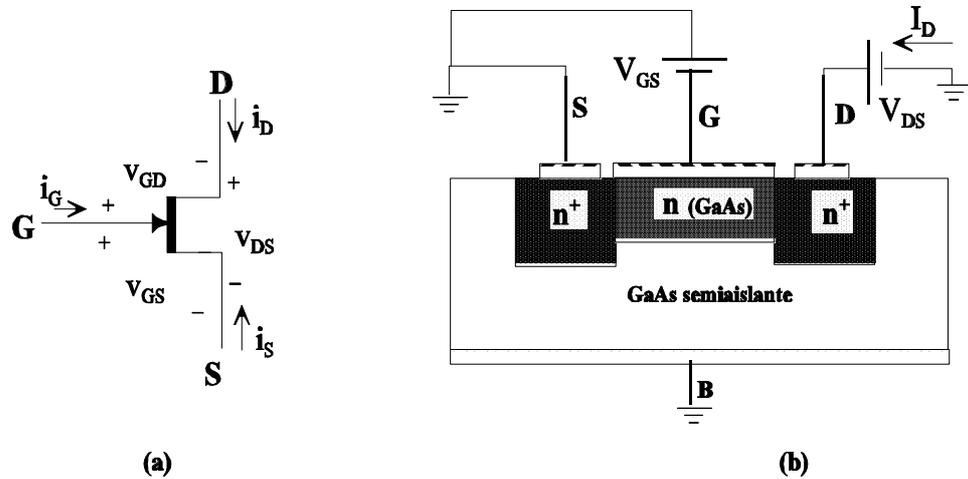


Figura 2.44 Transistor MESFET, (a) Símbolo, (b) sección transversal de la estructura de un MESFET de GaAs moderno.

valor de la tensión V_{GS} umbral para la que la zona de vaciamiento se expande por todo el canal, con independencia de V_{DS} , se representa por V_T (V_T es negativa).

4. $0 \geq V_{GS} > V_T$: para valores de V_{GS} superiores a V_T pero inferiores a cero (en realidad la tensión V_{GS} puede llegar a tener un valor algo positivo, siempre que se garantice que la unión rectificadora no quede polarizada en directo) la zona de vaciamiento no llega a expandirse por todo el canal y por tanto si $V_{DS} > 0$ existirá corriente por el canal. La variación de la corriente por el canal en función de V_{GS} y V_{DS} es muy similar a la de los MOSFET de deplexión. El razonamiento para llegar a deducir cualitativamente la variación de I_D con V_{DS} (para una V_{GS} dada), antes (región óhmica) y después (región de saturación) de alcanzar el estrangulamiento del canal es similar al que se ha realizado para otros tipos de transistores unipolares.

Es importante tener presente que para garantizar que $I_G = 0$ la unión rectificadora puerta-canal debe estar polarizada en inverso, esto es $V_{GS} \leq 0$ (suponiendo que la unión conduce para tensiones superiores a 0V.)

En la figura 2.45 se muestran las curvas características de entrada y salida de los transistores MESFET. Como se puede observar son similares a las de los MOSFET de deplexión canal n . En lo que se refiere a las regiones de funcionamiento (corte, saturación y óhmica), las condiciones para que el transistor funcione en cada una de ellas, son las mismas que las del transistor MOSFET de deplexión canal n .

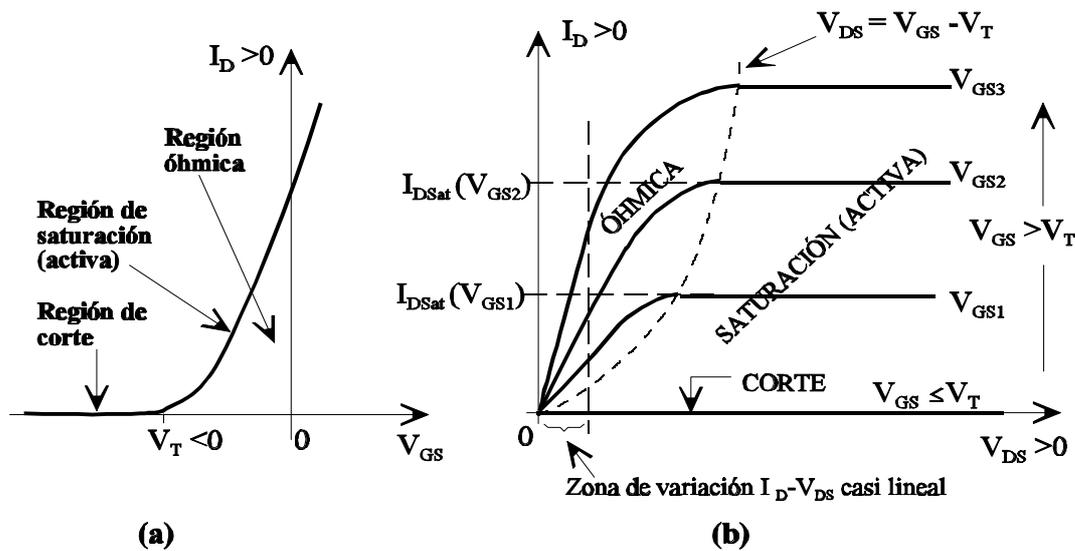


Figura 2.45 Curvas características de (a) entrada y (b) salida de un transistor MESFET

2.7 Efectos de segundo orden en transistores unipolares.

Al igual que se hizo en los transistores bipolares, en este apartado se van a presentar los efectos de segundo orden más importantes de los transistores FET. Dentro de estos efectos cabe destacar:

- Modulación de la longitud del canal y Efecto Early.
- Tensión de ruptura.
- Efecto de la temperatura

2.7.1 Modulación de la longitud del canal y Efecto Early

Un efecto similar, en concepto y efecto global, a la modulación de base de los BJTs, ocurre en los transistores unipolares. Si bien en estos últimos el efecto se debe a la modulación de la longitud del canal. Para comprender este efecto supongamos un transistor MOSFET de acumulación canal n (conclusiones similares se obtienen para los otros tipos de transistores unipolares). Una vez que se alcanza el estrangulamiento del canal (figura 2.46.a) si se sigue incrementando la tensión V_{DS} la zona de vaciamiento, que se genera entorno al terminal drenador (zona con mayor polarización inversa), invade la zona del canal, tal como se muestra en la figura 2.46.b, y esto hace que la longitud efectiva del canal (L_E) sea inferior al valor original (L). Esta disminución de la longitud del canal hace que la resistencia del mismo disminuya y en consecuencia I_D aumenta ligeramente. Por tanto, se puede concluir que cuando el transistor funciona en saturación la corriente de drenador, I_D , aumenta ligeramente con V_{DS} .

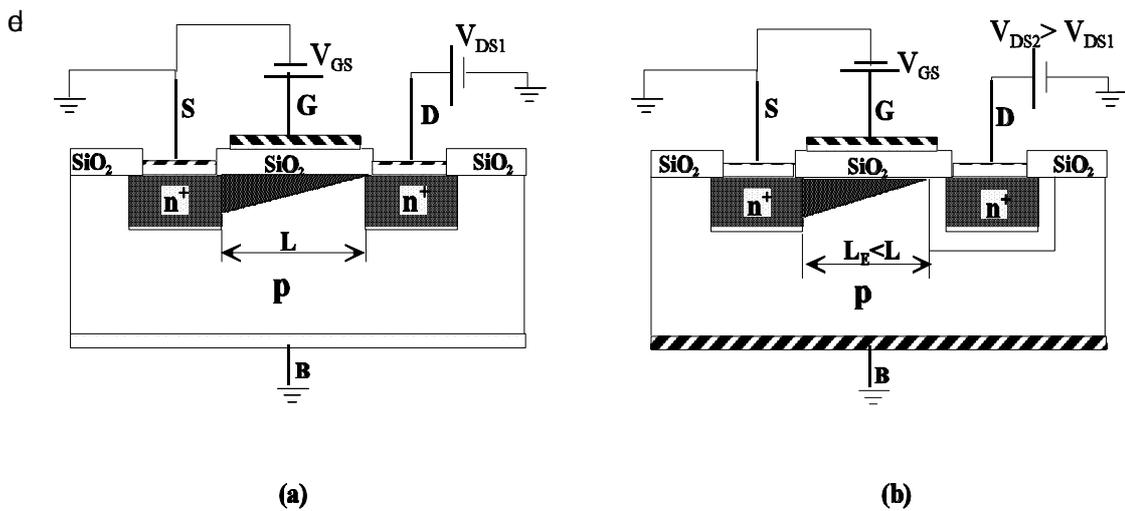


Figura 2.46 Ejemplos ilustrativos de la variación de la longitud del canal en función de la tensión V_{DS} .

Esta dependencia se puede modelar de forma sencilla, ya que el efecto Early también se aplica a los transistores unipolares. En la figura 2.47 se muestra el efecto de la modulación de longitud de canal, donde V_A es la tensión Early (para los JFET la tensión Early se suele denotar por $1/\lambda$). A partir de la figura 2.47 puede escribir:

$$\frac{I_D}{V_{GS} - V_T + V_A} = \frac{I'_D}{V_{DS} + V_A} \rightarrow I'_D = I_D \cdot \frac{V_{DS} + V_A}{V_{GS} - V_T + V_A} \approx I_D \cdot \frac{V_{DS} + V_A}{V_A} \quad <2.76>$$

por tanto:

$$I'_D = \frac{k}{2} (V_{GS} - V_T)^2 \left(1 + \frac{V_{DS}}{V_A}\right) \quad <2.77>$$

esta última expresión se puede poner:

$$I'_D = \frac{k}{2} (V_{GS} - V_T)^2 \left(1 + \frac{V_{DS}}{V_A}\right) = \frac{k}{2} (V_{GS} - V_T)^2 + \frac{V_{DS}}{\frac{k(V_{GS} - V_T)^2}{V_A}} = \frac{k}{2} (V_{GS} - V_T)^2 + \frac{V_{DS}}{r_0} \quad <2.78>$$

donde r_0 representa la pendiente de la características de salida (ver figura 2.47).

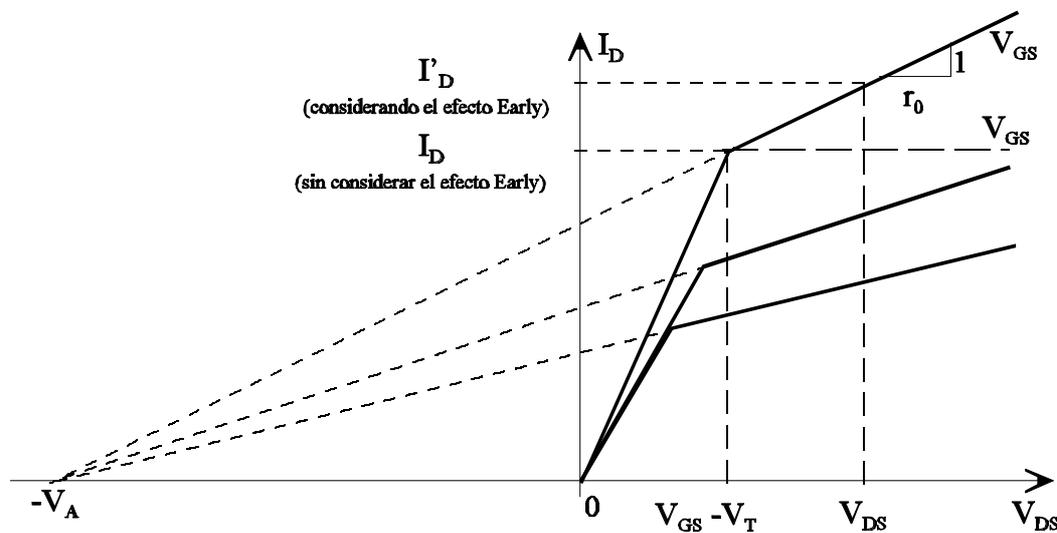


Figura 2.47 Curvas características de salida de transistores unipolares considerando el efecto de la modulación de longitud de canal (efecto Early).

Si se considera el efecto Early en el circuito equivalente en la región de saturación hay que incluir una resistencia r_0 en paralelo con el generador de corriente, tal como se pone de manifiesto en la ecuación <2.78>. Obsérvese que en los transistores canal n V_{DS} , k y V_A son positivas, mientras que en los canal p éstos son negativos. En la figura 2.48 se muestra el circuito equivalente en la zona de saturación considerando el efecto Early. Las expresiones y circuito equivalente (figura 2.48) son válidas para todos los transistores unipolares.

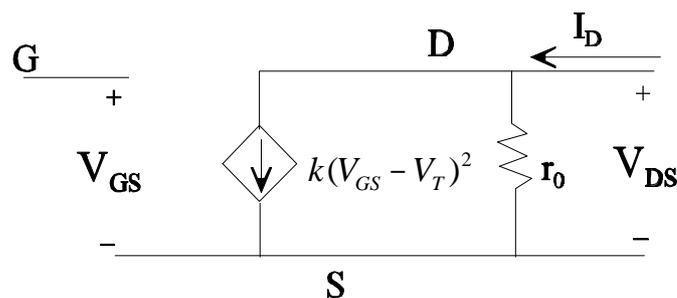


Figura 2.48 Circuito equivalente en la región de saturación (activa) de transistores unipolares considerando el efecto Early.

2.7.2 Tensión de ruptura

En los transistores unipolares, al igual que sucede en los bipolares, existe una limitación en la tensión que puede existir entre drenador y fuente. Esa tensión máxima se le denomina tensión de ruptura, BV . Para tensiones superiores a BV la corriente de drenador puede tomar valores superiores a los máximos permitidos, lo que puede originar la destrucción del dispositivo.

En las figuras 2.49.a y b se muestran las curvas características de salida, en las que se refleja la tensión de ruptura, para el caso de transistores unipolares de puerta de unión (figura 2.49.a) y de puerta aislada (figura 2.49.b).

Como se puede observar en los transistores de puerta de unión (figura 2.49.a) la tensión de ruptura es función de la tensión V_{GS} ; cuanto mayor sea la magnitud de V_{GS} más pequeña es la magnitud de la tensión V_{DS} para alcanzar la ruptura. La justificación de esta dependencia, es porque la ruptura se produce cuando la tensión entre puerta y canal excede un valor crítico. Esto es, la unión puerta-canal al estar polarizada en inverso existe un limite en el valor de esta tensión antes de que se produzca el fenómeno de avalancha y esta tensión inversa depende tanto de V_{GS} como de V_{DS} .

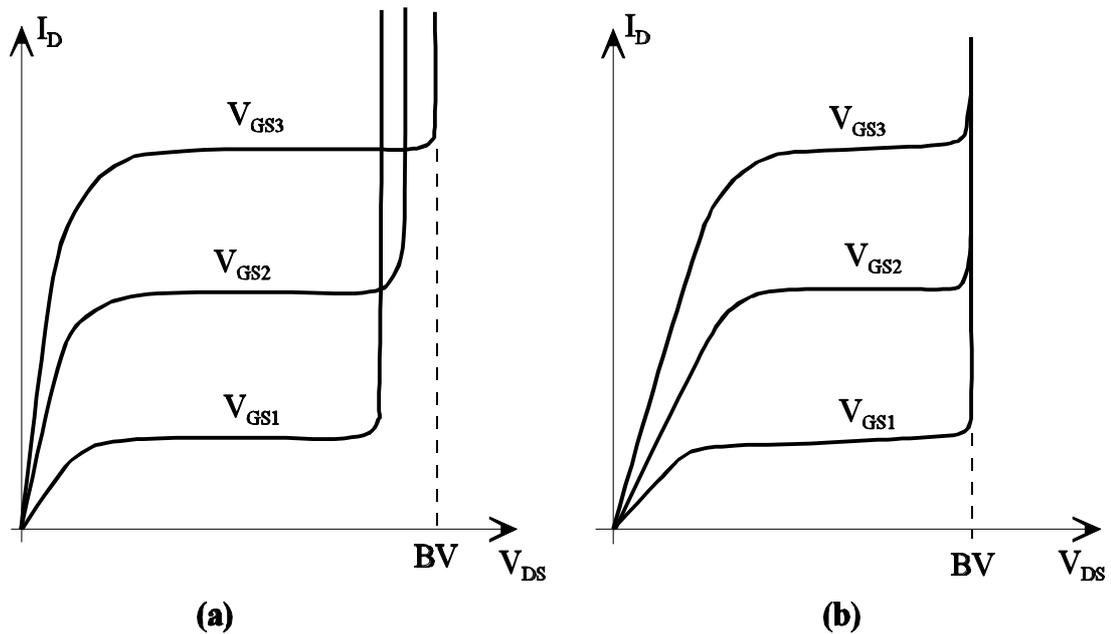


Figura 2.49 Curvas características de salida en las que se refleja la ruptura (a) JFETs, (b) MOSFETs.

Para los transistores de puerta aislada (figura 2.49.b) el fenómeno de la avalancha se debe a la polarización en inverso del transistor bipolar que se forma entre drenador-sustrato-fuente. Lógicamente en este caso la tensión de puerta no tiene efecto alguno sobre la polarización en inverso de las uniones de dicho transistor bipolar y por ello la tensión de ruptura es independiente de V_{GS} .

2.7.3 Efecto de la temperatura

Dado que las corrientes en los transistores unipolares son de arrastre, su valor está directamente relacionado con la movilidad de los portadores mayoritarios. Y como es sabido, la movilidad, μ , disminuye con la temperatura de acuerdo con la relación empírica:

$$m(T) = m(T_R) \left(\frac{T_R}{T} \right)^{\frac{3}{2}} \tag{2.79}$$

Esta es la causa fundamental de que los parámetros k e I_{DSS} también disminuyen, y en consecuencia el valor de la corriente de drenador. En la figura 2.50.a se muestra la variación de las características de salida con la temperatura.

En lo que se refiere a las tensiones umbrales (V_T y V_P) su variación con la temperatura se puede aproximar por:

$$V_{T,P}(T) = V_{T,P}(T_R) \pm C(T - T_R) \begin{cases} - \text{para canales } n \\ + \text{para canales } p \end{cases}$$

donde C es aproximadamente $2\text{mV}/^\circ\text{C}$.

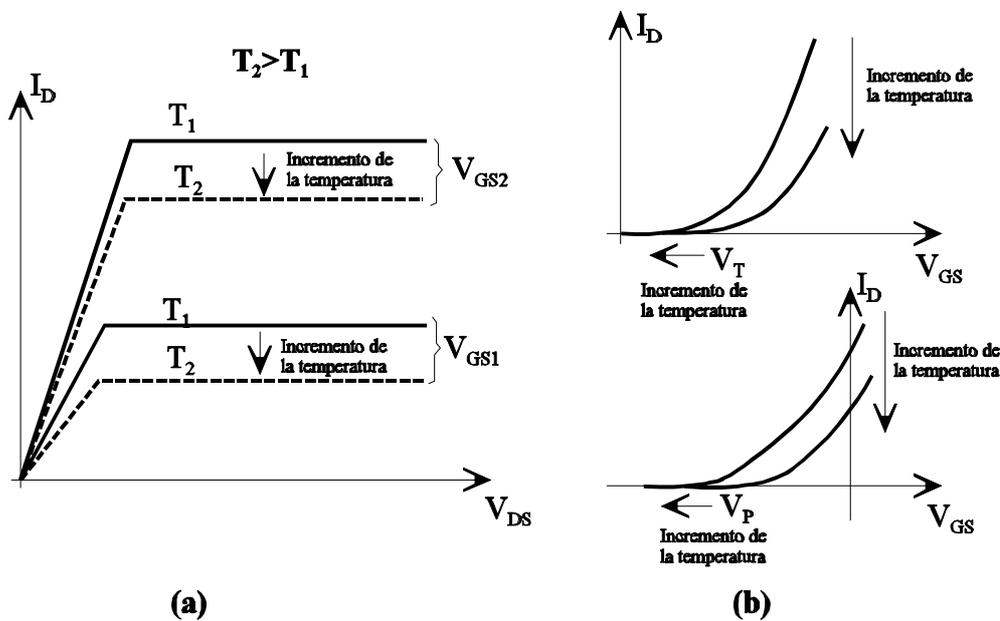


Figura 2.50 Variación de las características de los transistores unipolares con la temperatura. (a) características de entrada, (b) características de salida para el caso de MOSFETs y JFETs canal n.

Ejemplo 2.17

A título de ejemplo se ha vuelto a simular el circuito de la figura E.2.19 para obtener su característica de entrada, pero a diferentes temperaturas. Se han usado tres valores para la temperatura: 25, 50 y 75 grados centígrados. Los resultados obtenidos se muestran en la figura E.2.22, y como se aprecia en la misma, coinciden con los expuestos anteriormente.

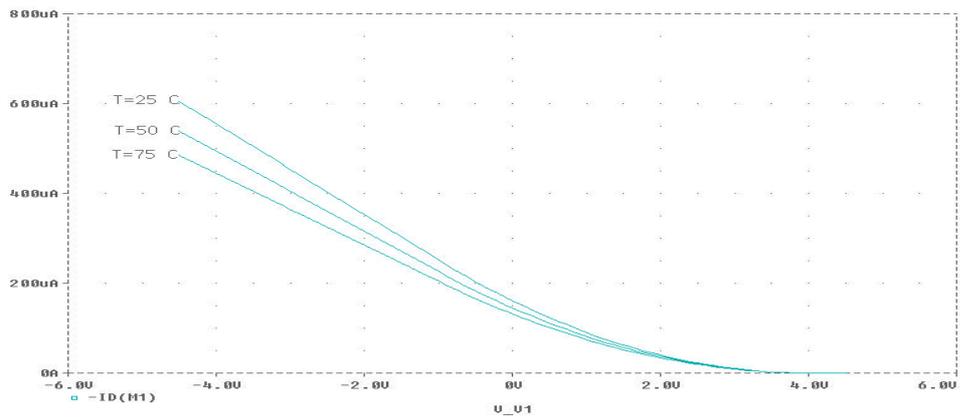


Figura E.2.22 Curva de entrada a diferentes temperaturas.

2.8. Ejercicios

Problema 2.1

En el circuito de la figura P.2.1, calcule:

- a) Valores de R_L para que el JFET esté en saturación.
- b) La caída de tensión sobre la resistencia R_L , si ésta toma un valor de $0,5 \text{ K}\Omega$.

Datos: $|I_{DSS}| = 20 \text{ mA}$; $|V_P| = 4 \text{ V}$

Solución

- a) $R_L \geq 0,4 \text{ K}\Omega$
- b) $V_{RL} = 2,3 \text{ V}$

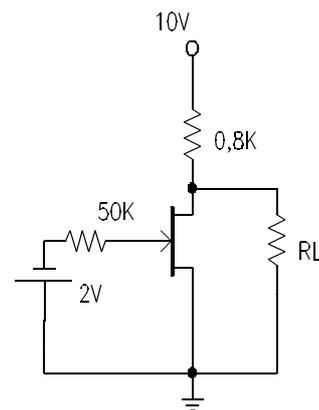


Figura P.2.1

Problema 2.2

En el circuito de la figura P.2.2, calcule los valores de V_{bb} para que T1 esté saturado.

Datos:

Transistor BIPOLAR: $|V_{BEY}| = 1 \text{ V}$; $|V_{CESAT}| = 0 \text{ V}$; $\beta = 100$
 Transistor UNIPOLAR: $|I_{DSS}| = 20 \text{ mA}$; $|V_P| = 4 \text{ V}$
 $V_{CC} = 15 \text{ V}$; $R_C = 1 \text{ K}\Omega$

Solución

$3,5 \text{ V} \leq V_{bb} \leq 5 \text{ V}$

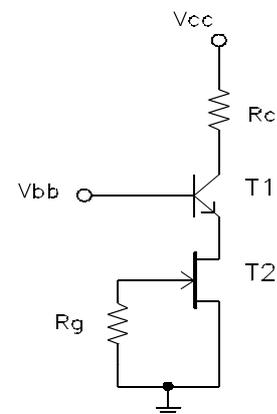


Figura P.2.2

Problema 2.3

En el circuito de la figura P.2.3, calcule:

- a) Tipo de JFET para que el transistor bipolar no esté cortado, y el JFET funcione en las zonas permitidas.
- b) Punto de trabajo de ambos transistores: V_{CE} , I_C , I_B , V_{DS} , I_D , V_{GS} .

Datos:

$V_{ee} = 6V$; $R_C = 50\Omega$; $|V_{BEV}| = 0,6V$; $|V_{CEsat}| = 0,2V$;
 $\beta = 20$; $|I_{DSS}| = 20\text{ mA}$; $|V_p| = 4V$

Solución

- a) Canal P
- b) Transistor bipolar en activa.
 JFET: $I_D = -20\text{mA}$; $V_{GS} = 0$; $V_{DS} = -5.4V$
 BIPOLAR: $I_B = 20\text{ mA}$; $I_C = 400\text{mA}$; $V_{CE} = 6V$.

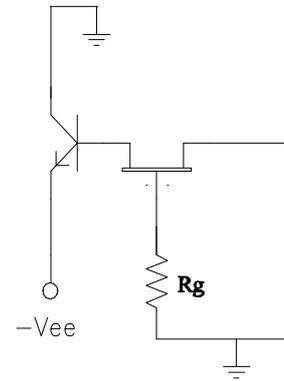


Figura P.2.3

Problema 2.4

Al circuito de la figura P.2.4 se le aplica una señal V_{gg} como la indicada en la figura P.2.5. En la figura P.2.6 se muestra la característica de salida del JFET. Se pide:

- a) Represente gráficamente la señal V_{salida} en función del tiempo, e indique el punto de funcionamiento del FET sobre la figura P.2.6, para los distintos intervalos de tiempo.
- b) Para el caso de $t \leq t_0$, si la resistencia se conecta entre el terminal 2 y masa, y la batería V_0 entre el terminal 1 y masa (terminal negativo a masa), ¿cuál es el nuevo valor de la tensión en bornas de la resistencia R?

Datos: $R = 1/3\text{ K}\Omega$; $V_0 = 12V$; $R_g = 2,5M\Omega$.

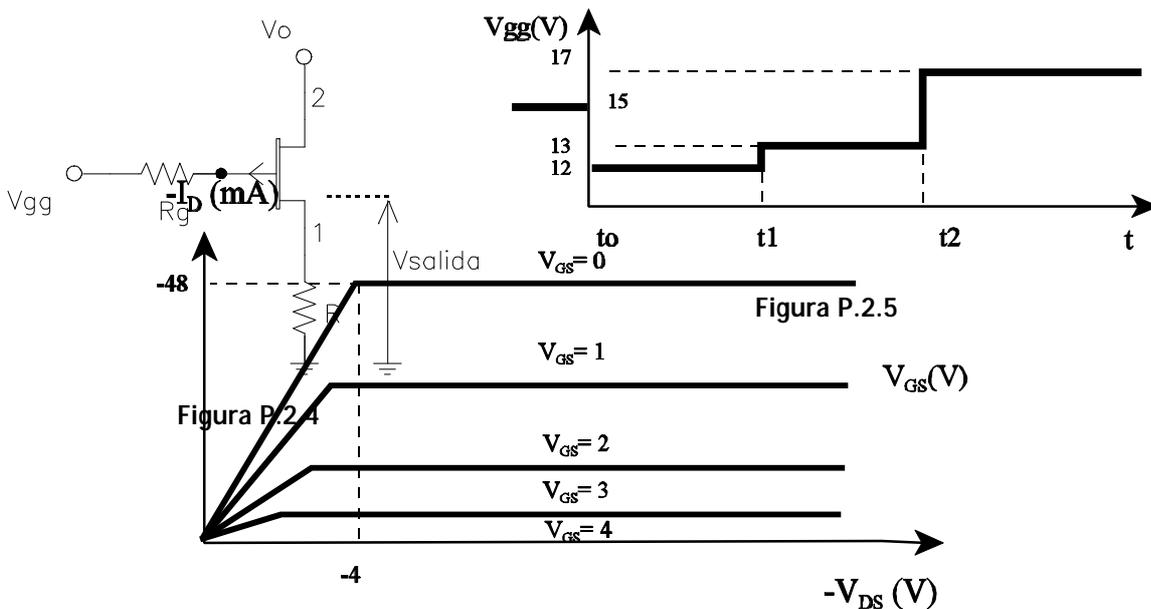


Figura P.2.6

Solución

- a) $t \leq t_0$ Saturación $V_{SALIDA} = 1V$.
- $t_0 < t \leq t_1$ Óhmica $V_{SALIDA} = 9.6V$.
- $t_1 < t \leq t_2$ Saturación $V_{SALIDA} = 9V$.
- $t > t_2$ Corte $V_{SALIDA} = 0V$.
- b) Idéntico al caso anterior.

Problema 2.5

El circuito mostrado en la figura P.2.7 representa una fuente de corriente constante I_D , por lo que el transistor Q_1 debe estar saturado. Suponiendo que el comportamiento de los transistores en zona óhmica se puede considerar como una resistencia entre drenador y surtidor. Se pide:

- a) Demuestre que estando Q_1 saturado, Q_2 no puede estar en saturación.
- b) Si el transistor Q_2 se encuentra en zona óhmica, dibuje su circuito equivalente indicando valores y calcúlese el valor de I_D .

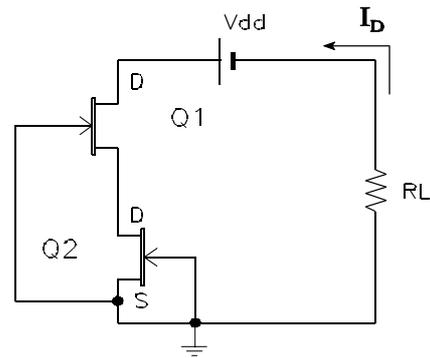


Figura P.2.7

Datos:

- $V_{dd} = 50V$
- $|I_{DSS}| = 2 \text{ mA}$; $|V_p| = 2V$

Solución

- a) Para resolver este apartado se debe demostrar que I_{D1} e I_{D2} (corrientes de drenador por cada transistor) son distintas, siendo físicamente la misma corriente I_D .
- b) $I_D = 0.763 \text{ mA}$.

Problema 2.6

Se dispone del circuito de la figura P.2.8 y de las curvas características del transistor (figura P.2.9). A la vista de estos datos, calcule los valores de V_p , I_{DSS} , I_D , V_{DS} y V_{GS} . Indique la zona de funcionamiento del transistor.

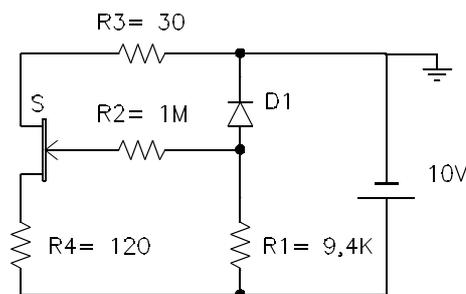


Figura P.2.8

Solución

Funcionamiento en zona de saturación.

$I_D = 16.6\text{mA}$; $V_{GS} = -0.5\text{V}$; $V_{DS} = 7.5\text{V}$;
 $V_P = -6\text{V}$; $I_{DSS} = 20\text{mA}$.

Problema 2.7

Sabiendo que el transistor de la figura P.2.10 está polarizado en la zona de saturación, calcule el margen de valores de R_S que garantiza una corriente de drenador comprendida entre 6 y 8 mA.

Datos:

$V_{dd} = 12\text{V}$; $R_1 = 100\text{k}\Omega$; $R_2 = 20\text{k}\Omega$
 FET: $I_{DSS} = 8\text{mA}$; $|V_P| = 2\text{V}$

Solución

$250\Omega \leq R_S \leq 378\Omega$

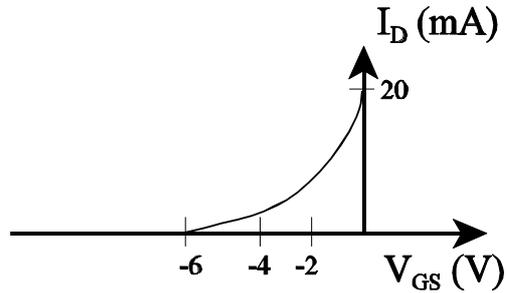


Figura P.2.9

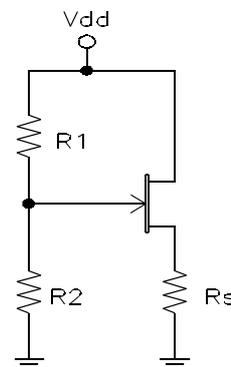


Figura P.2.10

Problema 2.8

De la característica de transferencia $I_D = f(V_{GS})$ de un transistor FET obtenida en el laboratorio, se obtiene que $I_{DSS} = -5\text{mA}$ y $V_P = 5\text{V}$. Calcule I_D cuando el transistor está polarizado con $V_{GS} = 1\text{V}$ y $V_{DS} = -2\text{V}$.

Solución

$I_D = -8/5\text{mA}$

Problema 2.9

En el circuito de la figura P.2.11, $V_e(t) = K_1 + K_2 \cdot \text{sen}(2 \cdot \pi \cdot 10 \cdot t)\text{V}$, siendo K_1 la componente continua de la señal y K_2 el valor de pico de la señal variable. Se pide:

a) Represente, a partir de los datos del transistor, las curvas ideales de salida del mismo, para $V_{GS} = 0\text{V}$, $V_{GS} = -1\text{V}$ y $V_{GS} = -2\text{V}$, indicando los valores más significativos.

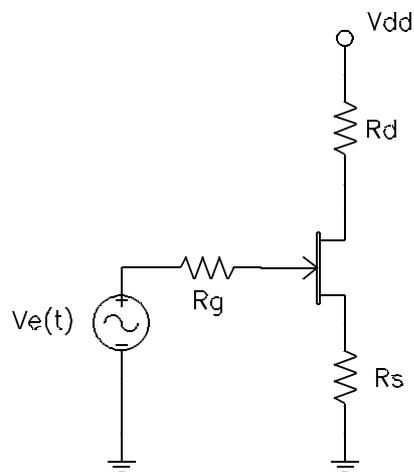


Figura P.2.11

b) Calcule los valores de K_1 y K_2 para que el transistor trabaje siempre en zona de saturación, llegando hasta el límite de las zonas de óhmica y corte.

Datos: $|V_p| = 2\text{ V}$; $|I_{DSS}| = 2\text{ mA}$
 $V_{dd} = 6\text{ V}$; $R_g = 100\text{ K}\Omega$; $R_d = 1\text{ K}\Omega$; $R_s = 1\text{ K}\Omega$

Solución

- a) Para trabajar en saturación, $-2\text{ V} \leq V_{GS} \leq 0$
- b) $K_1 = 0$; $K_2 = 2$

Problema 2.10

En el circuito de la figura P.2.12, calcule la tensión de salida (V_s) en las siguientes situaciones.

- a) $V_e = 0\text{ V}$
- b) $V_e = 5\text{ V}$

Datos:

$|V_T| = 2\text{ V}$; $|K| = 2\text{ mA/V}^2$

Solución

$V_e(\text{V})$	$V_s(\text{V})$
0	4.8
5	0

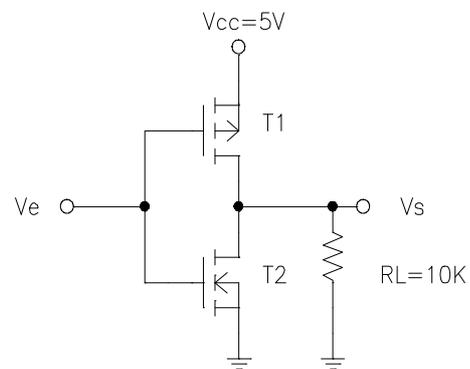


Figura P.2.12

Problema 2.11

En el circuito de la figura P.2.13, en el que $V_{DS1} = 10\text{ V}$, calcule:

- a) Estado de T1 y valor de R_{d1} .
- b) Valores de R_{d2} para que T2 esté en saturación.
- c) Suponiendo que $R_{d2} = R_{d1}$, calcule el nuevo valor de R_{d3} para que T3 esté en zona óhmica.
- d) Demuestre que si $R_{d1} = R_{d2} = R_{d3} = R_d$ (cualquier valor) todos los transistores están en saturación.

Datos:

$|V_T| = 5\text{ V}$;
 $|K| = 0.2\text{ mA/V}^2$

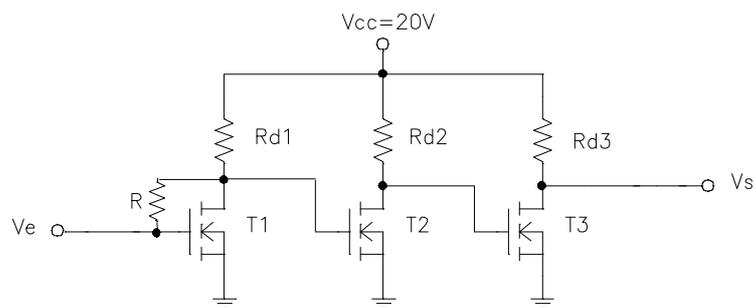


Figura P.2.13

Solución

- a) T1 saturado, $R_{d1} = 4K$
- b) $R_{d2} \leq 6K$
- c) $R_{d3} \geq 6K$

Problema 2.12

En los circuitos de las figuras P.2.14, P.2.15 y P.2.16, calcule el valor de la tensión de salida cuando las diferentes entradas valgan 0 y 5V (todas las combinaciones posibles).

Datos:

$V_{dd} = 5V; |V_T| = 3V; |K_{DEPLEXION}| \ll |K_{ACUMULACION}|$

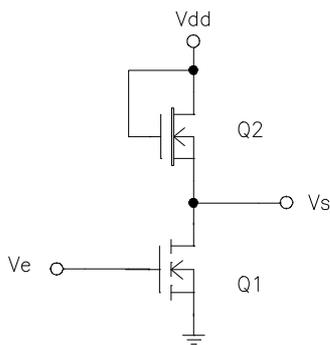


Figura P.2.14

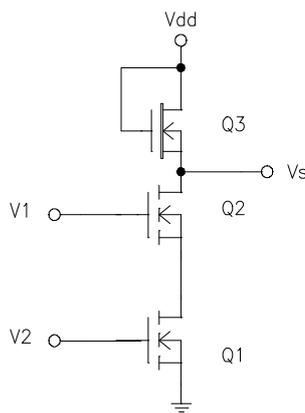


Figura P.2.15

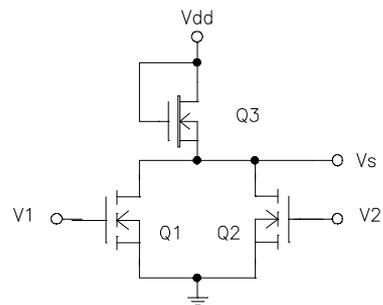


Figura P.2.16

Solución

Figura P.2.14

Ve(V)	Vs(V)
0	$\approx V_{dd}$
5	≈ 0

Figura P.2.15

V1(V)	V2(V)	Vs(V)
0	0	$\approx V_{dd}$
0	5	$\approx V_{dd}$
5	0	$\approx V_{dd}$
5	5	≈ 0

Figura P.2.16

V1(V)	V2(V)	Vs(V)
0	0	≈Vdd
0	5	≈0
5	0	≈0
5	5	≈0

Problema 2.13

El circuito de la figura P.2.17 representa una etapa de control de un transistor MOS construida con un transistor JFET. Se pide:

- a) Identifique el tipo de JFET, e indique cuales son los terminales de ambos transistores. ¿ A qué potencial (masa o Vo) se debe conectar el sustrato del transistor 2 ?
- b) Sabiendo que R1 y R2 son iguales y de valor 100 KΩ, determine el valor de R3 para que la tensión existente en sus extremos sea de 8V. En estas condiciones, calcule el punto de trabajo de ambos transistores.
- c) Si en un momento determinado se cortocircuita R2 (suponiendo R3 el valor calculado en el apartado anterior) ¿Cuál es el nuevo punto de trabajo de T1 ? ¿ Conducirá en este caso el transistor T2 ?

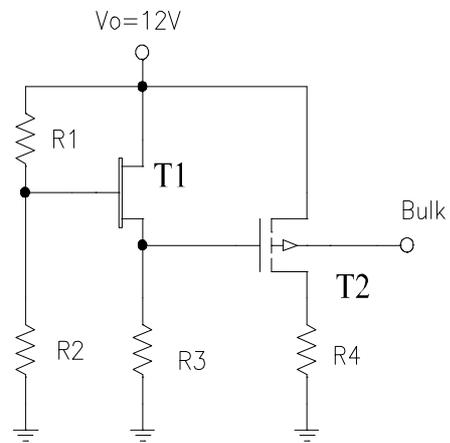


Figura P.2.17

Datos:

JFET: $|V_P| = 4V$; $|I_{DSS}| = 100 \text{ mA}$
 MOS: $|V_T| = 5V$; $|K| = 40 \text{ mA/V}^2$

Solución

- a) Canal N; el sustrato se debe llevar a Vo.
- b) $R_3 = 320\Omega$; FET: $V_{GS} = -2V$, $V_{DS} = 4V$, $I_D = 25\text{mA}$; PMOS: cortado
- c) FET: $V_{GS} = -2.81V$, $V_{DS} = 9.19V$, $I_D = 8.8\text{mA}$; PMOS: conduce

Problema 2.14

Partiendo del circuito de la figura P.2.18, donde el transistor T1 posee las curvas características ideales indicadas en la figura P.2.19, se desea saber:

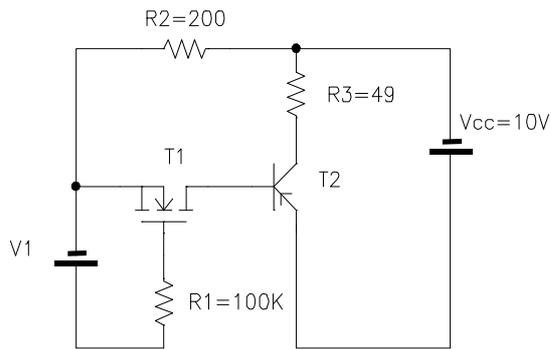


Figura P.2.18

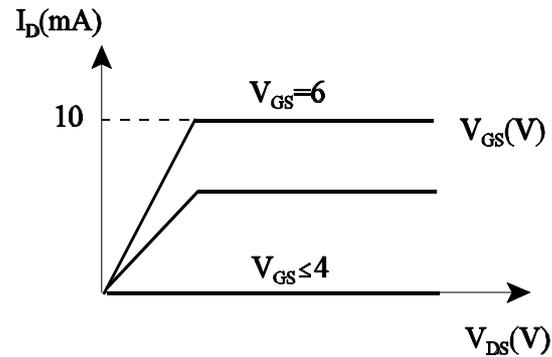


Figura P.2.19

- a) Valor de V_T y K del transistor unipolar.
 b) Punto de polarización de ambos transistores cuando $V1 = 8V$.

Datos:

T2: $|V_{BE}| = 0.6V$; $|V_{CEsat}| = 0.2V$; $\alpha_F = 0.88$

Solución

- a) $V_T = 4V$; $K = 5mA/V^2$
 b) BIPOLAR: saturado, $I_B = 31.3mA$, $I_C = 200mA$; NMOS: $I_D = 31.3mA$, $V_{DS} = 3.13V$, $V_{GS} = 8V$.

Problema 2.15

En la figura P.2.20 se muestra el circuito base de una puerta lógica constituida con transistores unipolares. Obtenga el valor de $V_o(t)$ si las señales de entrada (V_a y V_b) son las mostradas en la figura P.2.21. Suponga un funcionamiento ideal de los transistores en las distintas zonas de trabajo.

Datos:

FET: $|V_P| = 5.5V$; $|I_{DSS}| = 5.5mA$; $|BV_{DSS}| = 23V$

MOS: $|V_T| = 3V$; $|BV_{DS}| = 32V$; $I_D = 16mA$ para $V_{GS} = 7V$ y $V_{DS} = 10V$

$V_{SS} = 5V$

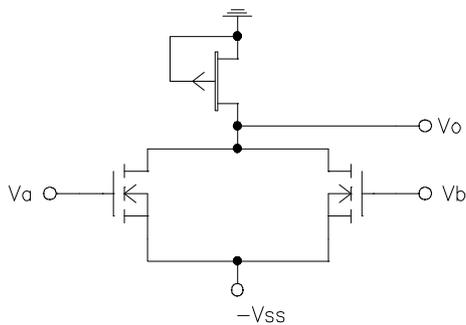


Figura P.2.20

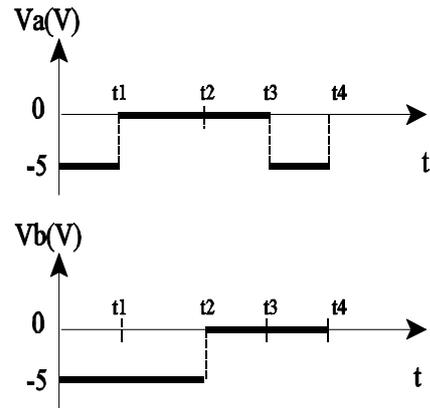


Figura P.2.21

Solución

Va(V)	Vb(V)	Vo(V)
-5	-5	0
0	-5	-3.33
0	0	-4
-5	0	-3.33

Problema 2.16

En el circuito de la figura P.2.22 se pide:

1. Suponiendo V_A (tensión de Early) = , calcule el punto de funcionamiento del transistor.
2. Con $V_A = 100 V$, calcule el valor de r_o y el nuevo punto de funcionamiento del transistor.

Datos:

$K = 0.5 \text{ mA/V}^2$
 $V_T = 2 \text{ V}.$

Solución

1. Saturación, $I_D = 1 \text{ mA}$, $V_{DS} = 10 \text{ V}$
2. $r_o = 100 \text{ K}$; Saturación, $I_D = 1.09 \text{ mA}$, $V_{DS} = 9.09 \text{ V}$

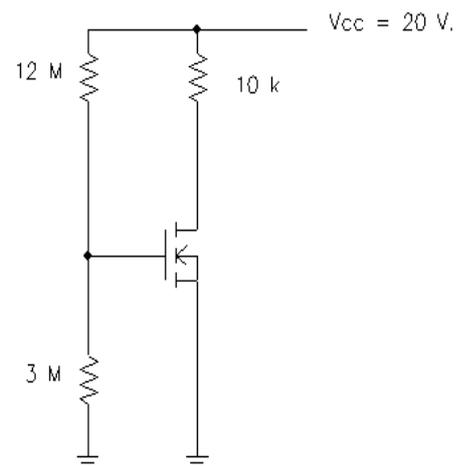


Figura P.2.22

Problema 2.17

Suponiendo que la movilidad de los portadores en los transistores unipolares disminuye con la temperatura según la relación empírica $\mu(T) = \mu(T_0) (T_0/T)^{1.5}$, con T y T_0 en grados Kelvin, y que la tensión umbral disminuye aproximadamente $2\text{mV}/^\circ\text{C}$, obtenga los valores de K y V_T a $T = -20^\circ\text{C}$, suponiendo que los valores a $T_0 = 25^\circ\text{C}$ son 0.2 mA/V^2 y $V_T = 0.7\text{ V}$.

Solución

$K=0.512\text{ mA/V}^2$; $V_T=0.79\text{V}$