

Preguntas Más Frecuentes Tema 8

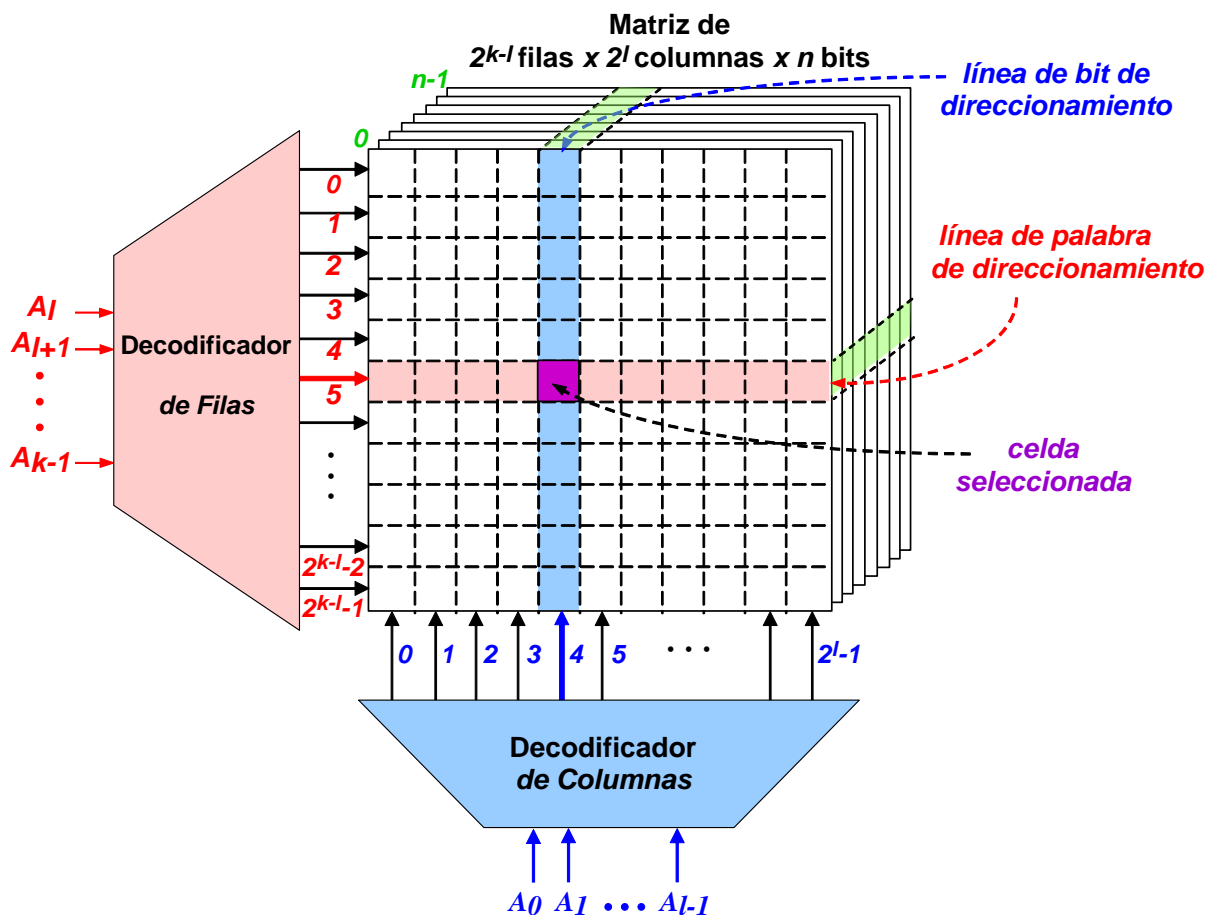
Contenido

P.8.1: ¿Cómo se seleccionan las celdas en una memoria SRAM cuya organización es la de la figura 11.3 del texto base?	2
P.8.2: ¿Cómo se seleccionan los cuatros modos de funcionamiento de la memoria SRAM de la figura 11.4 del texto base?	4
P.8.3: ¿Cómo funciona el transistor multiemisor NPN de entrada de la celda RAM estática?	6
P.8.4: ¿Cómo funciona la celda de memoria RAM estática (SRAM) de la figura 11.9 del texto base?	7
P.8.5: ¿Cómo es la Escritura y Lectura de la celda de Memoria CMOS?	10
P.8.6: ¿Cómo es la Escritura y Lectura de la celda de Memoria NMOS de la figura 11.12 del texto base?	13
P.8.7: ¿Podrían explicar cómo se realiza la comparación en la celda CMOS de la figura 11.27 del texto base?	13

P.8.1: ¿Cómo se seleccionan las celdas en una memoria SRAM cuya organización es la de la figura 11.3 del texto base?

R.8.1: Para verlo de forma más fácil vamos a simplificar la figura eliminando el bloque correspondiente a los amplificadores sensores de entrada y salida de datos y nos vamos a quedar con la parte que corresponde estrictamente al direccionamiento, como mostramos en la siguiente figura.

Esta Memoria está formada por $2^{k-l} \times 2^l \times n = n2^k$ celdas de memoria organizada en forma de matriz cúbica que posee 2^{k-l} filas, 2^l columnas y de n elementos de profundidad.

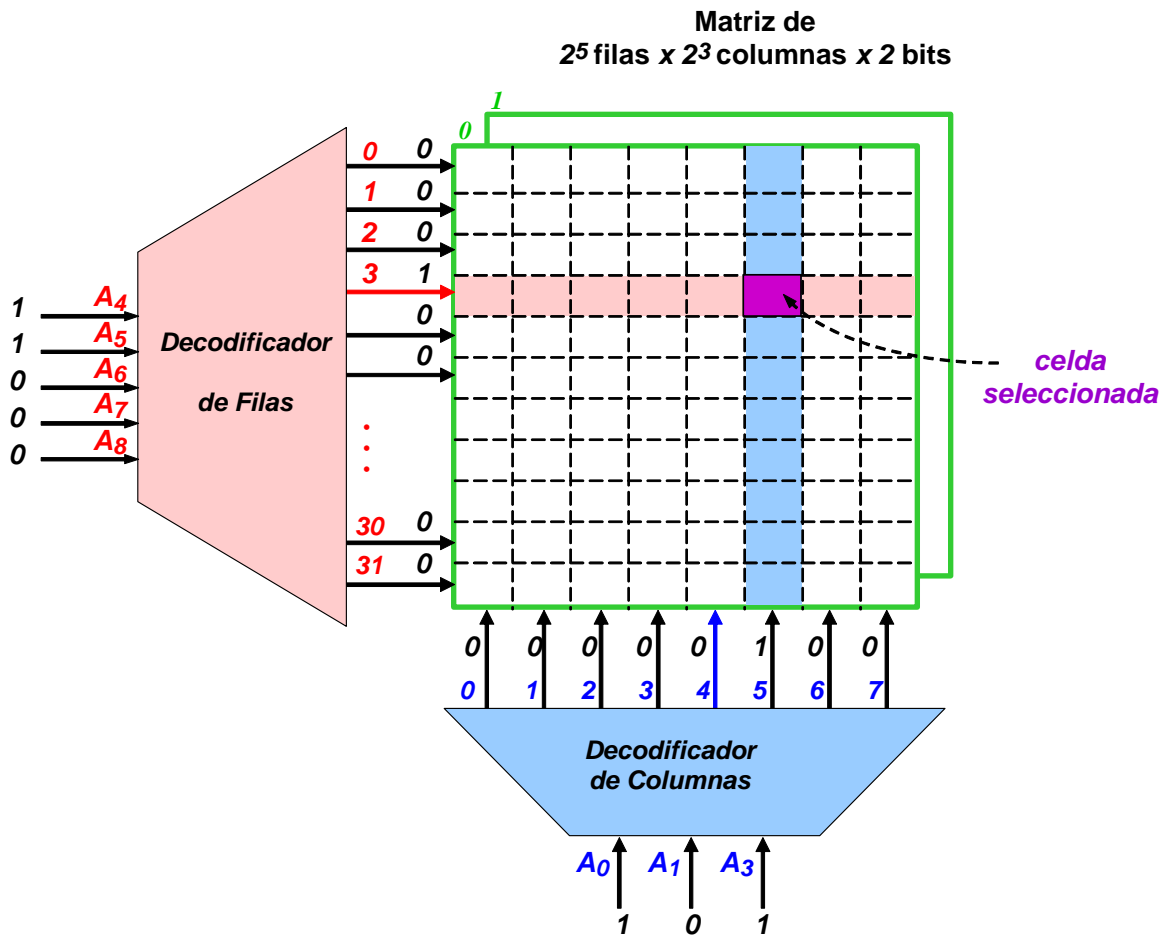


Como tenemos 2^l columnas, necesitaremos para su direccionamiento un decodificador que presente un "1" en una y sólo una de sus 2^l salidas, por lo que necesitaremos que tenga l entradas. Así, con la palabra 000...00 se seleccionará la columna 0, con 000...01 la columna 1 y con 111..11 la columna 2^l-1 .

Análogamente, como tenemos 2^{k-l} filas necesitaremos para su direccionamiento un decodificador que presente un "1" en una y sólo una de sus 2^{k-l} salidas, por lo que necesitaremos que tenga $k-l$ entradas para que con 000..00 seleccione la fila 0 y con 111..11 seleccione la fila $2^{k-l}-1$.

En las memorias de este tipo, cuando se selecciona una celda se está seleccionando la palabra de n bits que está situada en esa posición y la carga y descarga no se hace bit a bit sino que se cargan palabras de n bits. Es decir, mediante el direccionamiento en la matriz cúbica se selecciona la palabra de n bits de profundidad que hay en la dirección correspondiente al cruce de filas y columnas.

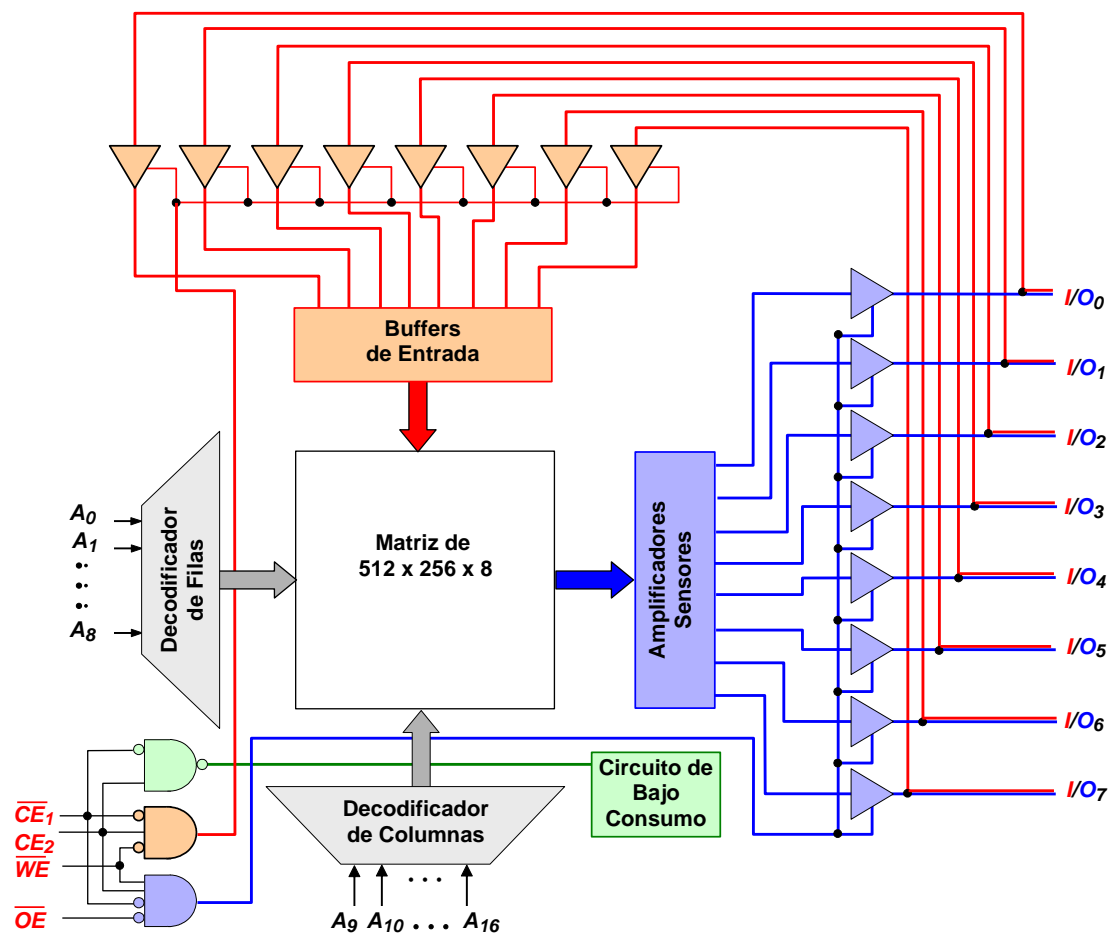
Veamos un sencillo ejemplo numérico. Supongamos que tenemos una memoria de 512 bits organizada en palabras de 2 bits de forma que la matriz cúbica tiene 32 filas, 8 columnas y 2 bits de profundidad ($32 \times 8 \times 2 = 512$). Así, la memoria tiene 256 palabras de 2 bits y para el direccionamiento de cada una de estas 256 palabras de 2 bits necesitaremos k bits de forma que $256 = 2^k$. Por tanto, $k = 8$ bits. Como tiene 32 filas necesitamos l bit para seleccionar las columnas de forma que $2^l = 32$, lo que supone que $l = 5$ bits. Análogamente, para seleccionar las 8 columnas necesitamos $k-l = 8-5=3$ bits ($2^3 = 8$ columnas). Así, para el direccionamiento de esta memoria necesitaremos un decodificador de filas de 5 entradas y 32 salidas, y un decodificador de columnas de 3 entradas y 8 salidas. El esquema de esta pequeña memoria será:



P.8.2: ¿Cómo se seleccionan los cuatro modos de funcionamiento de la memoria SRAM de la figura 11.4 del texto base?

R.8.2: El esquema de la figura 11.4 corresponde a una memoria cuya matriz tiene 512x 256x8 bits organizados en palabras de 8 bits y con 512 filas direccionables mediante 9 bits (A_0, \dots, A_8) y 256 columnas direccionables mediante 8 bits (A_9, \dots, A_{16}). Posee una única línea la entrada y salida para cada uno de los 8 bits de los datos de entrada y salida, ($I/O_0, \dots, I/O_7$) por lo que posee 16 “buffers drivers”, 8 para la entrada y 8 para la salida. Esto hace que haga falta un determinado circuito de control para la lectura y escritura. Además admite un modo de funcionamiento de bajo consumo que debe activarse cuando no está seleccionada y otro en el que las salidas están inhibidas a pesar de estar seleccionada.

El esquema de esta memoria es el que mostramos a continuación en el que hemos marcado en rojo la señal que controla la escritura de las palabras de 8 bits y el camino que siguen estas palabras desde las entradas ($I/O_0, \dots, I/O_7$) hasta los “Buffers de Entrada”. Así mismo, hemos marcado en azul el control y el camino seguido por los datos contenidos en la memoria para su lectura a través de los Amplificadores Sensores hasta la salida ($I/O_0, \dots, I/O_7$) y en verde el control del circuito de Bajo Consumo.

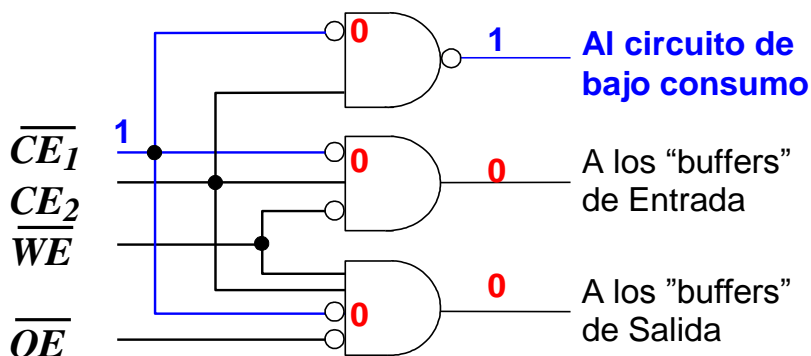


El circuito de control está formado por las tres puertas situadas en la esquina inferior izquierda que hemos marcado en colores y que vamos a analizar para ver cómo actúan

sobre los “buffers drivers” de entrada y salida de datos. La tabla de verdad del funcionamiento de este circuito se encuentra en el texto.

Como podemos ver posee 4 entradas: \overline{CE}_1 , CE_2 , \overline{WE} y \overline{OE} . Las dos primeras son para la facilitación del circuito y las otras dos para la escritura y lectura. También posee 3 salidas, una que controla un circuito de bajo consumo y las otras dos que habilitan/inhiben a los bloques de 8 “buffers drivers” de entrada/salida de datos. Veamos su funcionamiento cuando se van presentando todas y cada una de las configuraciones de estas variables de entrada.

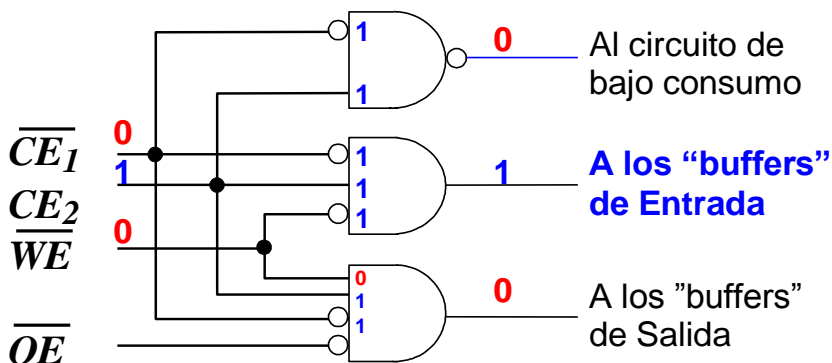
Supongamos que $\overline{CE}_1 = 1$, como esta señal entra en las tres puertas y en las tres está invertida, equivale a que la señal que entra en cada puerta es “0”. Por tanto, en la salida de la puerta NAND tendremos un “1” y en las salidas de las dos puertas AND un “0”, con independencia del valor de las otras entradas de control, como mostramos en la siguiente figura.



Esto hace que se active el circuito de **bajo consumo**, mientras que las señales de control de los “buffers drivers” están a “0” por lo que estos están inhibidos y sus salidas presentan alta impedancia.

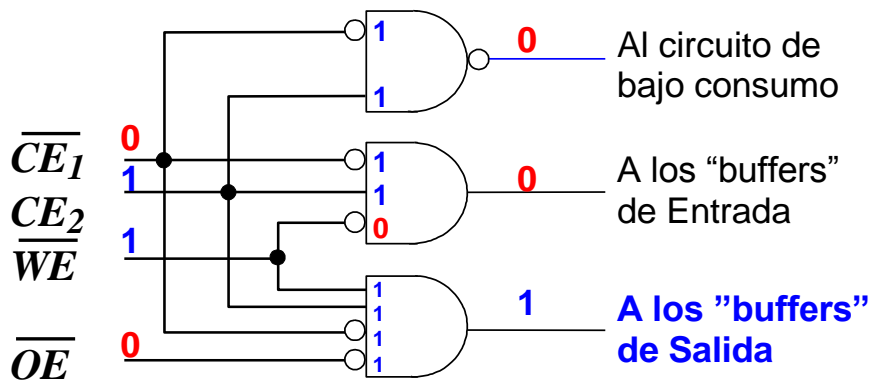
Si $CE_2 = 0$ las salidas de las tres puertas son las mismas que en el caso anterior y la memoria está en el **modo de bajo consumo**, presentando en las salidas de los “buffers drivers” alta impedancia.

Si $\overline{CE}_1 = 0$, $CE_2 = 1$ y $\overline{WE} = 0$, la salida de la puerta NAND es “0” por lo que el circuito de bajo consumo está inhibido y las salidas de las puertas AND son las que se muestran en la figura.



Ahora, están habilitados los “buffers drivers” de entrada, mientras que los de salida están inhibidos y presentan alta impedancia. Por tanto, la memoria está en el *modo de escritura* lo que supone que los 8 valores que en ese momento están en las 8 líneas de entrada, I/O_0 a I/O_7 , pasan a las 8 celdas situadas en las 8 celdas de cruce de la fila seleccionada mediante la palabra $A_0...A_8$ y en la columna seleccionada con la palabra $A_9...A_{16}$.

Si $\overline{CE}_1 = 0$, $CE_2 = 1$, $\overline{WE} = 1$ y $\overline{OE} = 0$ las dos puertas de arriba están a “0” y la inferior está en “1” por lo que ahora son los “buffers drivers” de salida los que están activados por lo que en las salidas $I/O_0, \dots, I/O_7$ aparece la palabra de 8 bits contenida en las celdas de cruce de la fila y la columna direccionada por la palabra A_i .

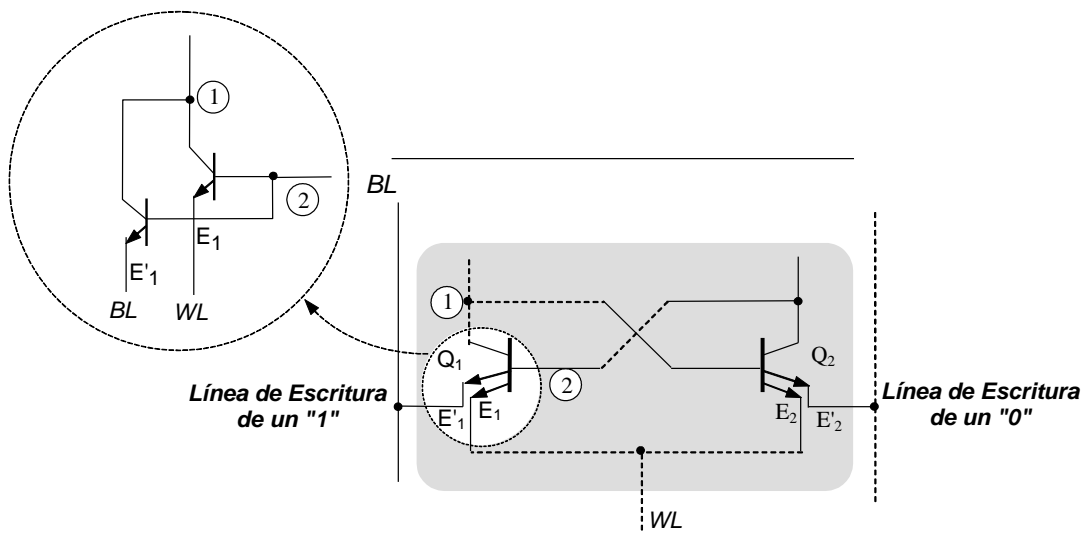


Cuando $\overline{CE}_1 = 0$, $CE_2 = 1$, $\overline{WE} = 1$ y $\overline{OE} = 1$ las salidas de las tres puertas están a “0”, por lo que todo está inhibido, todos los “Buffers Drivers” presentan alta impedancia a pesar de que la memoria está seleccionada y consume energía.



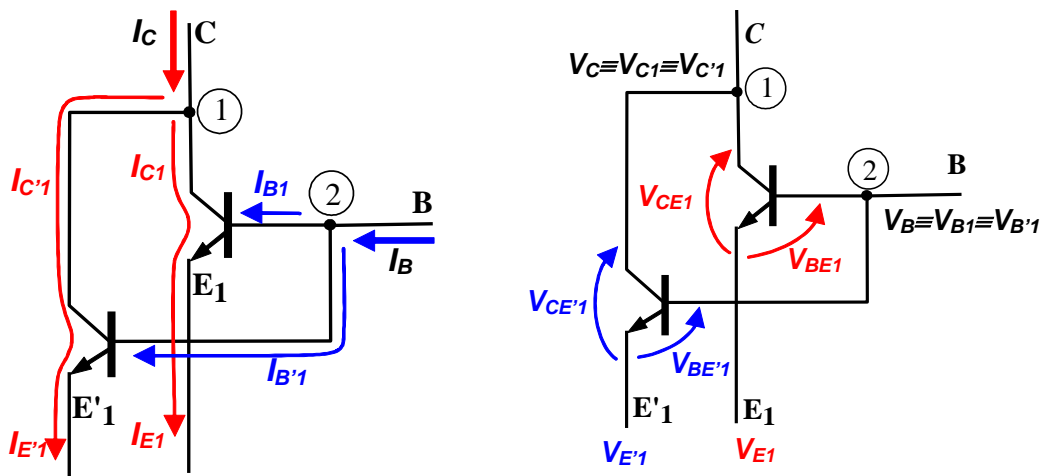
P.8.3: ¿Cómo funciona el transistor multiemisor NPN de entrada de la celda RAM estática?

R.8.3: En la figura presentamos el esquema equivalente de un transistor multiemisor mediante dos transistores.



Observemos como el transistor multiemisor lo podemos considerar como un transistor compuesto por dos transistores en los que al tener unidas las Bases y los Colectores resulta que las corrientes de base del transistor compuesto multiemisor es la suma de las corrientes de base de cada uno de los transistores que lo componen y lo mismo ocurre con las corrientes de colector, mientras que las corrientes de emisor son independientes y, por tanto, dependen del estado en el que se encuentre cada transistor.

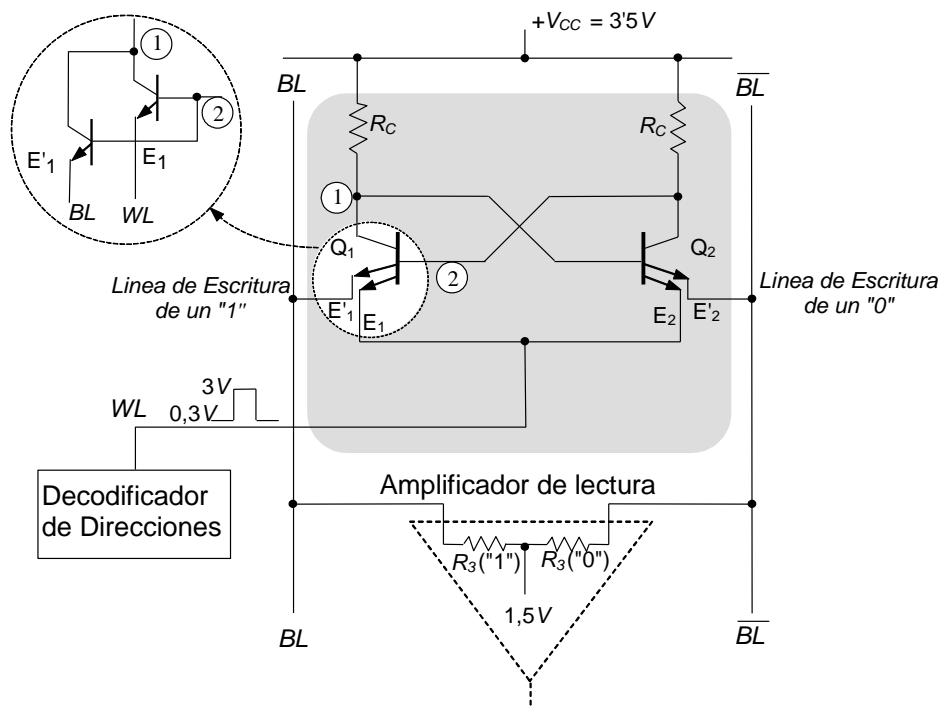
Análogamente, el potencial de las Bases y de los Colectores son los mismos para ambos lo que supone que la diferencia de potencial Colector-Base también coinciden en ambos, pero la diferencia de potencial Base-Emisor y Colector-Emisor depende del potencial al que se encuentre cada uno de los Emisores



P.8.4: ¿Cómo funciona la celda de memoria RAM estática (SRAM) de la figura 11.9 del texto base?

R.8.4: Para entender el funcionamiento de esta celda SRAM en tecnología bipolar hay que recordar el funcionamiento del transistor bipolar NPN (puede verse un resumen en las P+F del tema 7).

El funcionamiento de la celda SRAM, cuyo esquema se presenta a continuación, es el siguiente:



- a) **Direccionamiento:** Cada celda almacena un bit. Tanto si se quiere leer como si se quiere escribir en una celda determinada hay que direccionarla a través de la línea de palabra, WL . Así, para leer y para escribir en una celda hay que mantener WL a $3V$ durante el tiempo que dura la escritura o la lectura de dicha celda. Esto hace que en los transistores Q_1 y Q_2 se verifique que V_B es menor que V_E y, por tanto, los transistores correspondientes a los emisores E_1 y E_2 , que están unidos a WL , están cortados, no conducen y presentan alta impedancia lo que hace que la otra parte del transistor multiemisor, la correspondiente a los emisores E'_1 y E'_2 , respondan a las condiciones de escritura o lectura.

Cuando la celda no está direccionada, porque no estamos ni escribiendo ni leyendo en ella, WL se mantiene a $0,3V$. Esto hace que esta parte del transistor multiemisor pase a conducción o corte en función de si en la celda se ha escrito un "1" o un "0".

- b) **Escritura y Lectura:** Veamos la forma de escribir y de leer en dicha celda. En ambos casos suponemos que previamente ha sido direccionada ($WL=3V$).

b.1) **Escritura.** En cada celda de memoria se puede escribir un "1" o un "0".

b.1.1) **Escribir "1":** Para escribir un "1" tenemos que poner $BL = 0V$ y $\overline{BL} = 3,5V$

Cuando $BL = 0V$, hacemos que en el transistor Q_1 la V_B sea mayor que la $V_{E'_1}$ y, por tanto, si el transistor Q_1 estaba conduciendo sigue *conduciendo* y si estaba cortado pasa a *conducción*. Como los transistores tienen las Bases y los Colectores cruzados, la tensión del punto (1) que es el Colector de Q_1 es la misma que la de la Base de Q_2 y, además, hemos hecho que el transistor Q_1 conduzca, por lo que entre su Colector, el punto (1), y su Emisor E'_1 cae muy poca tensión, podemos considerar que es "casi" un cortocircuito, por tanto, la tensión del punto (1) es, aproximadamente, $0V$.

Como a la vez estamos poniendo $\overline{BL} = 3,5V$, si analizamos el otro lado del circuito vemos que el transistor Q_2 tiene su Base a $0V$ (punto (1)) y su Emisor E'_2 a $3,5V$, luego en el transistor Q_2 se verifica que su V_B es menor que su $V_{E'_2}$ por los que Q_2 pasa a estar *cortado* con independencia de su estado anterior.

Por tanto, **Q_1 conduce y Q_2 está cortado**. Como por convenio decimos que tenemos grabado un "1" cuando Q_1 conduce (lógicamente, por la propia estructura del circuito, Q_2 debe estar cortado), el resultado es que hemos **escrito un "1"**

b.1.2) **Escribir "0"**: hay que poner $BL = 3,5V$ y $\overline{BL} = 0V$.

Si forzamos a que BL esté a $3,5V$, esto hace que la V_B de Q_1 sea menor que su $V_{E'_1}$ y, por tanto, el transistor Q_1 se *corta* con independencia del estado anterior, presentando muy alta impedancia entre su Colector y su Emisor.

Como a la vez estamos poniendo $\overline{BL} = 0V$, el transistor Q_2 tiene su Base aproximadamente a $3,5V$ (punto (1)) y su Emisor E'_2 a $\overline{BL} = 0V$, luego la V_B del transistor Q_2 es mayor la $V_{E'_2}$, por los que Q_2 pasa a conducción, con independencia de su estado anterior.

Por tanto, **Q_1 está cortado y Q_2 conduce**. Como por convenio decimos que tenemos grabado un "1" cuando Q_1 conduce, tendremos grabado un "0" cuando Q_1 esté cortado. Luego el resultado es que hemos **escrito un "0"**

b.2) **Lectura**: De nuevo, hay que distinguir entre leer un "1" y leer un "0".

Ahora no tenemos que poner ninguna tensión externa, como hemos hecho anteriormente para escribir o grabar la celda de memoria, sino que nos limitamos a ver, a leer, los valores en BL y \overline{BL} mediante la detección de un pulso que se genera como consecuencia de la corriente que circula por las resistencias del amplificador de lectura, $R_3("1")$ y $R_3("0")$.

Primero deberemos seleccionar la celda. Para ello $WL=3V$ y por tanto los Emisores E_1 de Q_1 y E_2 de Q_2 dejan de conducir, por lo que el estado del transistor en corte o en conducción depende de cómo estén los otros Emisores, E'_1 y E'_2 .

b.2.1) **Leer "1"**: Si tenemos escrito "1", el transistor Q_1 está conduciendo y entre su Colector y su Emisor circula una corriente que al pasar por la resistencia $R_3("1")$ produce una diferencia de potencial entre sus extremos. Por tanto aparece un pulso en la resistencia de lectura de "1", $R_3("1")$. Por la línea \overline{BL} no circula corriente porque el transistor Q_2 está cortado, presenta alta impedancia y la tensión cae toda entre su Colector y Emisor, por lo que no circula corriente por la resistencia de lectura de "0", $R_3("0")$, y no cae ningún potencial entre sus extremos.

b.2.2) **Leer "0"**: Todo el proceso es análogo, sólo que ahora Q_2 está conduciendo y Q_1 está cortado.



P.8.5: ¿Cómo es la Escritura y Lectura de la celda de Memoria CMOS?

R.8.5: Veamos cómo funcionan las celdas de memoria en tecnología MOS complementaria (CMOS) y la forma de escribir y leer un “0” y un “1”.

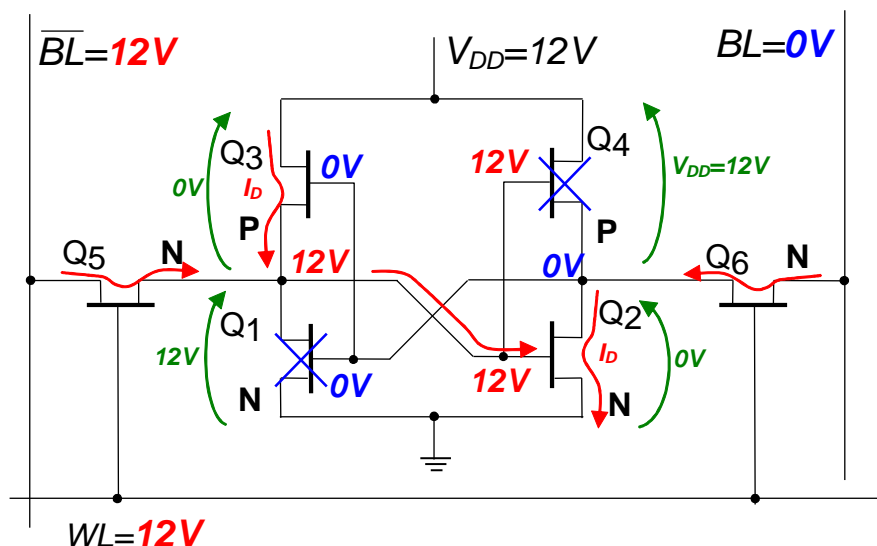
1) Escritura de un “0”

Para escribir un “0” en una celda de memoria CMOS primero debemos seleccionar la celda para lo cual deberemos poner 12V en la línea WL. Esto supone que los transistores Q₅ y Q₆ conducen ya que son de canal N.

Como queremos escribir un “0” pondremos 0V en BL y 12V en \overline{BL} . Así, los 0V de BL pasan a través del canal creado en Q₆, que ha pasado a conducción, al punto de unión del Drenador de Q₂, de la Fuente de Q₄ y de las Puertas de Q₁ y Q₂. Análogamente, los 12V de \overline{BL} pasan a través del canal creado en Q₅ al punto de unión del Drenador de Q₁, de la Fuente de Q₃ y de las Puertas de Q₂ y Q₄. Como Q₁ es de canal N, los 0V en su Puerta hacen que no conduzca, que pase al estado de corte, presente alta impedancia y, por tanto, entre sus terminales de Drenador y Fuente existe una diferencia de potencial de, aproximadamente, los 12V de la fuente de alimentación. Sin embargo, como Q₃ es un transistor de canal P, los 0V de su Puerta hacen que pase a conducción, presente muy baja impedancia entre sus terminales de Drenador y Fuente, prácticamente equivale a un cortocircuito, por lo que la Puerta de Q₂ y la de Q₄ están a 12V lo que hace que Q₂ (canal N) conduzca y Q₄ (canal P) esté cortado. Si Q₂ conduce, equivale a un cortocircuito y su Drenador estará a 0V, mientras que Q₄ presenta alta impedancia y entre su Drenador y Fuente caen, prácticamente, los 12V de la alimentación.

Como podemos ver hemos llegado a un estado estable.

En la siguiente figura mostramos la celda con los valores de tensión y las corrientes que circulan por los transistores cuando se está escribiendo un “0”.



En el siguiente cuadro resumimos dicho funcionamiento.

Escribir un "0" : tenemos que hacer que **Q1 no conduzca**:

- 1º: Hay que direccionar la celda: **Ponemos $WL=12V$**
 En la puerta de **Q₅** (canal N) hay un "1", **Q₅ conducen**
 En la puerta de **Q₆** (canal N) hay un "1", **Q₆ conducen**
- 2º: **Ponemos en BL un "0" (0 V) y en \overline{BL} un "1" (12V)**
- 3º: En la Puerta de **Q₁** (canal N) hay un "0" → **Q₁ no conduce**
 En la Puerta de **Q₂** (canal N) hay un "1" → **Q₂ conduce**
- 4º: En la Puerta de **Q₃** (canal P) hay un "0" → **Q₃ conduce**
 En la Puerta de **Q₄** (canal P) hay un "1" → **Q₄ no conduce.**

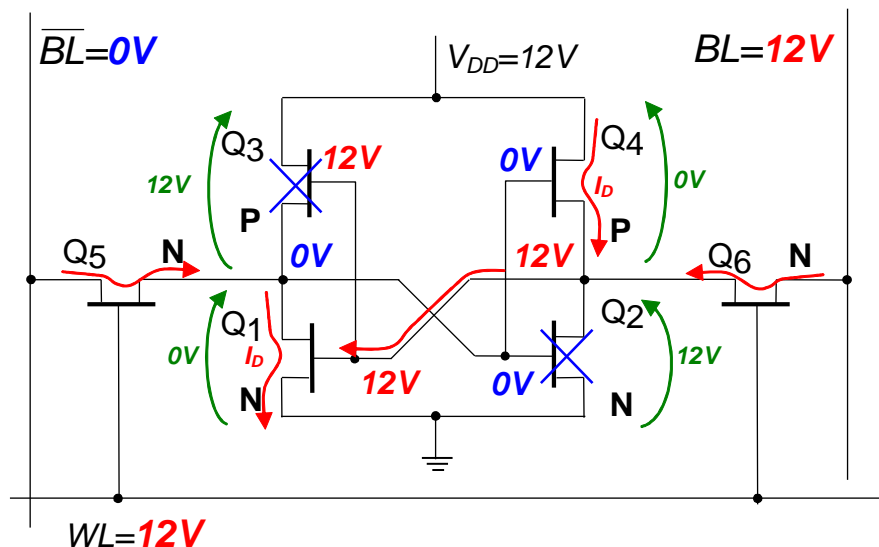
2) Escritura de un "1" :

Para escribir un "1" todo ocurre de forma análoga a lo que hemos explicado anteriormente y lo podemos resumir en los siguientes puntos:

Escribir un "1" : tenemos que hacer que **Q1 conduzca**:

- 1º: Hay que direccionar la celda: **Ponemos $WL=12V$**
 En la puerta de **Q₅** (canal N) hay un "1", **Q₅ conducen**
 En la puerta de **Q₆** (canal N) hay un "1", **Q₆ conducen**
- 2º: **Ponemos en BL un "1" (12V) y en \overline{BL} un "0" (0V)**
- 3º: En la Puerta de **Q₁** (canal N) hay un "1" → **Q₁ conduce**
 En la Puerta de **Q₂** (canal N) hay un "0" → **Q₂ no conduce**
- 4º: En la Puerta de **Q₃** (canal P) hay un "1" → **Q₃ no conduce**
 En la Puerta de **Q₄** (canal P) hay un "0" → **Q₄ conduce.**

En la siguiente figura resumimos el comportamiento de dicha celda para la escritura de un "1".



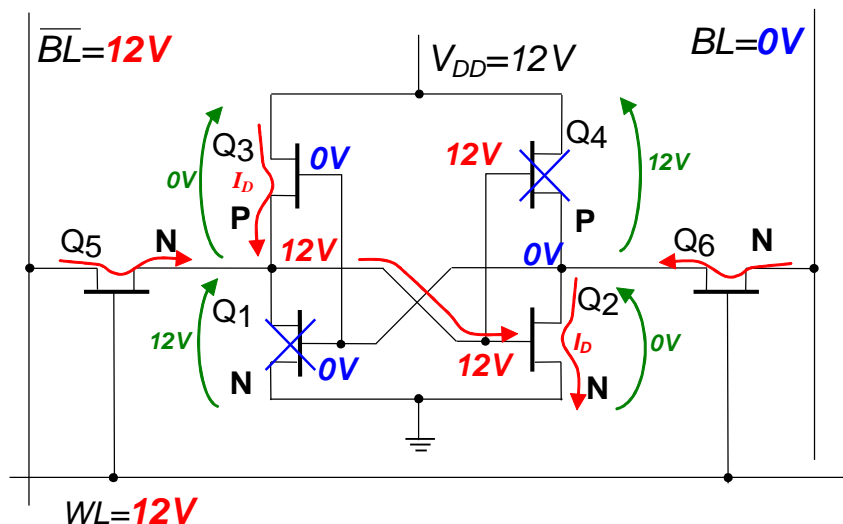
A continuación resumimos los procesos de lectura

3) Lectura de un "0"

Leer un "0" :

- 1º: Hay que direccionar la celda: Ponemos $WL=12V$
 En la puerta de Q_5 (canal N) hay un "1", Q_5 conducen
 En la puerta de Q_6 (canal N) hay un "1", Q_6 conducen
- 2º: Hay almacenado un "0": Q_1 no conduce \rightarrow Q_2 conduce
- 3º: En el Drenador de $Q_2 \equiv$ Puerta de Q_1 hay un "0" \rightarrow En \underline{BL} sentimos un "0"
 En el Drenador de $Q_1 \equiv$ Puerta de Q_2 hay un "1" \rightarrow En \underline{BL} sentimos un "1"
- 4º: En la Puerta de Q_3 (canal P) hay un "0" \rightarrow Q_3 conduce
 En la Puerta de Q_4 (canal P) hay un "1" \rightarrow Q_4 no conduce.

En la siguiente figura resumimos el comportamiento de dicha celda para la lectura de un "0".

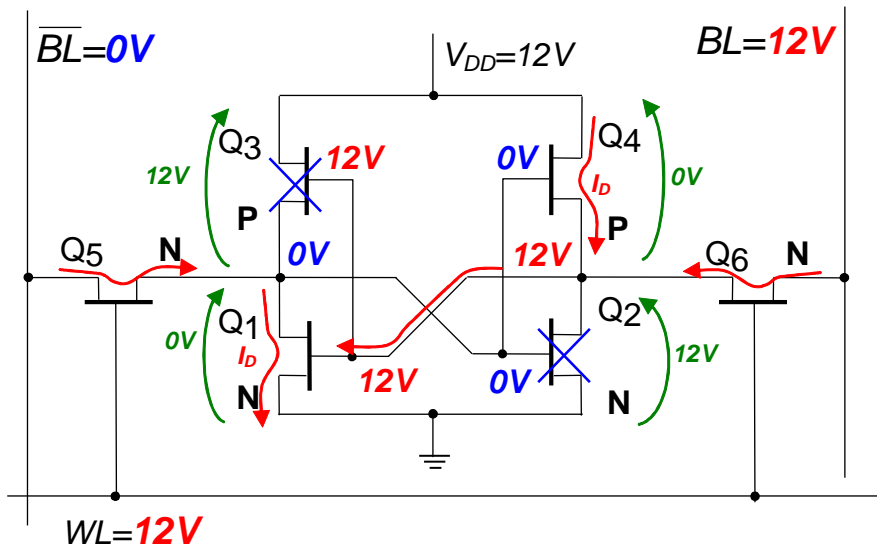


4) Lectura de un "1"

Leer un "1" :

- 1º: Hay que direccionar la celda: Ponemos $WL=12V$
 En la puerta de Q_5 (canal N) hay un "1", Q_5 conducen
 En la puerta de Q_6 (canal N) hay un "1", Q_6 conducen
- 2º: Hay almacenado un "1": Q_1 conduce \rightarrow Q_2 no conduce
- 3º: En el Drenador de $Q_1 \equiv$ Puerta de Q_2 hay un "0" \rightarrow En \overline{BL} sentimos un "0"
 En el Drenador de $Q_2 \equiv$ Puerta de Q_1 hay un "1" \rightarrow En \underline{BL} sentimos un "1"
- 4º: En la Puerta de Q_3 (canal P) hay un "1" \rightarrow Q_3 no conduce
 En la Puerta de Q_4 (canal P) hay un "0" \rightarrow Q_4 conduce.

En la siguiente figura resumimos el comportamiento de dicha celda para la lectura de un "1".



P.8.6: ¿Cómo es la Escritura y Lectura de la celda de Memoria NMOS de la figura 11.12 del texto base?

R.8.6: El funcionamiento es análogo y los pasos a seguir para su análisis son los mismos. La única diferencia es que los transistores de carga, Q₃ y Q₄, son canal N, tienen sus Puertas unidas entre sí y, además, están conectadas a la alimentación.

Esto supone que cuando Q₁ conduce (escritura y lectura de un "1"), su Drenador (punto A de la figura) está a "0" y entre Puerta y Fuente de Q₃ (canal N) hay una tensión mayor que la tensión umbral necesaria para que un transistor canal N conduzca, por lo que Q₃ conduce. Sin embargo, como Q₂ no conduce, el punto B está aproximadamente a 12V con lo que la tensión entre Puerta y Fuente del transistor Q₄ (canal N) es prácticamente nula, lo que hace que Q₄ esté cortado.

De forma análoga razonaremos para el caso de escritura y lectura de un "0"



P.8.7: ¿Podrían explicar cómo se realiza la comparación en la celda CMOS de la figura 11.27 del texto base?

R.8.7: El funcionamiento de la celda de memoria CMOS ya lo conocemos por lo tanto vamos a centrarnos en el proceso de comparación.

Supongamos que tenemos en esta celda almacenado un "1". Esto supone, como ya sabemos que Q₁ y Q₄ conducen y que Q₂ y Q₃ no conducen y presentan alta impedancia. Si la celda no está seleccionada (WL=0) los transistores Q₅ y Q₆ están cortados y también presentan alta impedancia. Por tanto, la celda está aislada y no se ve afectada por los valores que pongamos en las líneas BL y BL-bar que vamos a usar ahora para poner los bits de comparación.

Para establecer la comparación, la línea de MATCH se precarga a "1", en la línea de bit BL se pone el bit con el que se quiere comparar y en la otra línea de bit \overline{BL} se pone el complementario, como siempre.

Veamos cómo se realiza la comparación con "1" y con "0".

Comparación con "1" cuando hay almacenado un "1": Se pone BL a "1" y \overline{BL} a "0". Esto supone que la puerta del transistor canal N, Q_{10} , está a "1", por lo que este transistor canal N conduce. Por otra parte, el transistor Q_8 (canal N) en su puerta tiene "0" al igual que Q_2 y Q_4 , por lo tanto Q_8 no conduce y presenta alta impedancia. Por tanto, la rama Q_{10} - Q_8 no conduce.

Pasemos ahora al otro lado. Aquí tenemos $\overline{BL}=0$, por lo tanto, Q_9 (canal N) está cortado, (presenta alta impedancia) y la pareja Q_7 - Q_9 no conduce aunque Q_7 tenga un "1" en su puerta, ya que toda la tensión cae entre drenador y fuente de Q_9 y la corriente de drenador de Q_7 es prácticamente nula.

Como ninguna de las dos ramas conducen, la línea de MATCH permanecerá a "1", lo que se interpreta como que el resultado de la comparación es que ambos bits, comparando y comparador, coinciden.

Comparación con "0" cuando hay almacenado un "1": Se pone BL a "0" y \overline{BL} a "1". Esto supone que la puerta de Q_{10} está a "0", luego este transistor está cortado y presenta alta impedancia. Por otra parte, el transistor Q_8 (canal N) en su puerta tiene "0" al igual que Q_2 y Q_4 , por lo tanto Q_8 no conduce (está cortado) y presenta alta impedancia.

Pasemos ahora al otro lado. Aquí tenemos $\overline{BL}=1$, por lo tanto, Q_9 conduce y Q_7 también conduce porque los dos tienen un "1" en sus puertas. Luego la pareja Q_7 - Q_9 conduce creando un cortocircuito y pasando a la línea de MATCH a "0". Esto se interpreta como que el resultado de la comparación es que ambos bits, comparando y comparador, no coinciden.

Como a esta línea de MATCH van unidas todas las celdas de los bits de una palabra, en el momento que se produzca un cortocircuito como consecuencia de que un bit de la palabra del comparador y del comparando no coincide la línea de MATCH pasa a "0" y el resultado es que ambas palabras no coinciden. Análogamente, si no hay ningún cortocircuito, la línea de MATCH permanece en "1" tras la comparación y se interpreta como que ambas palabras coinciden.

El caso de tener almacenado un "0" y realizar la comparación con "1" y con "0" lo dejo para que resolváis vosotros

