

**Arquitectura e Ingeniería de Computadores. Examen Parcial (Teoría). 9/02/2010**

**Instrucciones.-** Cada pregunta consta de cinco respuestas, y cada una de las respuestas puede ser cierta o falsa. Marque con un aspa las respuestas que considere ciertas y deje en blanco las que considere falsas. Si considera que alguna respuesta es ambigua y, por tanto, podría considerarse cierta o falsa en función de la interpretación, ponga una llamada y explique sus argumentos al dorso de la hoja.  
**No se permite la utilización de calculadora.**

**Puntuación.-** Pregunta con todas las respuestas acertadas: 1 punto. Pregunta con un fallo: 0,6 puntos. Pregunta dos fallos 0,2 puntos. Pregunta con más de dos fallos 0 puntos. La teoría supone la mitad de la nota del examen.

**1.** Un DLX segmentado en 5 etapas ejecuta un programa compuesto por  $10^8$  instrucciones invirtiendo un promedio de 3 ciclos de reloj por instrucción. El programa contiene  $10^7$  instrucciones de punto flotante. El período de reloj es 1/3 ns. Marque cuáles de las siguientes afirmaciones son correctas.

- a) El tiempo de ejecución del programa es 1 décima de segundo.
- b) La duración media de una instrucción es 3 ns.
- c) El rendimiento es 100 MFLOPS
- d) Si sabemos que la penalización media por cada instrucción entera es de 1,5 ciclos de reloj, entonces podemos concluir que la penalización media por cada instrucción de punto flotante es 4,5 ciclos de reloj.
- e) Si duplicamos la frecuencia de reloj, entonces el rendimiento es de 200 MFLOPS.

**2.** Supongamos una Unidad de Ejecución que utiliza el algoritmo de Tomasulo (sin especulación) para la planificación dinámica de instrucciones. Supongamos que la máquina tiene: 8 load buffers, 4 store buffers, 6 estaciones de reserva para la suma, 3 estaciones de reserva para el producto y 64 registros de punto flotante. Marque cuáles de las siguientes afirmaciones son correctas

- a) El campo TAG debe tener una anchura mínima de 5 bits.
- b) Cada store buffer está compuesto de los siguientes campos: (Ocupado, TAG, Dirección, Valor)
- c) Las instrucciones pueden finalizar su ejecución en desorden.
- d) Para realizar la fase ISSUE de una instrucción de la forma  

$$\text{ADDD F2, F4, F6}$$
es preciso verificar que se cumplen las dos siguientes condiciones:
  1. Existe una estación de reserva de la suma que está libre, y
  2. El campo TAG del registro F2 contiene el valor "nulo".
- e) El hardware de la máquina permite el desarrollo de bucles en tiempo de ejecución.

**3.** Supongamos una Unidad de Ejecución que utiliza el algoritmo de Tomasulo con especulación basada en el uso del buffer de reordenamiento (ROB). Marque cuáles de las siguientes afirmaciones son correctas.

- a) Durante la fase WRITE los resultados de las instrucciones se escriben en el ROB.
- b) Las instrucciones de un programa pueden realizar la fase WRITE en desorden.
- c) Una instrucción del tipo  

$$\text{LD F2, 0(R4)}$$
realiza el acceso a memoria para leer el dato cuando alcanza la cabecera del ROB.
- d) Cada entrada del ROB está compuesta por los siguientes campos: (Destino, Valor, Tipo y Listo).
- e) Los datos que se transmiten a través del Bus de Datos Común (CDB) van acompañados por el número de la estación de reserva de la que provienen.

**4.** Marque cuáles de las siguientes afirmaciones sobre multithreading son correctas:

- a) La arquitectura Niagara (UltraSparc T1) puede realizar una conmutación de thread en cada ciclo de reloj.
- b) En multithreading simultáneo es posible lanzar a ejecución en cada ciclo de reloj instrucciones pertenecientes a varios threads.
- c) En los procesadores con multithreading de grano fino existe una cache de instrucciones para cada thread.
- d) El procesador Itanium 2 9000 (Montecito) es un ejemplo de multithreading simultáneo.
- e) Cada thread puede ser parte de un programa paralelo de múltiples procesos, o un programa independiente.

**5.** Supongamos un sistema con memoria virtual que maneja páginas de 32K bytes. Cada byte de la memoria es direccionable individualmente. El procesador genera direcciones virtuales de 44 bits. Las direcciones físicas son de 36 bits. La jerarquía de memoria tiene las siguientes características:  
- Nivel 1 (I-cache): emplazamiento directo, virtualmente accedida físicamente marcada, de tamaño máximo. Anchura del "índice cache": 8 bits.  
- Nivel 1 (D-cache): emplazamiento asociativo por conjuntos con 4 vías, virtualmente accedida físicamente marcada, de tamaño máximo. Anchura del "índice cache": 8 bits.  
- Nivel 2 (cache unificada): emplazamiento directo, accedida con direcciones físicas, con un tamaño de 2 Mbytes.  
- Tamaño de bloque de cache: es siempre 128 bytes.

Marque cuáles de las siguientes afirmaciones son correctas:

- a) El tamaño de la I-cache del nivel 1 es 64 Kbytes.
- b) El tamaño de la D-cache del nivel 1 es 128 Kbytes
- c) El campo TAG en el directorio de la I-cache del nivel 1 tiene una anchura de 21 bits.
- d) El campo de TAG en el directorio de la D-cache del nivel 1 tiene una anchura de 21 bits.
- e) El campo de TAG en el directorio de la cache de nivel 2 tiene una anchura de 14 bits.