

**Arquitectura e Ingeniería de Computadores. Examen Parcial (Problemas). 8/02/2011**

Nombre-----Grupo-----

1) Sea un procesador segmentado con planificación dinámica mediante el algoritmo de Tomasulo sin especulación. El procesador tiene las siguientes características:

- Los datos que se escriben en la etapa de escritura no se pueden usar en la etapa de ejecución de una instrucción dependiente hasta el ciclo siguiente.
- Las instrucciones de load y store tienen una latencia de 3 ciclos y cada una de ellas utiliza su propia unidad funcional para su ejecución.
- Existe un único bus común de datos (CDB).
- Se dispone de las siguientes unidades funcionales, estaciones de reserva, buffers de load (LB) y buffers de store (SB):

UF	Cantidad	Latencia	Segmentación
FP ADDD	1	4	Sí
FP DIVD	1	8	No
LOAD	1	3	No
STORE	1	3	No
INT ALU	1	1	No

Estaciones de reserva /LB /SB	Cantidad
FP ADDD	3
FP DIVD	2
LOAD	1
STORE	2

a) Para el siguiente código mostrar en qué ciclo o ciclos se llevan a cabo cada una de las tres fases del algoritmo de Tomasulo para cada instrucción, indicando también en cada caso el tipo de parada que se produce. (2.5 pts)

	Instrucción	ISSUE	EJECUCIÓN	ESCRITURA
1	<b>ADDD F0,F2,F4</b>			
2	<b>DIVD F2,F0,F6</b>			
3	<b>ADDD F4,F8,F6</b>			
4	<b>ADDD F6,F0,F0</b>			
5	<b>SD 0(R3),F4</b>			
6	<b>ADDD F2,F4,F4</b>			
7	<b>SD 0(R5),F2</b>			
8	<b>DIVD F0,F2,F0</b>			
9	<b>ADDD F6,F4,F6</b>			
10	<b>SD 0(R3),F0</b>			
11	<b>SD 0(R5),F6</b>			
12	<b>LD F6, 0(R2)</b>			
13	<b>DIVD F2,F0,F0</b>			
14	<b>SUBI R2,R2,#1</b>			
15	<b>LD F0, 0(R2)</b>			

b) ¿Variarían los ciclos en los que se realiza la fase de ejecución de la instrucción 3 en caso de que la unidad funcional de suma en punto flotante fuese no segmentada? En caso afirmativo indicar cuáles serían los nuevos ciclos de la fase de ejecución de dicha instrucción.

¿Variarían los ciclos en los que se realiza la fase de ejecución de la instrucción 3 (nuevamente respecto al apartado a) en caso de que dispusiésemos de dos

unidades funcionales de suma en punto flotante que fuesen segmentadas? En caso afirmativo indicar cuáles serían los nuevos ciclos de la fase de ejecución de dicha instrucción. **(0.5 ptos)**

- c) Entre las instrucciones 2 y 6 existe una dependencia EDE. ¿Cómo la resuelve Tomasulo? ¿Qué sucede en la fase de escritura de la instrucción 2? **(0.5 ptos)**
- d) Indicar el estado de las estaciones de reserva, buffers de loads, buffers de stores y banco de registros en punto flotante en el ciclo 5. **(1.5 ptos)**

**2)** Sea un sistema con las siguientes características:

Un procesador con:

- CPI con un sistema perfecto de memoria de 1,8
- 35 % de las instrucciones de acceso a memoria

Una Cache:

- 64 KB
- Unificada
- Emplazamiento directo, postescritura, bit sucio y asignación en escritura
- Líneas de 8 bytes
- 25% de las líneas modificadas
- Tasa de fallos =0,021
- Virtualmente accedida, físicamente marcada

Memoria principal:

- Latencia de 60 ciclos
- Tasa de transferencia de bloques: 4 bytes/ciclo

TLB :

- Tasas de fallos 0,03
- Penalización por fallo de 7 ciclos

a) Calcular el CPI real. **(3.5 ptos)**

b) Suponer que al sistema anterior se le añade una cache de segundo nivel (L2) con las siguientes características:

- 1MB
- Unificada
- Asociativa por conjuntos E=2, escritura directa sin asignación en escritura
- La latencia de acceso a L2 son 20 ciclos.
- Líneas de 64 bytes
- Tasa de transferencia con MP: 16 bytes/ciclo
- Tasa de transferencia de bloques con L1: 4 bytes/ciclo
- Tasa de fallos local 0,2
- De las instrucciones que llegan a L2 el 80% son de lectura y el 20% de escritura

Suponiendo el acceso a las caches con direcciones virtuales, y que los valores de la tasa de fallos y la penalización del TLB son los mismos, calcular el nuevo CPI e indicar cuál de las dos organizaciones es mejor. **(1.5 ptos)**



## Solución

a)

	Instrucción	ISSUE	EJECUCIÓN	ESCRITURA
1	<b>ADDD F0,F2,F4</b>	1	2-5	6
2	<b>DIVD F2,F0,F6</b>	2	7-14 <sup>LDE</sup>	15
3	<b>ADDD F4,F8,F6</b>	3	4-7	8
4	<b>ADDD F6,F0,F0</b>	4	7-10 <sup>LDE</sup>	11
5	<b>SD 0(R3),F4</b>	5	9-11 <sup>LDE</sup>	-
6	<b>ADDD F2,F4,F4</b>	7 <sup>ESTRUCT</sup>	9-12 <sup>LDE</sup>	13
7	<b>SD 0(R5),F2</b>	8	14-16 <sup>LDE</sup>	-
8	<b>DIVD F0,F2,F0</b>	9	15-22 <sup>ESTRUCT</sup>	23
9	<b>ADDD F6,F4,F6</b>	10	12-15 <sup>LDE</sup>	16
10	<b>SD 0(R3),F0</b>	12 <sup>ESTRUCT</sup>	24-26 <sup>LDE</sup>	-
11	<b>SD 0(R5),F6</b>	17 <sup>ESTRUCT</sup>	18-20	-
12	<b>LD F6 0(R2)</b>	18	19-21	22
13	<b>DIVD F2,F0,F0</b>	19	24-31 <sup>LDE</sup>	32
14	<b>SUBI R2,R2,#1</b>	20	21	24 <sup>CDB</sup>
15	<b>LD F0, 0(R2)</b>	23 <sup>ESTRUCT</sup>	25-27 <sup>LDE</sup>	28

b) Sí variarían, los nuevos ciclos serían 6-9.

No variarían.

c) Tomasulo permite que la instrucción 2 realice su fase de write después de la fase de write de la instrucción 6. Sin embargo, como en el ciclo 7 el tag del registro F2 pasa a indicar que es la suma la que debe escribir en dicho registro, en el ciclo 15 únicamente se actualizarían las estaciones de reserva que pudiesen estar a la espera del dato de la división (en este caso ninguna), pero en ningún caso se escribiría en el registro F2 en dicho ciclo 15.

d)

	Op	Busy	Vj	Vk	Qj	Qk
Suma1	Suma	Sí	[F2]	[F4]	0	0
Suma2	Suma	Sí	[F8]	[F6]	0	0
Suma3	Suma	Sí			Suma1	Suma1
Div1	División	Sí		[F6]	Suma1	0
Div2		No				

	Busy	Dir.	Qi
Store1	Sí	0+R3	Suma2
Store2	No		

	Busy	Dir.
Load1	No	

	F0	F2	F4	F6
UF	Suma1	Div1	Suma2	Suma3

2)

$$A) CPI_{REAL} = CPI_{IDEAL} + P_{MEMORIA} + P_{TLB}$$

$$1. P_{MEMORIA} = AMPI * T_{FALLOS} * P_{FALLO}$$

$$1.1. AMPI = ACCESOS_{INSTRSUCCIONES} + ACCESOS_{DATOS}$$

$$1.1.1. ACCESOS_{INSTRSUCCIONES} = 1$$

$$1.1.2. ACCESOS_{DATOS} = 0,35$$

$$AMPI = 1,35$$

$$1.2. P_{FALLO} = N^{\circ} \text{ accesos por fallo} * \text{ciclos de acceso}$$

$$1.2.1. N^{\circ} \text{ accesos por fallo:}$$

Si el bit dirty = 0 tanto para lectura como para escritura se lee un bloque de Mp

Si bit dirty = 1 tanto para lectura como para escritura se escribe y se lee un bloque en Mp

$$N^{\circ} \text{ accesos por fallo} = 0,25 * 2 + 0,75 * 1 = 1,25$$

$$1.2.2. \text{ Ciclos de acceso} = \text{latencia} + (\text{tamaño bloque} / \text{razón de transferencia}) = 60 + (8/4) = 62$$

$$P_{FALLO} = 1,25 * 62 = 77,5$$

$$P_{MEMORIA} = AMPI * T_{FALLOS} * P_{FALLO} = 1,35 * 0,021 * 77,5 = 2,19$$

$$2. P_{TLB}$$

Las direcciones son físicas por lo tanto cada vez que se genera una dirección esta tiene que pasar por la TLB

$$P_{TLB} = AMPI * T_{FALLOS\_TLB} * P_{FALLO\_TLB} = 1,35 * 0,03 * 7 = 0,28$$

Luego:

$$CPI_{REAL} = CPI_{IDEAL} + P_{MEMORIA} + P_{TLB} = 1,8 + 2,19 + 0,28 = 4,27$$

$$b) CPI_{REAL} = CPI_{IDEAL} + P_{L1} + P_{L2} + P_{TLB}$$

$$1. PL1 = AMPI * T_{FALLOS\_L1} * P_{FALLO\_L1}$$

El AMPI y la tasa de fallo es la misma de antes, cambia la penalización por fallo puesto que ahora no se accede a la MP sino a la L2

$$1.1. P_{FALLO\_L1} = N^{\circ} \text{ accesos por fallo} * \text{ciclos de acceso}$$

El número de accesos por fallo es el mismo de antes = 1,25

Los ciclos de acceso es lo que cambia

$$\text{Ciclos de acceso} = \text{latencia}_{L2} + (\text{tamaño bloque} / \text{razón de transferencia}) = 20 + (8/4) = 22$$

$$P_{FALLO\_L1} = 1,25 * 22 = 27,5$$

$$P_{L1} = AMPI * T_{FALLOS\_L1} * P_{FALLO\_L1} = 1,35 * 0,021 * 27,5 = 0,77$$

$$2. PL2 = AMPI * T_{FALLOS\_L1} * T_{FALLOS\_L2} ( T_{escritura\_L2} * P_{FALLO\_escritura\_L2} + T_{lectura\_L2} * P_{FALLO\_lectura\_L2} )$$

$$T_{escritura\_L2} = 0,2$$

$$T_{lectura\_L2} = 0,8$$

Los números de acceso por fallo cambian porque ha cambiado la organización. ahora es escritura directa sin asignación

Fallo de escritura --> 1 palabra a Mp

Fallo de lectura --> 1 línea de Mp

Supongo que el tiempo necesario para escribir un dato en Mp es la latencia

$$P_{\text{FALLO\_escritura\_L2}} = N^{\circ}\text{accesos\_MP} * \text{ciclos de acceso\_MP} = 1 \times 60 = 60$$

$$P_{\text{FALLO\_lectura\_L2}} = 1 \times (60 + 64/16) = 64$$

$$\text{Luego } P_{L2} = 1,35 \times 0,021 \times 0,2(0,2 \times 60 + 0,8 \times 64) = 0,35$$

$$\begin{aligned} 3. \text{ PTLB} &= \text{AMPI} * \text{T}_{\text{FALLOS\_L1}} * \text{T}_{\text{FALLOS\_L2}} * \text{T}_{\text{FALLOS\_TLB}} * \text{P}_{\text{FALLO\_TLB}} \\ &= 1,35 \times 0,021 \times 0,2 \times 0,03 \times 7 = 0,0012 \end{aligned}$$

$$\text{CPI}_{\text{REAL}} = \text{CPI}_{\text{IDEAL}} + P_{L1} + P_{L2} + P_{\text{TLB}} = 1,8 + 0,77 + 0,35 + 0,0012 = 2,9212$$

NOTA: HE SUPUESTO QUE LAS LOS ACIERTOS EN ESCRITURA EN L2 NO PENALIZAN