

Apellidos _____ Nombre _____

Arquitectura de Computadores. Examen final 4/02/2014. Teoría.

Puntuación. Cada apartado vale un punto.

1. Para ejecutar el programa P un procesador invierte un promedio de 2 ciclos de reloj por instrucción. El 10% de las instrucciones son de punto flotante.

a) Si los cálculos enteros consumen el 60% del tiempo de ejecución, calcula los ciclos de reloj en promedio consumidos por cada instrucción de PF.

b) En el mismo supuesto del apartado anterior, supongamos que mejoramos el hardware de PF de tal manera que las instrucciones de PF reducen su tiempo de ejecución a una cuarta parte ¿Cuál es el Speedup?

a)

b)

2. En una arquitectura con planificación dinámica de instrucciones que utiliza el algoritmo de Tomasulo sin especulación, explica razonadamente las operaciones que se realizan al ejecutar la fase WRITE de una instrucción de la forma: ADDD F4, F2, F0

3. Supongamos la arquitectura básica del DLX, segmentado en 5 etapas, que tiene una Branch Target Address Cache (BTAC) en la etapa IF, con 16K entradas y emplazamiento directo. La anchura del PC es 32

bits. Los saltos se resuelven en la etapa DE. Cuando se realiza la etapa IF de una instrucción que está almacenada en la dirección X de memoria, describe detalladamente cómo se accede a la BTAC, y cómo se determina si la instrucción se encuentra o no registrada en la BTAC como una instrucción de salto.

4. Describe brevemente en qué consiste y cuáles son las principales características del multithreading de grano fino. Explica sus principales ventajas y desventajas. Cita un ejemplo de procesador que lo implemente.

5. En arquitectura vectorial;

a) explica para qué usamos la siguiente expresión: —

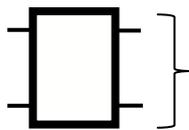
y define el significado de cada una de las variables que aparecen en ella.

b) Idem para la expresión: $mcm(\text{espaciamento}, n^{\circ} \text{ bancos}) / \text{espaciamento} \geq T \text{ acceso a banco}$

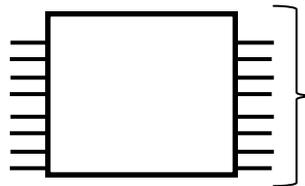
a)

b)

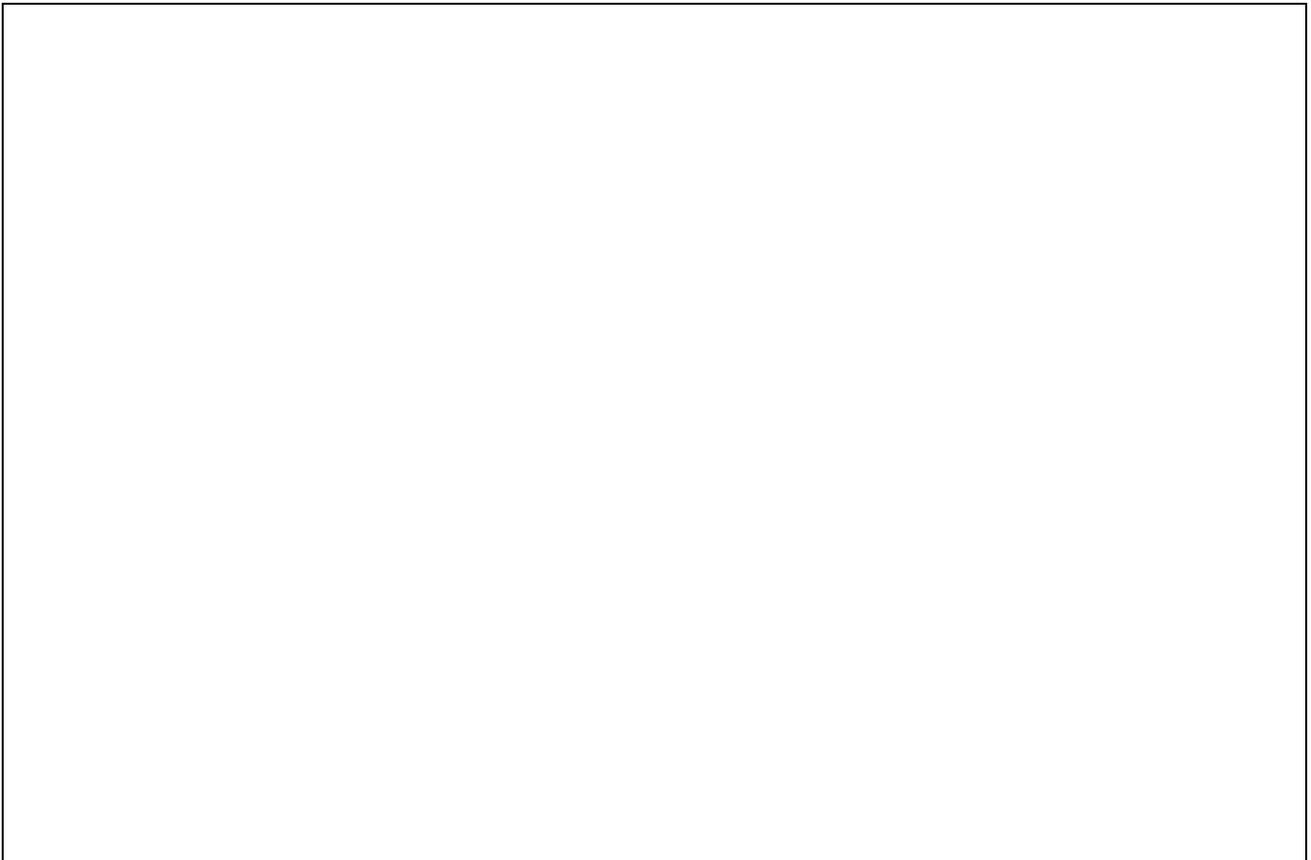
6. Suponiendo que dispones de los tipos de componentes dibujados a continuación, construye con ellos una red Benes 16x16. Nota: Debes usar 2 redes Benes 8x8 y los conmutadores 2x2 que estimes necesarios.



Conmutador
2x2



Red Benes
8x8



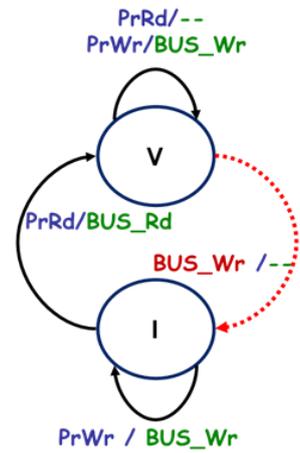
7. La figura de la derecha muestra el diagrama de estados del protocolo "snoopy" de dos estados. A la vista del diagrama responde razonadamente a las siguientes preguntas (no se obtendrá puntuación por respuestas no razonadas):

a) Cuando un procesador tiene un fallo de escritura ¿se lleva el bloque correspondiente a su cache? ¿Por qué?

En un fallo de lectura ¿quién proporciona la copia válida del bloque referenciado? ¿Por qué?

b) ¿Qué política de coherencia de cache se usa: invalidación o actualización en escritura? ¿Por qué?

Para la actualización de la memoria principal ¿se usa escritura directa o pos-escritura? ¿Por qué?



a)

b)