

Arquitectura de Computadores Ingeniería Electrónica Febrero 2013

1) En un DLX con segmentación ejecutamos el siguiente fragmento de código:

```

SUBI r1,r0,#1
loop: MULD F0,F2,F4
      LD F2, 0(r2)
      DIVD F6,F6,F2
      SD 0(r2), F6
      ADDD F6,F0,F2
      ADDI r1,r1,#1
      ADDD F4,F6,F0
      DIVD F0,F6,F8
      LD F2, 0(r1)
      DIVD F8,F4,F4
      ADDD F8,F0,F6
      BNEZ r1,loop
      SUBD F8,F8,F2
end:  ADDD F6,F0,F2

```

Se supone que:

- Un dato se puede escribir en un registro y leer su valor en el mismo ciclo.
- Se dispone de lógica de cortocircuito (*forwarding*).
- Los saltos tienen tratamiento de instrucción entera y se resuelven en la etapa de ejecución (EX).
- La detección de todo tipo de riesgos (estructurales, LDE y EDE) y generación de paradas se realiza en la etapa de decodificación.
- Se dispone de un predictor de saltos de 1 bit del tipo BTB, al que se accede en la etapa IF, obteniendo la respuesta al final de dicha fase. El estado inicial del predictor es “salto no tomado”.
- Dos instrucciones no pueden acceder simultáneamente a la etapa de acceso a memoria ni tampoco a la de escritura en el banco de registros.
- Se dispone de las siguientes unidades funcionales:

UF	Cantidad	Latencia	Segmentación
FP ADDD	1	2	Sí
FP SUBD	1	2	Sí
FP MULD	1	3	Sí
FP DIVD	1	4	No
INT ALU	1	1	No

- A) Representar el diagrama instrucción-tiempo para la ejecución del código e indicar mediante flechas sobre el diagrama los cortocircuitos realizados. Indicar claramente las paradas y sus causas. A la vista del diagrama obtenido, indicar los ciclos por instrucción (CPI) resultantes de la ejecución completa del código. **(3.5 pts)**
- B) ¿Cómo se vería afectado el valor del CPI del apartado anterior si el estado inicial del predictor fuese ahora “salto tomado”? ¿Cuál sería su nuevo valor? Representar el nuevo diagrama instrucción-tiempo únicamente para la resolución del salto (instrucción de salto y las que se ejecutan tras éste). **(1.5 pts)**

2) Sea un procesador segmentado con planificación dinámica mediante el algoritmo de Tomasulo sin especulación. El procesador tiene las siguientes características:

- Los datos que se escriben en la etapa de escritura no se pueden usar en la etapa de ejecución de una instrucción dependiente hasta el ciclo siguiente.
- Las instrucciones de load y store tienen ambas una latencia de 2 ciclos y utilizan una unidad funcional común para su ejecución.
- Existe un único bus común de datos (CDB).
- Se dispone de las siguientes unidades funcionales, estaciones de reserva, buffers de load (LB) y buffers de store (SB):

UF	Cantidad	Latencia	Segmentación
FP ADDD	1	2	Sí
FP MULD	1	6	Sí
FP DIVD	1	10	No
LOAD/STORE	1	2	Sí
INT ALU	1	1	No

Estaciones de reserva /LB /SB	Cantidad
FP ADDD	1
FP MULD	1
FP DIVD	2
LOAD	1
STORE	1

- a) Para el siguiente código mostrar en qué ciclo o ciclos se llevan a cabo cada una de las tres fases del algoritmo de Tomasulo para cada instrucción, indicando también en cada caso el tipo de parada que se produce. **(1.5 ptos)**

	Instrucción	ISSUE	EJECUCIÓN	ESCRITURA
1	DIVD F0,F2,F4			
2	ADDD F2,F6,F8			
3	ADDD F0,F4,F8			
4	SD 0(R1), F0			
5	MULD F2, F4, F0			
6	DIVD F6,F8,F0			
7	LD F6, 0(R2)			
8	ADDD F0,F6,F2			
9	MULD F2,F0,F8			
10	ADDD F2,F0,F6			

- b) Indicar el estado de las estaciones de reserva, buffers de loads, buffers de stores y banco de registros en punto flotante al final del ciclo 8. **(1.5 ptos)**

3) Suponiendo un multiprocesador de memoria compartida y considerando la ejecución del siguiente código, indicar cuáles de las siguientes afirmaciones son correctas (**2 pts**):

(P1)

```
ld R1, X(R0)
st Y(R0), R1
...
ld R2, X(R0)
st Z(R0), R2
```

(P2)

```
...
st X(R0), R3
ld R5, Y(R0)
...
```

Inicialmente $X=2$, $Y=1$, $Z=0$ y $R3=5$.

- a) El resultado $X=Y=5$ y $Z=2$ es posible si el sistema mantiene coherencia de memoria
- b) El resultado $X=Y=5$ y $Z=2$ es compatible con la consistencia secuencial
- c) El resultado $X=5$, $Y=Z=2$ y $R5=1$ es incompatible con la consistencia secuencial
- d) El resultado $X=5$, $Y=Z=2$ y $R5=1$ no cumple la coherencia de memoria
- e) El resultado $X=5$, $Y=Z=2$ y $R5=1$ no puede producirse si el modelo de consistencia es relajado y los procesadores son fuera de orden

Solución

1)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	
SUBI r1,r0,#-1	IF	ID	EX	M	WB																										
MULD F0,F2,F4		IF	ID	M1	M2	M3	M	WB																							
LD F2, 0(r1)			IF	ID	EX	M	WB																								
DIVD F6,F6,F2				IF	D	ID	D1	D2	D3	D4	M	WB																			
SD 0(r1), F6				IF		IF	D	D	D	ID	EX	M	WB																		
ADDD F6,F0,F2							IF	IF	IF	IF	ID	A1	A2	M	WB																
ADDI r1,r1,#1											IF	D	ID	EX	M	WB															
ADDD F4,F6,F0												IF	IF	ID	A1	A2	M	WB													
DIVD F0,F6,F8														IF	ID	D1	D2	D3	D4	M	WB										
LD F2, 0(r1)															IF	ID	EX	M	WB												
DIVD F8,F4,F4																IF	D	D	ID	D1	D2	D3	D4	M	WB						
ADDD F8,F0,F6																	IF	IF	IF	D	D	ID	A1	A2	M	WB					
BNEZ r1,loop																				IF	IF	IF	D	ID	EX	M	WB				
SUBD F8,F8,F2																							IF	IF	ID	S1	S2	M	WB		
ADDD F6,F0,F2																									IF	ID	A1	A2	M	WB	

XX: Parada por riesgo LDE

XX: Parada por riesgo estructural (siguiente etapa ocupada)

XX: Riesgo estructural: unidad no segmentada

XX: Riesgo EDE

XX: Riesgo estructural: dos instrucciones intentan acceder simultáneamente a memoria

A) La ejecución completa del código (todas las instrucciones, no un solo bucle) implica 30 ciclos para ejecutar 15 instrucciones, por tanto $CPI=30/15=2$

B) Si el predictor inicialmente estuviese a "salto tomado" la secuencia de instrucciones ejecutadas a partir del salto sería:

```

BNEZ r1, loop    IF IF iF ID ID EX M WB
MULD F0,F2,F4    IF IF ID XXXXXXXXXXXX
LD F2, 0(r1)     IF XXXXXXXXXXXX
SUBD F8,F8,F2    IF ID S1 S2 M WB
ADDD F6,F0,F2    IF ID A1 A2 M WB

```

Tendríamos 2 ciclos más como consecuencia de los 2 ciclos que tarda el salto en resolverse tras haberse hecho efectiva la predicción errónea, por tanto CPI=32

2)

a)

	Instrucción	ISSUE	EJECUCIÓN	ESCRITURA
1	DIVD F0,F2,F4	1	2-11	12
2	ADDD F2,F6,F8	2	3-4	5
3	ADDD F0,F4,F8	6 ^{EST}	7-8	9
4	SD 0(R1), F0	7	10-11 ^{LDE}	-
5	MULD F2, F4, F0	8	10-15 ^{LDE}	16
6	DIVD F6,F8,F0	9	12-21 ^{EST}	22
7	LD F6, 0(R2)	10	11-12	13
8	ADDD F0,F6,F2	11	17-18 ^{LDE}	19
9	MULD F2,F0,F8	17 ^{EST}	20-25 ^{LDE}	26
10	ADDD F2,F0,F6	20 ^{EST}	21-22	23

b)

	Op	Busy	Vj	Vk	Qj	Qk
Suma1	Suma	Sí	[F4]	[F8]	0	0
Mul1	Mul	Sí	[F4]	-	0	Suma1
Div1	División	Sí	[F2]	[F4]	0	0
Div2		No				

	Busy	Dir.	Qi
Store1	Sí	0+R1	Suma1

	Busy	Dir
Load1	No	

	F0	F2	F4	F6	F8
TAG	Div1 Add1	Add1 Mul1			

3)

Sólo es correcta la afirmación c)