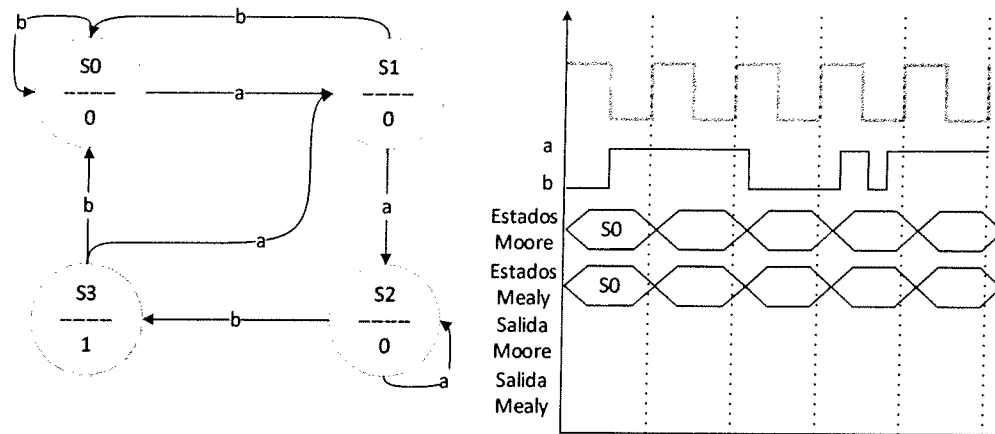




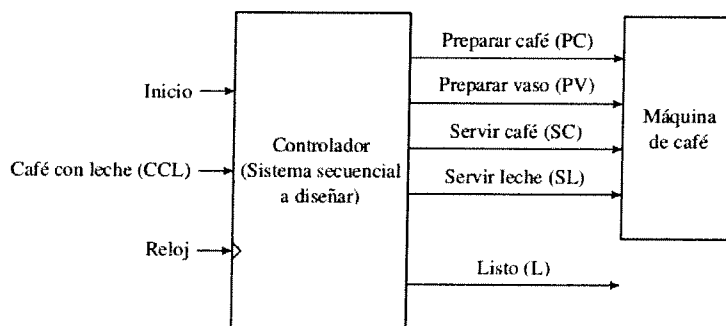
FUNDAMENTOS DE COMPUTADORES
EXAMEN FINAL DE JUNIO
PRIMER PARCIAL 18 DE JUNIO 2014

- 1.- (0,5 puntos) Dados los siguientes números $A=+54$ (decimal), $B=-37$ (hex.) y $C=+101$ (binario):
 a) Exprese los tres números con el mismo número de bits en complemento a 2
 b) Efectué las operaciones $(A-B)$ y $(B-C)$ indicando si hay desbordamiento o acarreo y el por qué.
 2.- (1,5 puntos) El diagrama de estados de la Figura representa un reconocedor de patrón.



- a. Obtener un diagrama de transición de estados equivalente (tipo Mealy)
 b. Completar el cronograma

- 3.- (2.5 puntos) Se desea diseñar un sistema secuencial para controlar el funcionamiento de una máquina de café que sirve café sólo o con leche. El sistema tiene dos entradas, la tecla *Inicio* y la tecla (CCL), y cinco salidas como se observa en la figura.



En el estado inicial todas las salidas valen 0. El sistema permanece en este estado mientras la entrada *Inicio* valga 0. Al activar la señal *Inicio* el sistema atravesará cinco etapas: *preparar café* (1 ciclo), *servir café* (2 ciclos), *servir leche* (2 ciclos), *enfriamiento* (1 ciclo) y *notificación* al usuario (1 ciclo). Solo se sirve leche en el café si el usuario ha activado la señal CCL. En caso de no activarse esta señal, el sistema pasará directamente a la fase de enfriamiento tras servir el café.

Durante la fase de preparación de café se activarán las salidas PC y PV. Para servir café y posteriormente leche el sistema activará las señales SC y SL durante los ciclos pertinentes. En la fase de enfriamiento, todas las salidas valdrán 0. Finalmente, se notificar al usuario de que su café está listo activando la señal L durante un ciclo de reloj, y a continuación se volverá al estado inicial.

Se pide:

- a) (1 punto) Especificar el sistema secuencial como máquina de Moore
 b) (1 puntos) Diseñar la lógica de transición de estados haciendo uso de un contador módulo 8 y el mínimo número de puertas lógicas
 c) (0.5 puntos) Diseñar la función de salida usando el mínimo número de puertas lógicas

Solución del 1:

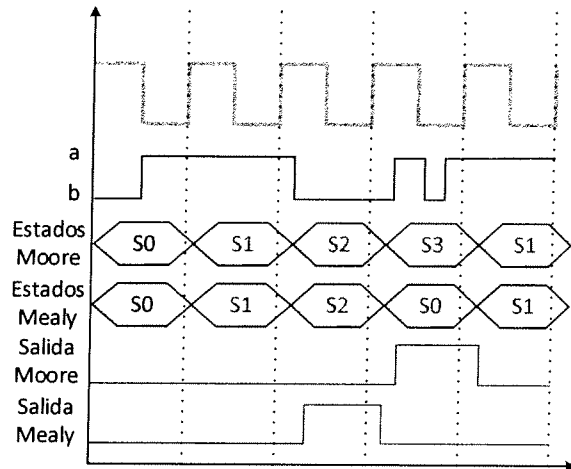
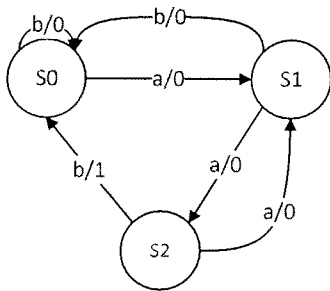
54d -> 011 0110 bin C2
 -37h -> 100 1001 bin C2
 101b -> 000 0101 bin C2

A 011 0110
 -B 011 0111
 A-B 110 1101 Desbordamiento

B 100 1001
 -C 111 1011
 B-C 1 100 0100 Acarreo sin desbordamiento

Solución Junio:

Nota: Los retardos no son muy precisos, pero me imagino que nadie tendrá problemas en interpretar la solución.



1) habra q. añadir el signo positivo pero en este caso no es necesario. P ejemplo $0111_{10} \neq 0111_{10}$ es el primer caso

Seo una magnitud sin signo $|z|$ mientras q. en el 2º caso es un entero con signo positivo $+z$ pero como se representan igual podemos hacer

$$00110111_{10}$$

Como queremos representar los 2º con el menor nº de bits y el primo se puede representar con 7 y este tambien se puede representar con 7

$$0110111_{10}$$

3) le cambio el signo

$$\begin{array}{r} 1001000 \\ \hline 1001000_{10} \end{array}$$

$$B = 1001001$$

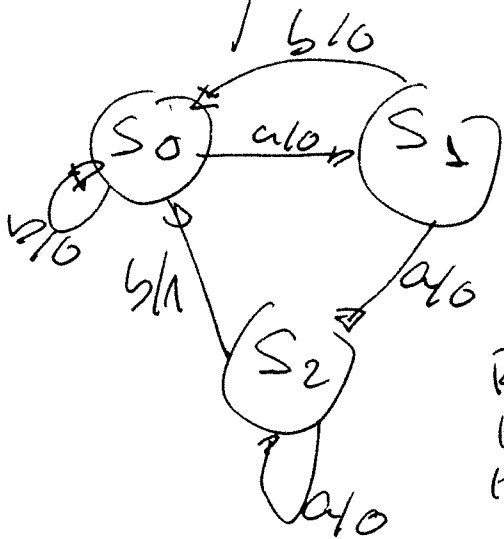
$$\rightarrow C = +101$$

la magnitud es 404bp le añadimos el signo 0101_{10} hacemos una extensión de signo hasta los 7 bits

$$0000101_{10} = C$$

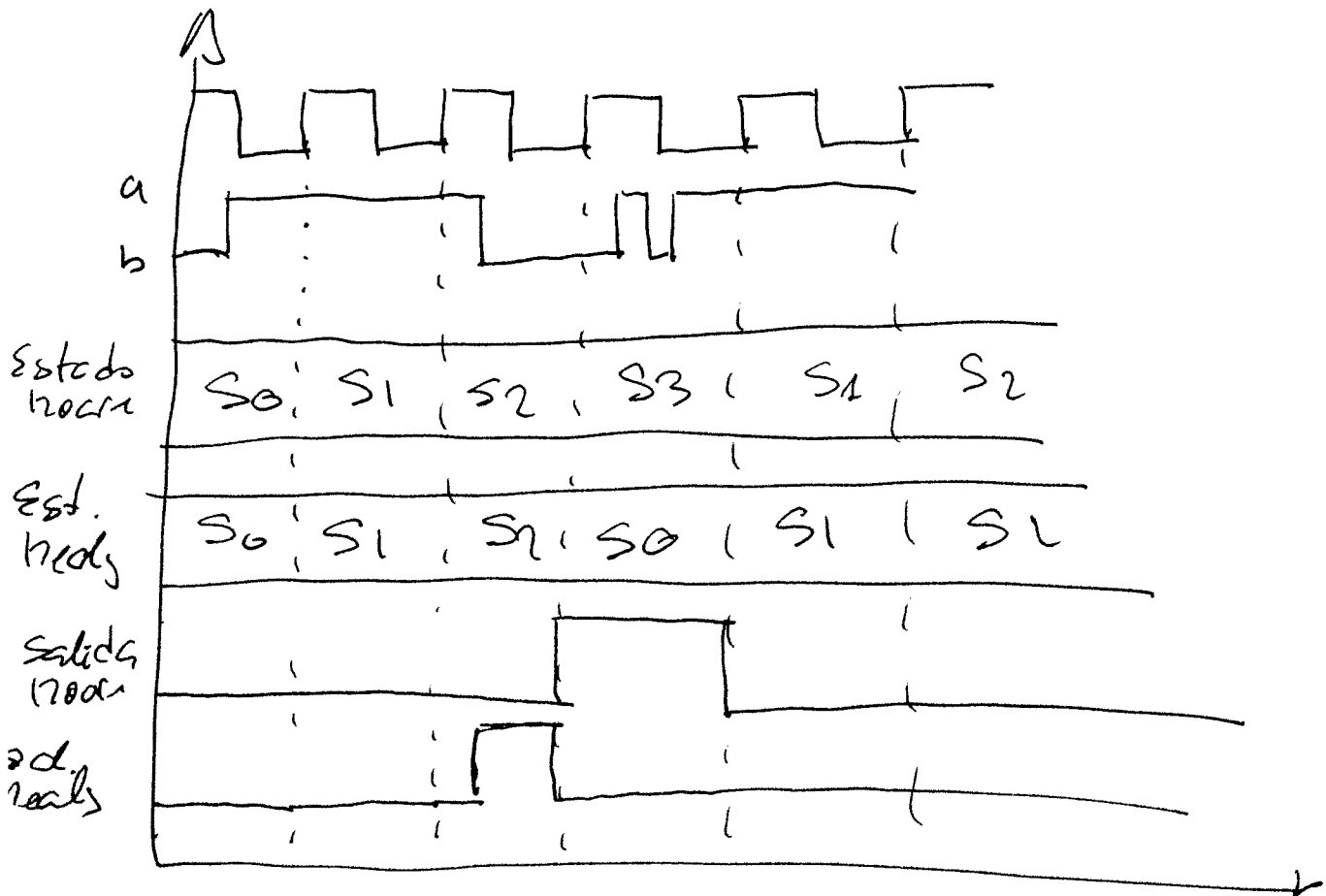
(2) Se conoce el patrón $aa...ab$. Es decir (4)
 deben llegar como paros 2's y luego una b
 el n.º de a's q. llegan puede ser par o impar

El diagrama de estados (Mealy) es

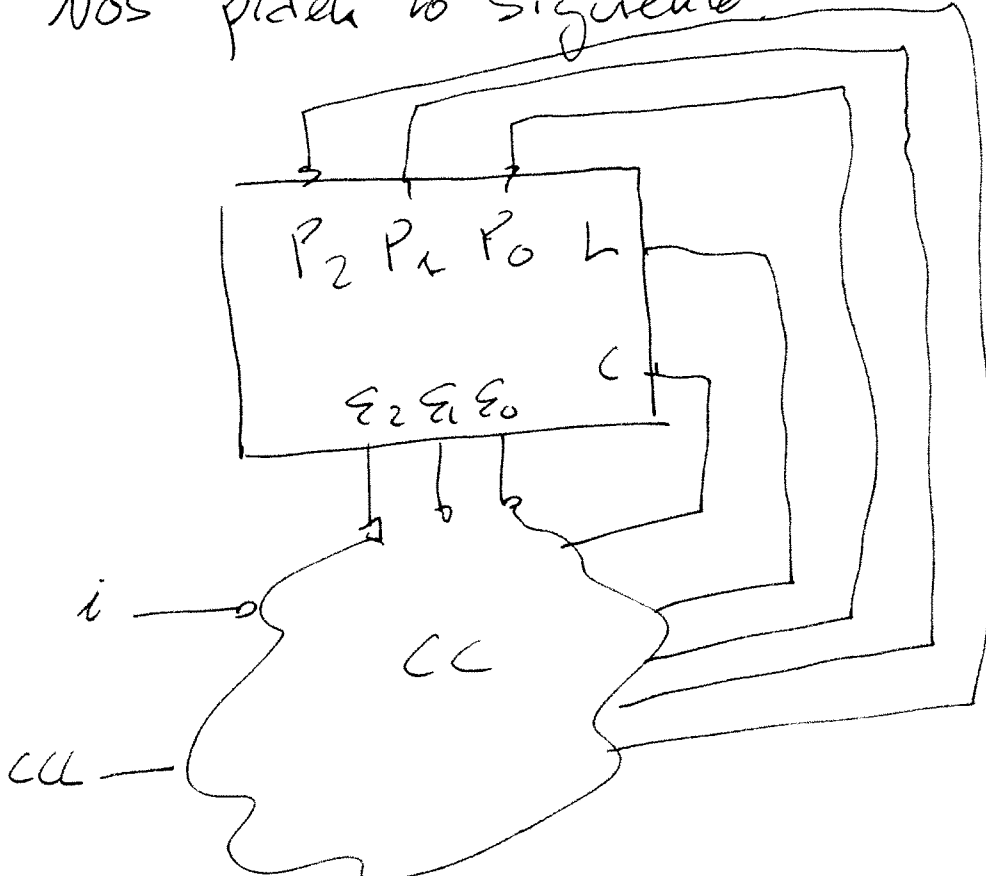


- S_0 - Nada
- S_1 - 1ª "a"
- S_2 - 2ª "a" y sucesivas

Recordar:
 Moore la salida solo depende del Estado
 Mealy la salida depende del Estado y de la entrada



NOS piden lo siguiente.



Siendo
 $E_2 E_1 E_0 \rightarrow$ estado fuera
 $P_2 P_1 P_0 \rightarrow$ carga paralela
 $C \rightarrow$ señal de cuenta
 $L \rightarrow$ señal carga paralela

codificación de Estados

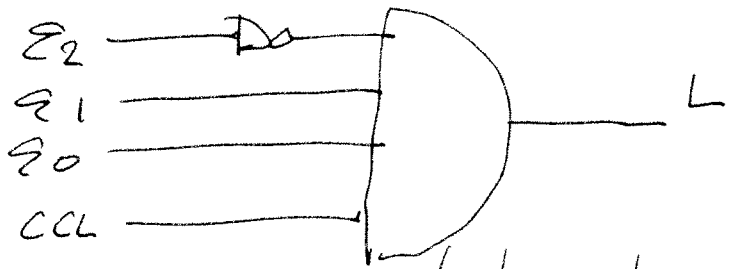
	E_2	E_1	E_0
I	0	0	0
Pc	0	0	1
SC1	0	1	0
SC2	0	1	1
SL1	1	0	0
CH2	1	0	1
E	1	1	0
N	1	1	1

lo normal es q. a continuación hicieramos la tabla de verdad en la que siendo las entradas $E_2 E_1 E_0 i cu$ se obtuviera $P_2 P_1 P_0 L C$. Pero si nos fijamos es una tabla de 5 variables de entrada lo q. hace

largo y engoroso tanto su confección como su simplificación mediante mapas de K.

En su lugar vamos a analizar cuando se genera (o cuando no se genera) las señales $P_2 P_1 P_0, L y C$.

Vamos a empezar por la señal de Load y $P_2 P_1 P_0$. \rightarrow Si nos fijamos la señal de load solo se pone a 1 cuando estamos en el estado $SC2(011)$ y la señal $CC=1$. por lo tanto



y $P_2 P_1 P_0$ es el estado en el q. se salta q . en este caso es $q(110) \Rightarrow P_2 P_1 P_0 = 110$.

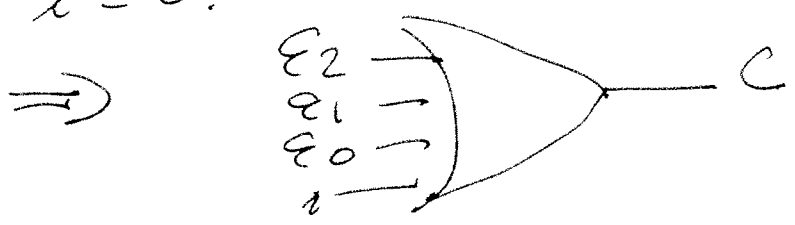
Vamos a estudiar ahora la señal C de cuenta se dan 3 casos en esta señal

a) el mas normal, se pasa de estado en estado como una cuenta por lo tanto por todos estos casos $C=1$.

b) cuando estamos en el estado $SC2$ y $CC=1$ en este caso se salta y sabemos q. en estos casos $L=1$ y $C=1$ \Rightarrow este decimale puede considerarse un 1.

c) cuando estamos en el estado $I(000)$ e $\bar{c}=1 \Rightarrow$ en este caso $C=0$.

Por lo tanto, se puede considerar = 1 para toda la tabla salvo para $E_2 E_1 E_0 = 000$ $\Rightarrow \bar{c} = 0$.

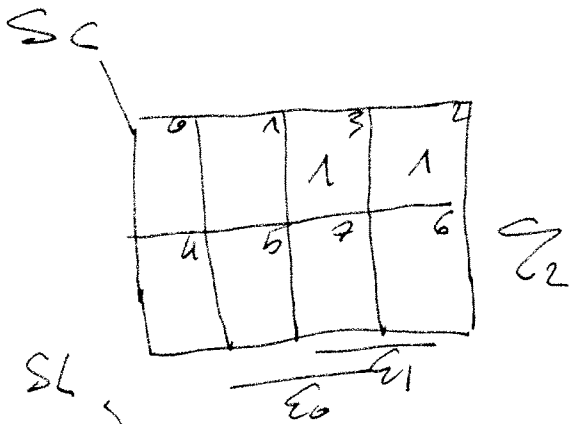
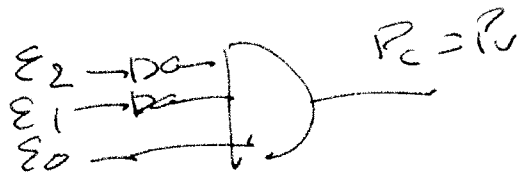


BC En todo la salida depende solo de los estados (8)

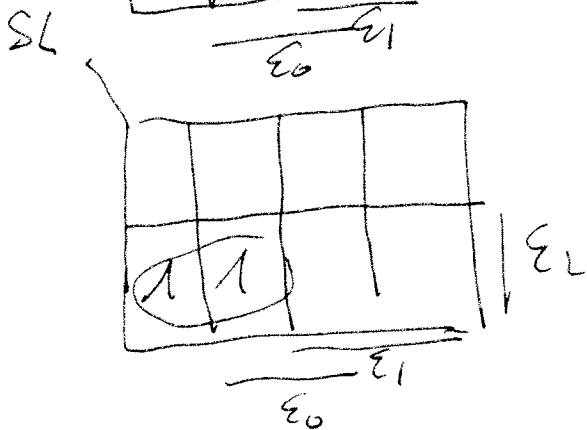
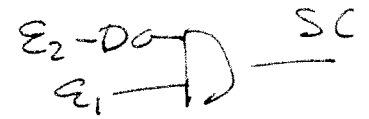
E_2	E_1	E_0	P_C	P_V	S_C	S_L	L
0	0	0	0	0	0	0	0
0	0	1	1	1	0	0	0
0	1	0	0	0	1	0	0
0	1	1	0	0	1	0	0
1	0	0	0	0	0	1	0
1	0	1	0	0	0	1	0
1	1	0	0	0	0	0	0
1	1	1	0	0	0	0	1

como nos piden q. implementemos con el menor no de puertas lógicas aplicamos mapas K.

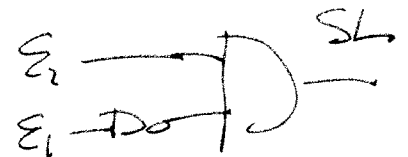
$P_C = P_V = m_3 \rightarrow$



$S_C = \bar{E}_2 \cdot E_1$



$S_L = E_2 \bar{E}_1$



$L = m_7 \rightarrow$

