

Construir el circuito lógico de una báscula RS síncrona con borrado prioritario (prevalece R sobre S)

La báscula dispone de una entrada de reloj C.

La salida Q cambia o puede cambiar cuando C cambia de 0 a 1:

R=0, S=0	La salida no cambia
R=1, S=0	La salida pasa a 0
R=0, S=1	La salida pasa a 1
R=1, S=1	La salida pasa a 0

Se pide:

1. Tabla de fases (4 p)
2. Simplificación de la tabla y asignación de variables de memoria (3p)
3. Circuito lógico simplificado (3p)

R, S, C								Q
000	001	010	011	100	101	110	111	Q
(1)	2	3	-	4	-	-	-	0
1	(2)	-	5	-	6	-	-	0
1	-	(3)	7	-	-	8	-	0
1	-	-	-	(4)	6	8	-	0
-	2	3	(5)	-	-	-	9	0
-	2	-	-	4	(6)	-	9	0
-	10	11	(7)	-	-	-	12	1
-	-	3	-	4	-	(8)	9	0
-	-	-	5	-	6	8	(9)	0
13	(10)	-	7	-	14	-	-	1
13	-	(11)	7	-	-	15	-	1
-	-	-	7	-	14	15	(12)	1
(13)	10	11	-	16	-	-	-	1
-	10	-	-	16	(14)	-	12	1
-	-	11	-	16	-	(15)	9	1
13	-	-	-	(16)	6	15	-	1

R, S, C								Q	Q ₁
000	001	010	011	100	101	110	111	Q	Q ₁
(1)	(2)	3	(5)	(4)	(6)	(8)	(9)	0	0
1	-	(3)	7	-	-	8	-	0	1
(13)	(10)	(11)	(7)	16	(14)	15	(12)	1	1
13	-	11	-	(16)	6	(15)	9	1	0

	R	S	C	Q	Q ₁	Q	Q ₁
(1)	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0
13	0	0	0	1	0	1	1
(13)	0	0	0	1	1	1	1
(2)	0	0	1	0	0	0	0
-	0	0	1	0	1	X	X
-	0	0	1	1	0	X	X
(10)	0	0	1	1	1	1	1
3	0	1	0	0	0	0	1
(3)	0	1	0	0	1	0	1
11	0	1	0	1	0	1	1
(11)	0	1	0	1	1	1	1
(5)	0	1	1	0	0	0	0
7	0	1	1	0	1	1	1
-	0	1	1	1	0	X	X
(7)	0	1	1	1	1	1	1
(4)	1	0	0	0	0	0	0
-	1	0	0	0	1	X	X
(16)	1	0	0	1	0	1	0
16	1	0	0	1	1	1	0
(6)	1	0	1	0	0	0	0
(6)	1	0	1	0	1	X	X
-	1	0	1	0	1	X	X
6	1	0	1	1	0	0	0
(14)	1	0	1	1	1	1	1
(8)	1	1	0	0	0	0	0
8	1	1	0	0	1	0	0
(15)	1	1	0	1	0	1	0
15	1	1	0	1	1	1	0
(9)	1	1	1	0	0	0	0
-	1	1	1	0	1	X	X
9	1	1	1	1	0	0	0
(12)	1	1	1	1	1	1	1

R S		C Q Q ₁							
		000	001	011	010	110	111	101	100
00	0	0	1	1	X	1	X	0	
01	0	0	1	1	X	1	1	0	
11	0	0	1	1	0	1	X	0	
10	0	X	1	1	0	1	X	0	

$$Q = \bar{C} \cdot Q + C \cdot Q_1$$

R S		C Q Q ₁							
		000	001	011	010	110	111	101	100
00	0	0	1	1	X	1	X	0	
01	1	1	1	1	X	1	1	0	
11	0	0	0	0	0	1	X	0	
10	0	X	0	0	0	1	X	0	

$$Q_1 = \bar{R} \cdot S + \bar{R} \cdot Q + C \cdot Q_1$$

