

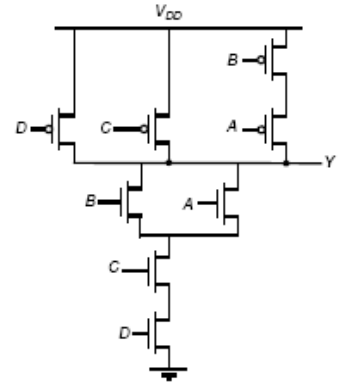


# DISEÑO DE CIRCUITOS Y SISTEMAS ELECTRÓNICOS INGENIERÍA DE TELECOMUNICACIÓN

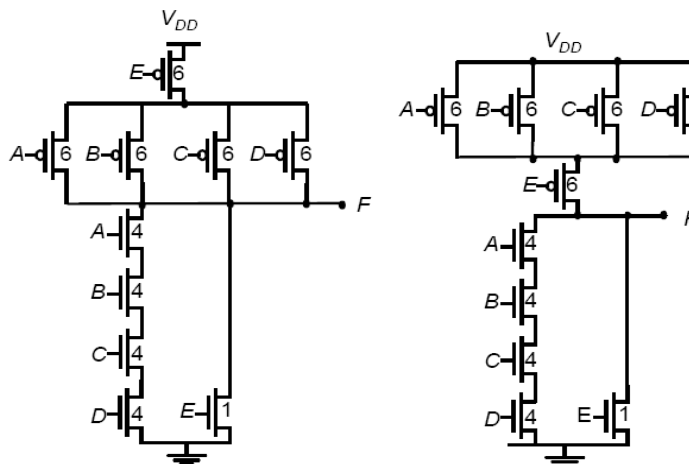
Universidad de Granada  
Departamento de Electrónica y Tecnología  
de Computadores

## Relación de problemas nº 1

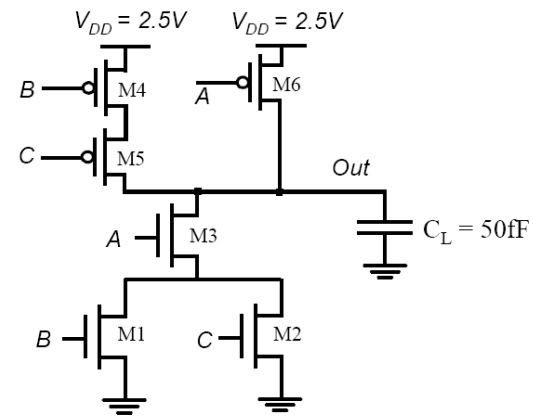
- Determine la función lógica que realiza la puerta CMOS de la figura de la derecha. Dimensione los transistores para que la resistencia de salida sea igual a la de un inversor CMOS con  $W/L_n=4$  y  $W/L_p=8$  y determine los patrones de entrada que provocan los peores retardos de propagación  $t_{pLH}$  y  $t_{pHL}$ .



- Implemente la función  $F = ((\bar{A} + \bar{B})(\bar{C} + \bar{D} + \bar{E}) + \bar{F})\bar{G}$  utilizando lógica CMOS estática y elija los tamaños de los transistores para que la resistencia equivalente de la puerta sea igual a la de un inversor con  $W/L_n=2$  y  $W/L_p=6$ . Determine qué patrones de entrada producen las resistencias de *pull-up* y *pull-down* mayores y menores.
- Determine si las dos puertas CMOS de la figura siguiente realizan la misma función lógica y si presentan siempre la misma resistencia de salida (los números junto a los transistores representan las relaciones de aspecto). Razone si los tiempos de subida y bajada serán o no iguales.



4. Calcule la relación de aspecto de los transistores del circuito de la derecha para que los retardos de propagación, en los peores casos posibles, igualen a los de un inversor CMOS simétrico de dimensiones mínimas, asumiendo  $K'_n=2K'_p$ .



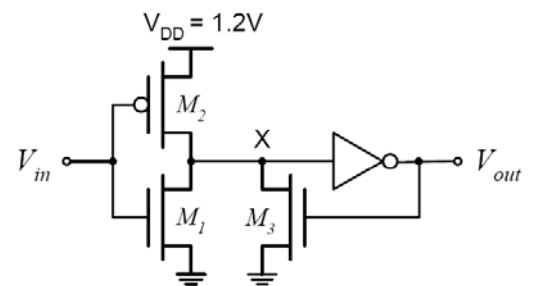
5. Para el circuito del problema anterior, y haciendo uso de las relaciones de aspecto calculadas, obtenga los tiempos de propagación  $t_{pHL}$  y  $t_{pLH}$  para el mejor y peor caso posibles, suponiendo que la resistencia equivalente en conducción de un transistor NMOS de dimensiones mínimas es  $13\text{ k}\Omega$ , y  $31\text{ k}\Omega$  para un transistor PMOS.

6. Implemente la función  $F = \overline{ABC} + \overline{ACD}$  con lógica DCVSL utilizando el mínimo número de transistores y suponiendo que están disponibles cada entrada y su complemento.

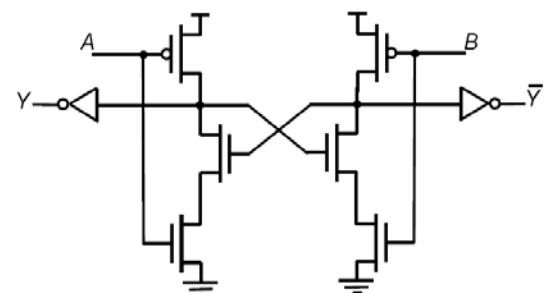
7. Implemente la función de suma de un sumador completo con lógica *pass-transistor* NMOS y con lógica DCVSL.

8. Implemente la función de acarreo de un sumador completo con lógica *pass-transistor* NMOS y con lógica DCVSL.

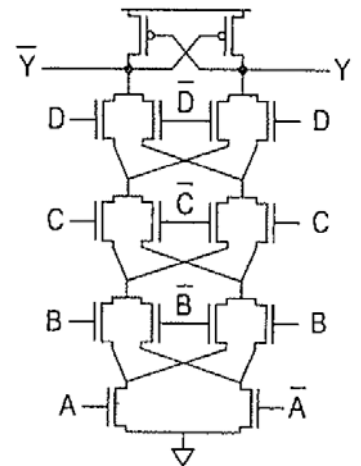
9. Razone cómo han de ser las relaciones de aspecto de  $M_2$  y  $M_3$  en relación a  $(W/L)_1$  para que el circuito de la figura adjunta se comporte como un disparador de Schmitt (*Schmitt trigger*), de forma que cuando la entrada cambie de  $0\text{V}$  a  $V_{DD}$ , la salida conmute para  $V_{in}=0.8V$ , y cuando la entrada cambie de  $V_{DD}$  a  $0\text{V}$ , la salida conmute para  $V_{in}=0.4V$ . Suponga que  $K'_n=3K'_p$  y  $|V_{Tn}|=|V_{Tp}|$ , con  $(W/L)_1=1$ , y que el inversor de salida es perfectamente simétrico e ideal (el punto de transición se produce exactamente en  $V_x=V_{DD}/2$ ).



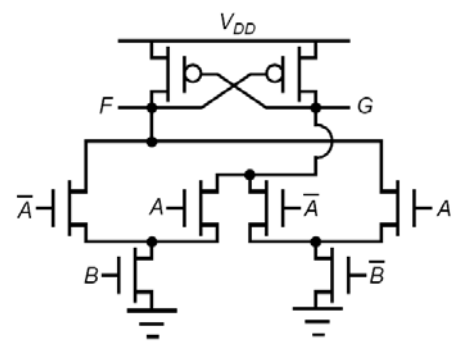
10. Determine la función que realiza la puerta lógica de la figura de la derecha.



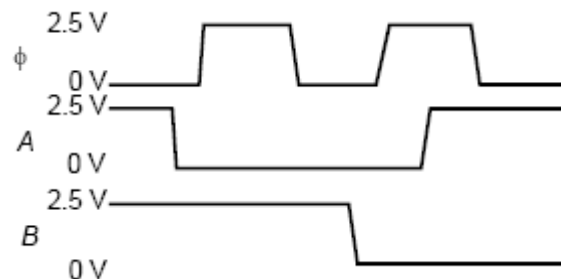
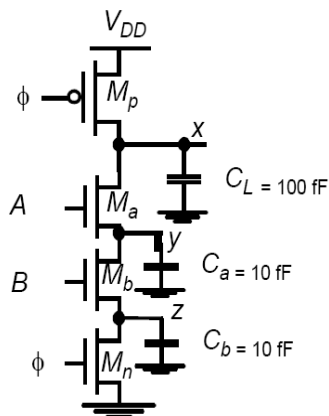
11. Determine la función que realiza la puerta lógica de la figura de la derecha.



12. Determine la función que realiza la puerta lógica de la figura de la derecha.



13. Para la puerta dinámica de la figura siguiente esboce el cronograma de las diferentes señales al aplicar las entradas que se muestran.

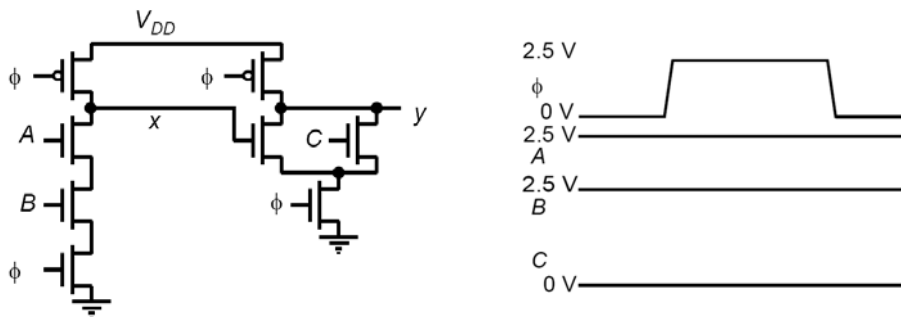


14. Si se desea sintetizar las funciones  $F = A + B + C$  y  $G = A + B + C + D$ , estando disponibles todas las entradas y sus complementos, implemente dichas funciones como etapas dinámicas en cascada para minimizar el número de transistores. Diseñe el mismo circuito usando lógica npCMOS y compare ambas alternativas.

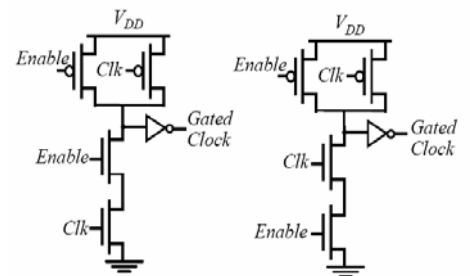
15. Diseñe una única puerta CMOS dinámica *domino* que sintetice simultáneamente las funciones  $F = (A + BC + D)E$ ,  $G = (A + BC + D)$  y  $H = BC$  con el mínimo número posible de transistores, estando disponibles únicamente las señales  $A, B, C, D$  y  $E$ .

16. Diseñe, utilizando lógica CMOS dinámica, un circuito que sintetice simultáneamente las funciones  $F = B + C + D$ ,  $G = \bar{A}(B + C + D)$  y  $H = \bar{A}(B + C + D)E$ , estando disponibles únicamente las señales  $A, B, C, D$  y  $E$ .

17. Determine la función lógica que realiza la puerta dinámica de la figura siguiente y esboce el cronograma de  $x$  e  $y$  si se aplican las entradas que se muestran. ¿Es correcto su funcionamiento? Reseñe la puerta utilizando lógica npCMOS y calcule de nuevo el cronograma de  $x$  e  $y$ .



18. El circuito de la figura de la derecha muestra dos posibles soluciones para inhibir el reloj de una determinada zona de un chip mediante *clock gating*. Razone, si las señales de *enable* pueden cambiar cada ciclo, que alternativa produce menos *jitter* en la salida del *driver* del reloj.



19. El circuito de la figura siguiente muestra un cauce segmentado con *latches*. Si la entrada  $IN$  es válida 2ns antes del flanco de bajada de  $CLK$  y se mantiene hasta éste, determine el máximo *skew* positivo y negativo que es admisible en  $CLK'$  para mantener el correcto funcionamiento del circuito.

