

Ejercicios del tema 4. El procesador

Ejercicio 1. Considere un procesador de 32 bits con una frecuencia de reloj de 500 MHz con la estructura del mostrado en el Ejercicio 3. La memoria se direcciona por bytes y requiere dos ciclos para realizar las operaciones de lectura y escritura.

Se pide:

- Indicar las operaciones elementales correspondientes a la instrucción del MIPS32 : `lw R1, (R2)`
- Si el número medio de ciclos de reloj necesario para ejecutar una instrucción es de 25, calcule el número medio de instrucciones que este computador puede ejecutar en un segundo.

Ejercicio 2. Considere dos computadores A y B. El computador A tiene una frecuencia de reloj de 1 GHz y el número medio de ciclos por instrucción es de 8. El computador B tiene una frecuencia de reloj de 2,5 GHz y un número medio de ciclos por instrucción de 30. Responder de forma justificada a las siguientes preguntas:

- ¿Qué representa el término MIPS?
- Calcular este valor para los computadores A y B.
- Se dispone de un programa escrito en lenguaje C. El compilador disponible en la máquina A obtiene un programa compuesto por 5000 instrucciones máquina. En el segundo se obtiene un programa compuesto por 7000 instrucciones máquina. ¿En qué máquina se ejecutará más rápido el programa, considerando que se ejecutan todas las instrucciones obtenidas una sola vez?

Ejercicio 3. Considere un computador con una frecuencia de reloj de 0,5 GHz y un número medio de ciclos por instrucción de 10. Responder de forma justificada a las siguientes preguntas:

- ¿Qué representa el término MIPS?
- Calcular este valor para este computador.
- ¿Qué habría que hacer si se quiere conseguir que el computador ejecute el doble de MIPS de los obtenidos en el apartado a manteniendo la frecuencia de reloj?

Ejercicio 4. Considere un procesador de 32 bits con una frecuencia de 1 GHz con la estructura del mostrado en el Ejercicio 3. La memoria se direcciona por bytes y requiere dos ciclos para realizar las operaciones de lectura y escritura. Si el computador es capaz de ejecutar 200 MIPS. Indique el número medio de ciclos por instrucción.

Ejercicio 5. Considere el procesador mostrado en el ejercicio 3 y las siguientes señales de control que se generan en cada ciclo de reloj (no se incluye el fetch). El resto de las señales se encuentra a 0

C1: T8, C1

C2: L, Td

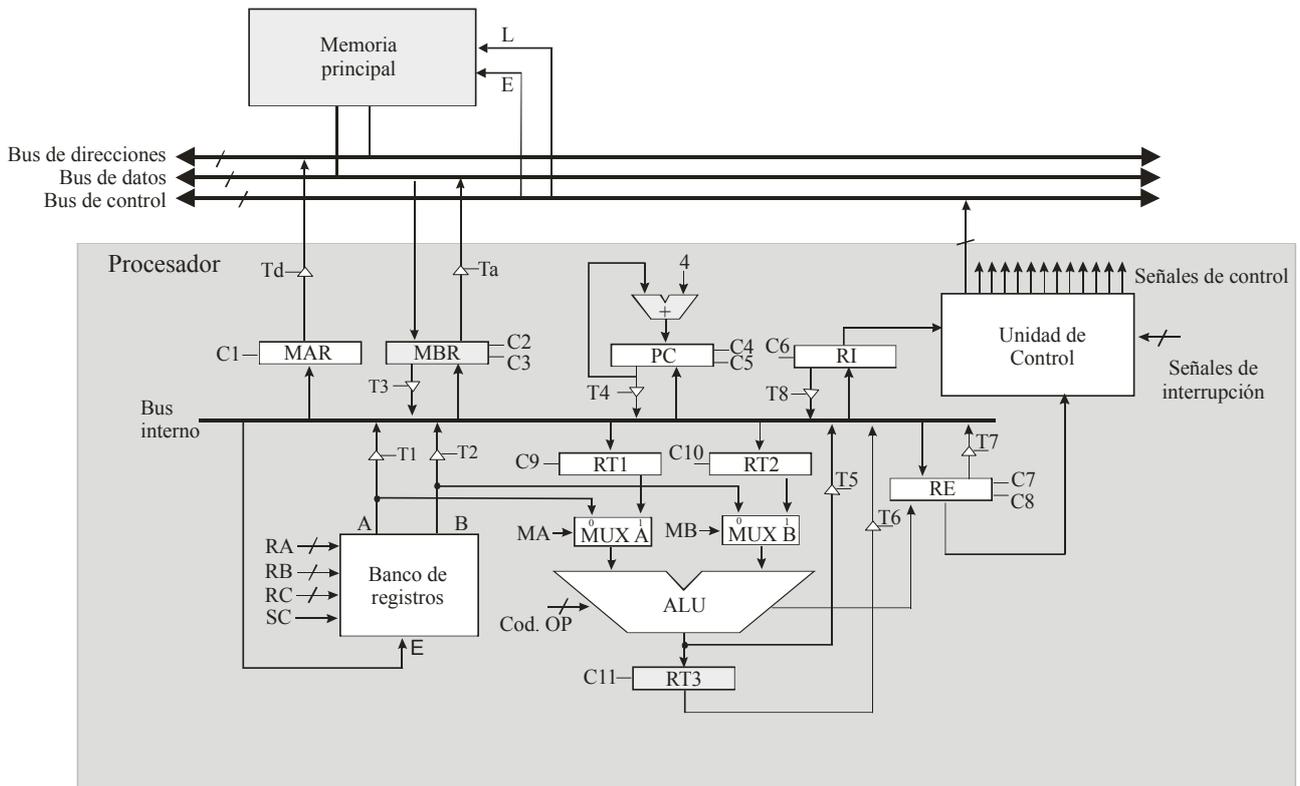
C3: L, C2

C4: RC= R1, T3, SC

Se pide:

- las operaciones elementales que se realizan en cada ciclo de reloj.
- ¿A qué instrucción máquina se corresponde n las operaciones elementales anteriores?

Ejercicio 6. Considere el siguiente esquema de procesador de 32 bits.



Indique las operaciones elementales correspondientes a la instrucción máquina `SWAP R1, dir`. Esta instrucción ocupa dos palabras y su formato es el siguiente:



Esta instrucción intercambia el contenido del registro indicado en la instrucción (Reg) con el contenido almacenado en la posición de memoria `dir`.

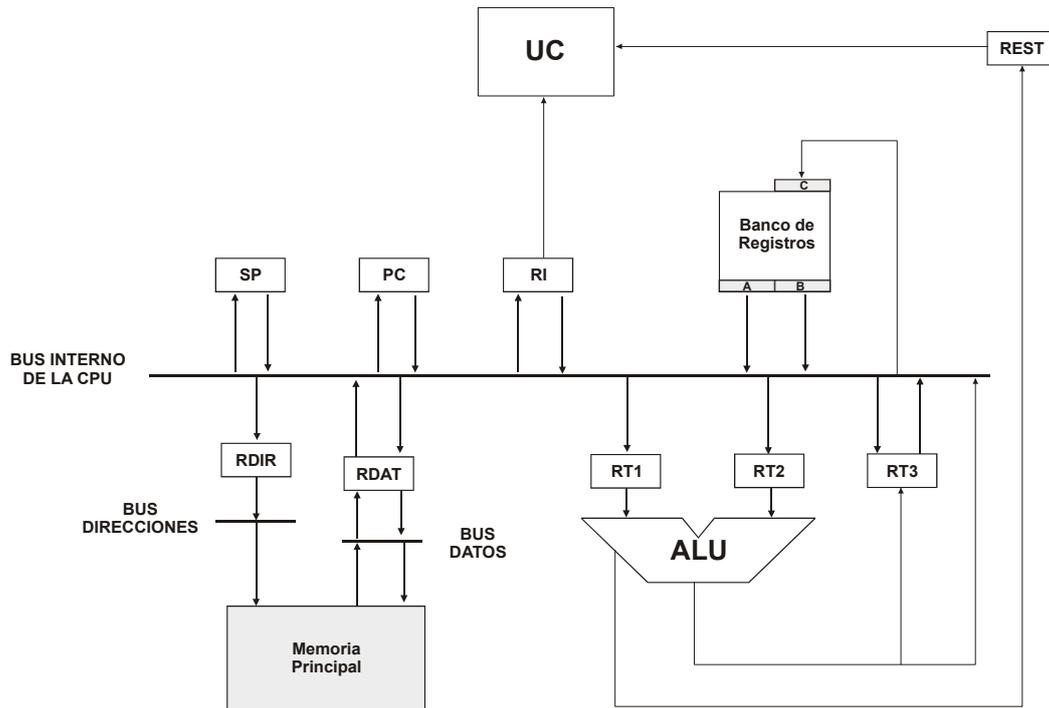
Ejercicio 7. Considere un computador de 32 bits, con la estructura del mostrado en el ejercicio 3, que dispone de un banco de 32 registros, que se encuentra conectado a una memoria, que se direcciona por bytes y que requiere dos ciclos para las operaciones de lectura y escritura. La unidad aritmético-lógica es capaz de realizar 20 operaciones aritméticas y lógicas (sumar, restar, multiplicar, dividir, incrementar, disminuir en uno, etc.).

Se pide:

- a) Indique los modos de direccionamiento presentes en la siguiente instrucción del MIPS32:
`sw $t1, 80($t2)`.
- b) Indique las operaciones elementales y las señales de control necesarias para la ejecución de la instrucción anterior.

Ejercicio 8. La figura adjunta presenta el esquema simplificado de una CPU de 32 bits que es capaz de ejecutar 200 millones de instrucciones por segundo. La CPU se encuentra conectada a una memoria, que se direcciona a nivel de byte y que requiere dos ciclos para las operaciones de lectura y escritura. El banco de registros incluye los registros de propósito general visibles al usuario. Este banco consta de 16 registros, con dos puertas de salida (A y B) y una puerta de entrada (C). El primer registro (R0) del banco se encuentra cableado a cero. La unidad aritmético lógica selecciona sus operandos de los registros temporales (no visibles al programador) RT1 y RT2. Esta unidad es capaz de realizar 24 operaciones aritméticas y lógicas (entre ellas: sumar, restar, multiplicar, dividir, incrementar y decrementar el valor del

operando situado en el registro T1, y otras operaciones lógicas). El registro RT3 también es un registro temporal no visible al programador. El registro de estado almacena, entre otras, las señales de estado generadas por la unidad aritmética (por ejemplo: resultado negativo, acarreo, desbordamiento, resultado igual a cero, resultado positivo, etc.). Este computador utiliza un mapa de E/S común (proyectado en memoria).



Se pide:

- Indicar qué tipo de señales de control son necesarias en este computador.
- ¿Qué elementos son necesarios para la interconexión de los distintos elementos a los buses de este computador? Dibuje estos elementos sobre la hoja que se adjunta.
- Microprograme a nivel de operaciones elementales el ciclo de fetch. Indique además, para cada operación elemental, las señales de control (definidas en el apartado anterior) necesarias. ¿Cuántos ciclos son necesarios para la fase de fetch? ¿Ha observado algún problema en el ciclo de fetch? ¿Cómo lo resolvería?
- Microprograme a nivel de operaciones elementales (no es necesario indicar las señales de control) la siguiente instrucción de máquina: `ADD [R2], [R3]`. Esta instrucción cabe en una palabra de memoria y utiliza direccionamiento indirecto de registro para acceder a los operandos. Suma el operando direccionado por R2 con el operando direccionado por el R3 y deja el resultado en el operando direccionado por R2.

Ejercicio 9. Considere un computador de 32 bits, con la estructura del mostrado en el ejercicio 3, que dispone de un banco de 32 registros, que se encuentra conectado a una memoria, que se direcciona por bytes y que requiere dos ciclos para las operaciones de lectura y escritura. La unidad aritmético-lógica es capaz de realizar 20 operaciones aritméticas y lógicas (sumar, restar, multiplicar, dividir, incrementar, disminuir en uno, etc.). Considere una instrucción hipotética: `ADD R1, dirección` que suma el contenido del registr R1 con el contenido de la posición de memoria dirección y deja el resultado en el registro R1.

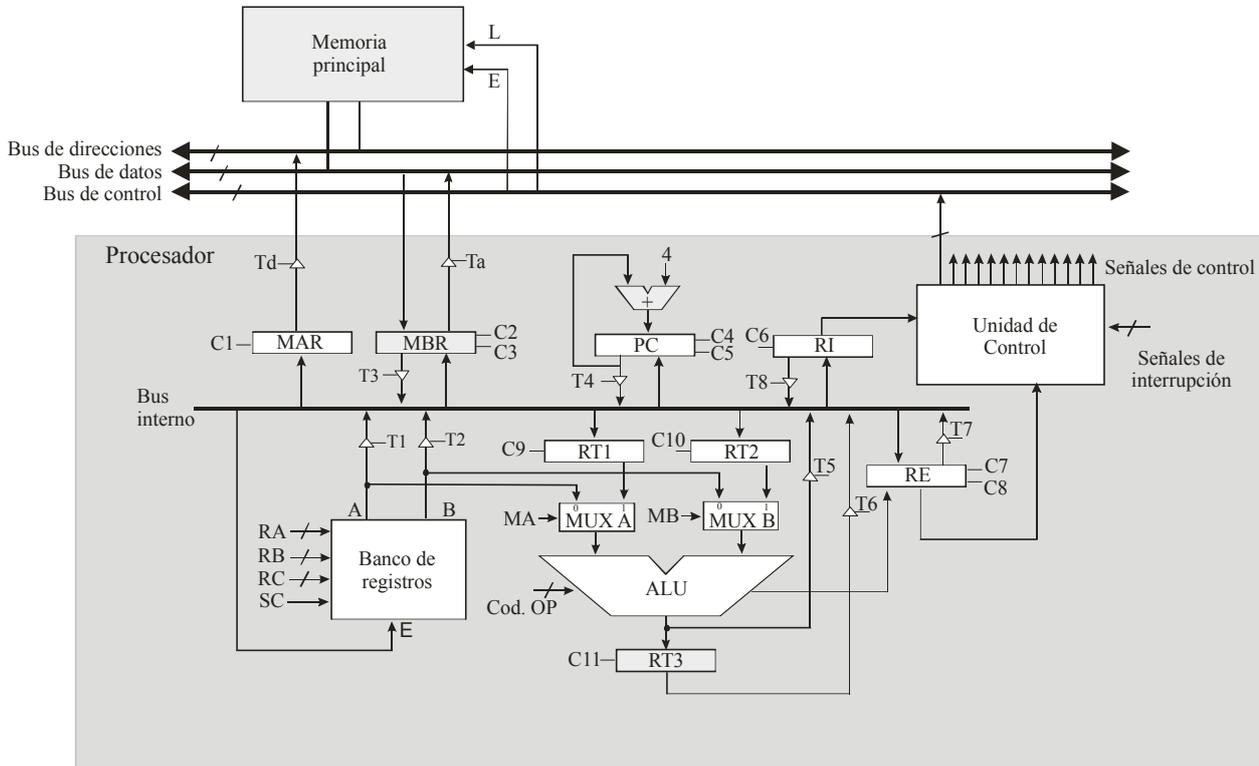
Se pide:

- Indique un posible formato para la instrucción teniendo en cuenta que el computador dispone de 100 instrucciones máquina y que para el campo dirección se utilizan 32 bits.
- Indique las operaciones elementales y las señales de control necesarias para la ejecución de la instrucción anterior.

Ejercicio 10. Si un computador A ejecuta un programa en 10 segundos y otro B en quince segundos. ¿Cuál de las dos siguientes sentencias es cierta?

- a) A es un 50% más rápido que B
- b) A es un 33% más rápido que C.

Ejercicio 11. Considere el siguiente esquema de procesador de 32 bits. El banco de registros incluye 32 registros. Considere que el computador utiliza un ciclo de reloj para realizar la decodificación de la instrucción y que se conecta a una memoria que permite realizar una operación de lectura y de escritura en un ciclo.



Este computador dispone del juego de instrucciones del MIPS32. Se pide:

- a) Indique las señales de control necesarias para poder realizar la operación elemental $PC \leftarrow R7$, siendo R7 el registro del banco de registros cuyo número es el 7.
- b) Si durante un ciclo de reloj se activan las señales T3 y C10, indique qué operación elemental se está realizando.
- c) Indique las operaciones elementales y las señales de control (incluyendo el *fetch*) necesarias para ejecutar la instrucción `addi $t0, $t1, 10`.
- d) Indique las señales de control necesarias para poder realizar la operación elemental $RT1 \leftarrow $t2$, siendo \$t2 el registro número 2 del banco de registros.
- e) Indique las operaciones elementales y las señales de control (incluyendo el *fetch*) necesarias para ejecutar la instrucción hipotética `addm $t1, ($t2)`. Esta función suma el contenido del registro \$t1 con el contenido de la posición de memoria, que se encuentra almacenada en \$t2. El resultado se almacena en el registro \$t1. Es decir: $\$t1 \leftarrow \$t1 + MP[\$t2]$

Ejercicio 12. Considere el computador de 32 bits del ejercicio anterior, que dispone de un banco de 32 registros, que se encuentra conectado a una memoria, que se direcciona por bytes y que requiere un ciclo para las operaciones de lectura y escritura. El computador dispone de un juego de instrucciones con 130 instrucciones máquina. La unidad aritmético-lógica es capaz de realizar operaciones aritméticas y lógicas (sumar, restar, multiplicar, dividir, incrementar, disminuir en uno, etc.). El procesador emplea un ciclo para la decodificación de la instrucción. Su estructura es la siguiente

Considere las dos siguientes instrucciones:

`moveM dir1, dir2` Esta instrucción mueve el contenido de la posición de memoria `dir2` a la posición de memoria `dir1`.

`moveR R1, R2` Esta instrucción mueve el contenido del registro `R2` al registro `R1` (`R1` y `R2` son los registros 1 y 2 del banco de registros).

Se pide:

- Indique, de forma razonada, el formato de las instrucciones anteriores.
- Indique, en función del formato definido en el apartado a, las operaciones elementales y las señales de control necesarias para la ejecución de las instrucciones anteriores. Incluya también el ciclo de *fetch*.

Ejercicio 13. Considere el computador de **32 bits**, del ejercicio anterior, que dispone de un banco de **32 registros**, que se encuentra conectado a una memoria, que se **direcciona por bytes** y que requiere **un ciclo para las operaciones de lectura y escritura**. El computador dispone de un juego de instrucciones con **98 instrucciones máquina**. La unidad aritmético-lógica es capaz de realizar operaciones aritméticas y lógicas (sumar, restar, multiplicar, dividir, incrementar, disminuir en uno, etc.). El procesador emplea un ciclo para la decodificación de la instrucción. Su estructura es la siguiente:

Considere la siguiente instrucción máquina:

`swap R1, dir` Esta instrucción intercambia el contenido almacenado en el registro `R1` con el contenido almacenado en la dirección de memoria `dir`.

Se pide:

- Indique, de forma razonada el formato de la instrucción anterior. Tenga en cuenta que el campo `dir` debe poder almacenar cualquier dirección de memoria válida en este computador.
- Indique el modo de direccionamiento de los campos `R1` y `dir`.
- Indique, en función del formato definido en el apartado a, las operaciones elementales y las señales de control necesarias para la ejecución de la instrucción anterior. Incluya también el ciclo de *fetch*.

Ejercicio 14. Considere un computador de **32 bits**, del ejercicio anterior, que dispone de un banco de **32 registros**, que se encuentra conectado a una memoria, que se **direcciona por bytes** y que requiere **un ciclo para las operaciones de lectura y escritura**. El computador dispone de un juego de instrucciones con **98 instrucciones máquina**. La unidad aritmético-lógica es capaz de realizar operaciones aritméticas y lógicas (sumar, restar, multiplicar, dividir, incrementar, disminuir en uno, etc.). También incluye operaciones para sumar o restar 4 al dato que entra por el multiplexor A. El procesador emplea un ciclo para la decodificación de la instrucción. El registro puntero de pila es el registro 29. Y el registro 0 tiene su contenido cableado a 0. Su estructura es la siguiente:

Se pide:

- Indique que es una interrupción y por qué se produce. Indique dos ejemplos que provoquen una interrupción.
- ¿Qué acciones realiza la unidad de control durante el ciclo de reconocimiento de la interrupción?

Indique las operaciones elementales y las señales de control que debe realizar la unidad durante el ciclo de reconocimiento de la interrupción descrito anteriormente, asumiendo que la dirección de la rutina de tratamiento de la interrupción se encuentra en la dirección de memoria 0.