

ALMACENAMIENTO Y OTROS ASPECTOS DE LA ENTRADA/SALIDA

5.1. Se tiene un bus de 64 bits a 200 MHz. Sólo con estos datos:

a) ¿Cuál es el ancho de banda máximo posible?

Ancho de banda máximo posible: una palabra por ciclo de reloj de manera sostenida, es decir:

64 bits = 8 bytes = 2 palabras(words de 32 bits).

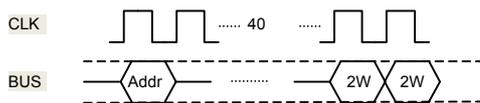
8 bytes x 200 MHz = 8 Bytes/5 ns = $1,6 \cdot 10^9$ B/s = 1,6 GB/s (si se considera GB = 2^{30} en vez de 10^9 = 1,49 GB/s)

Aparte de la información anterior se conocen las siguientes características del sistema:

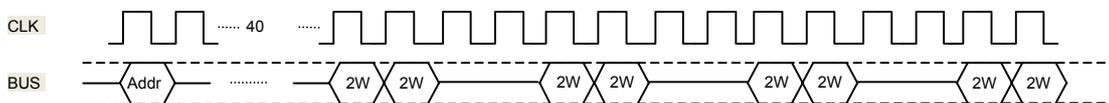
- Hay una memoria conectada a través de dicho bus (multiplexado, de ciclo completo) que soporta acceso a bloques de entre 4 y 16 palabras de 32 bits.
- El bus es síncrono de 64 bits a 200 MHz en el que cada vez que circulan 64 bits se requiere 1 ciclo de reloj. El envío de una dirección a memoria también requiere un ciclo de reloj.
- El tiempo de acceso a memoria para las 4 primeras palabras de un bloque es de 200 ns y cada grupo adicional de 4 palabras se lee en 20 ns.

Calcular el ancho de banda sostenible, el número de transacciones de bus por segundo (una transacción es una transmisión de dirección seguida por datos), y el tiempo necesario para la lectura de 1 kB en los siguientes supuestos:

b) Usando bloques de 4 palabras (ver cronograma).



c) Usando bloques de 16 palabras (ver cronograma).



d) Si en una segunda versión del bus se permiten transacciones partidas (*split transactions*), de manera que se puede transmitir la dirección en una operación y todos los datos en una segunda operación, ¿cuántos ciclos de reloj se podrían recuperar en cada uno de los casos anteriores al leer 1 kB?

Nota: Al acceder a un bloque sólo hay que poner la primera dirección.

SOLUCIÓN:

1 kB = 256 palabras ($2^{10} / 2^2 = 2^8$)

b) Con bloque de 4 palabras, cada bloque requiere:

- 1 ciclo para la dirección
- 40 ciclos (200 ns) para leer el primer bloque (4 palabras)
- 2 ciclos para enviar las 4 palabras por el bus de 64 bits

Total: 43 ciclos para enviar 4 palabras

En número de transacciones es: 256 palabras/(4 palabras/bloque) = 64 transacciones

Tiempo utilizado para enviar 1 kB: $T = 43 \text{ ciclos/bloque} \cdot 64 \text{ bloques} \cdot T_c = 2752 \text{ ciclos} \cdot 5 \text{ ns}$

$T = 13760 \text{ ns}$

Transacciones por segundo: 64 transacciones/13760 ns = 4,65 MTransacciones/segundo

Ancho de banda: 1024 Bytes/13760 ns = $0,07441 \cdot 10^9 \text{ B/s} = 74,42 \text{ MB/s}$

(si MB = 2^{20} en vez de 10^6 = $74,418 \cdot 10^6 \text{ B/s} = 70,97 \text{ MB/sec}$)

ALMACENAMIENTO Y OTROS ASPECTOS DE LA ENTRADA/SALIDA

c) Con bloques de 16 palabras, cada bloque requiere:

1 ciclo para la dirección

40 ciclos (200 ns) para leer el primer bloque (4 palabras)

2 ciclos para enviar las 4 primeras palabras del bloque (10 ns)

20 ns = 4 ciclos (2 de espera y 2 de envío) para cada siguiente grupo de 4 palabras, 3 veces: $4 \cdot 3 = 12$ ciclos

Total: 55 ciclos para enviar 16 palabras

El número de transacciones es: $256 \text{ palabras} / (16 \text{ palabras/bloque}) = 16 \text{ transacciones}$

Tiempo utilizado para enviar 1 kB: $T = 55 \text{ ciclos/bloque} \cdot 16 \text{ bloques} \cdot T_c = 880 \text{ ciclos} \cdot 5 \text{ ns}$

$T = 4400 \text{ ns}$

Transacciones por segundo: $16 \text{ transacciones} / 4400 \text{ ns} = 3,64 \text{ MTransacciones/segundo}$

Ancho de banda: $1024 \text{ bytes} / 4400 \text{ ns} = 232,73 \text{ MB/s}$.

d) Con bloques de 4 palabras, los 40 ciclos de espera hasta obtener los primeros datos se pueden recuperar. Entonces para la transferencia de 1 kB, se recuperarían $40 \text{ ciclos/transacción} \cdot 64 \text{ transacciones} = 2560 \text{ ciclos}$.

Con bloques de 16 palabras, los 40 ciclos de espera hasta obtener los primeros datos se pueden recuperar. Entonces para la transferencia de 1 kB, se recuperarían $40 \text{ ciclos/transacción} \cdot 16 \text{ transacciones} = 640 \text{ ciclos}$.

ALMACENAMIENTO Y OTROS ASPECTOS DE LA ENTRADA/SALIDA

5.2. a) Rehacer el ejercicio 4.1 en sus apartados b), c) y d) suponiendo que:

- El tiempo de acceso a memoria para las 4 primeras palabras de un bloque es de 150 ns y cada grupo adicional de 4 palabras se lee en 30 ns.

SOLUCIÓN:

1 kB = 256 palabras

b) Con bloque de 4 palabras, cada bloque requiere:

1 ciclo para la dirección

30 ciclos (150 ns) para leer el primer bloque (4 palabras)

2 ciclos para enviar las 4 palabras por el bus de 64 bits

Total: 33 ciclos para enviar 4 palabras

En número de transacciones es: $256 \text{ palabras} / (4 \text{ palabras/bloque}) = 64 \text{ transacciones}$

Tiempo utilizado para enviar 1 kB: $T = 33 \text{ ciclos/bloque} * 64 \text{ bloques} * T_c = 2112 \text{ ciclos} * 5 \text{ ns}$

$T = 10560 \text{ ns}$

Transacciones por segundo: $64 \text{ transacciones} / 10560 \text{ ns} = 6,06 \text{ MTransacciones/segundo}$

Ancho de banda: $1024 \text{ Bytes} / 10560 \text{ ns} = 96,97 \text{ MB/s}$

c) Con bloques de 16 palabras, cada bloque requiere:

1 ciclo para la dirección

30 ciclos (150 ns) para leer el primer bloque (4 palabras)

2 ciclos para enviar las 4 primeras palabras del bloque (10 ns)

30 ns = 6 ciclos (4 de espera y 2 de envío) para cada siguiente grupo de 4 palabras, 3 veces: $6 * 3 = 18$ ciclos

Total: 51 ciclos para enviar 16 palabras

El número de transacciones es: $256 \text{ palabras} / (16 \text{ palabras/bloque}) = 16 \text{ transacciones}$

Tiempo utilizado para enviar 1 kB: $T = 51 \text{ ciclos/bloque} * 16 \text{ bloques} * T_c = 816 \text{ ciclos} * 5 \text{ ns}$

$T = 4080 \text{ ns}$

Transacciones por segundo: $16 \text{ transacciones} / 4080 \text{ ns} = 3,92 \text{ MTransacciones/segundo}$

Ancho de banda: $1024 \text{ bytes} / 4080 \text{ ns} = 250,98 \text{ MB/s}$.

d) Con bloques de 4 palabras, los 30 ciclos de espera hasta obtener los primeros datos se pueden recuperar. Entonces para la transferencia de 1 kB, se recuperarían $30 \text{ ciclos/transacción} * 64 \text{ transacciones} = 1920 \text{ ciclos}$.

Con bloques de 16 palabras, los 30 ciclos de espera hasta obtener los primeros datos se pueden recuperar. Entonces para la transferencia de 1 kB, se recuperarían $30 \text{ ciclos/transacción} * 16 \text{ transacciones} = 480 \text{ ciclos}$.

ALMACENAMIENTO Y OTROS ASPECTOS DE LA ENTRADA/SALIDA

5.3. Suponiendo que se tiene un procesador que funciona a 500 MHz, y un disco duro que transfiere datos en bloques de 4 palabras de 32 bits a razón de 4 MB/seg, evaluar la fracción de tiempo que dedica el procesador a E/S para cada uno de los siguientes casos:

a) Polling: Suponiendo que el número total de ciclos de reloj para una operación de *polling* es 400 ciclos para cada bloque y que se accede a los dispositivos con la suficiente frecuencia como para que no se pierdan datos aun con el dispositivo de E/S a pleno funcionamiento.

b) Interrupciones: Suponiendo que el número total de ciclos de reloj para atender una interrupción es 500, que en cada interrupción se accede a un bloque y que el disco está transmitiendo datos el 5% del tiempo.

c) DMA: Suponiendo que el número total de ciclos de reloj para iniciar el controlador DMA es 1000 y que la rutina de servicio de la interrupción que genera el controlador DMA cuando finaliza la transferencia necesita 500 ciclos de reloj. Las transferencias de DMA son de 8 kB en promedio y el disco transfiere información el 100% del tiempo.

SOLUCIÓN:

a) La cantidad de accesos debe ser igual a la tasa de transmisión de datos en bloques de 4 palabras: $4 \text{ MB/s} / 16 \text{ Bytes/transf} = 250 \text{ Ktransf/s}$

Entonces, la cantidad de ciclos para hacer *polling* será: $250 \text{ Ktransf/s} * 400 \text{ ciclos/transf} = 100 * 10^6 \text{ ciclos/s}$

Finalmente la fracción de tiempo del procesador será:

$$100 * 10^6 / (500 * 10^6) = 0,2; \text{ es decir, el } 20\% \text{ del tiempo}$$

b) La tasa de transmisión de datos en bloques de 4 palabras cuando el disco está funcionando a pleno rendimiento es la misma que antes: 250 Ktransf/s

Pero esto ocurre el 5% del tiempo: $250 * 0,05 = 12,5 \text{ Kinterr/s}$

Entonces, la cantidad de ciclos para atender estas interrupciones será: $12,5 \text{ Kinterr/s} * 500 \text{ ciclos/interr} = 6,25 * 10^6 \text{ ciclos/s}$

Finalmente, la fracción de tiempo del procesador será:

$$6,25 * 10^6 / (500 * 10^6) = 0,0125; \text{ es decir, el } 1,25\% \text{ del tiempo}$$

c) Cada transferencia mediante DMA con el disco a máximo rendimiento se da cada cierto tiempo:

$$8 \text{ kB/transf} / 4 \text{ MB/s} = 2 \text{ ms/transf}$$

Transfiriendo constantemente, la carga para el procesador será:

$$(1000+500 \text{ ciclos/transf}) / (2 \text{ ms/transf}) = 750 * 10^3 \text{ ciclos/s}$$

Lo cual representa:

$$750 * 10^3 / (500 * 10^6) = 1,5 * 10^{-3}; \text{ es decir, el } 0,15\% \text{ del tiempo}$$

ALMACENAMIENTO Y OTROS ASPECTOS DE LA ENTRADA/SALIDA

5.4. Un ordenador con un bus de datos de 32 bits utiliza chips de memoria RAM dinámica de 1M x 1. ¿Qué tamaño mínimo de memoria (en bytes) puede tener este ordenador?

Como los chips de memoria son de un bit de ancho, se necesitan al menos 32 chips de 1Mx1 para conseguir datos de 32 bits.

El mínimo por tanto es 32 Mbits = 4 MBytes

5.5. Calcular el ancho de banda de bus necesario para mostrar una película VGA (640 x 480) en color real (24 bits/pixel) a 30 imágenes/s. Los datos deben pasar dos veces por el bus, una de la lectora de CD a la memoria y otra de la memoria a la controladora de vídeo.

Ancho necesario: $(640 * 480) \text{ pixels/imagen} * 3 \text{ Bytes/pixel} * 30 \text{ imágenes/s} = 27,65 \text{ MBytes/s}$ para cada imagen si sólo se transmite una vez.

Como se transmite dos veces: 55,30 MBytes/s.

5.6. Suponga que se quiere reproducir video full-HD a 25 FPS sin comprimir leyéndolo desde una memoria FLASH externa MicroSDHC Clase 4 con velocidad de escritora de 5MB/s y 15 MB/s de lectura. ¿Cuál es la mínima velocidad de lectura necesaria? ¿Se puede transmitir el video por Wifi 802.11 b, g ó n?

ALMACENAMIENTO Y OTROS ASPECTOS DE LA ENTRADA/SALIDA

5.7. Se tiene un bus de 32 bits de ancho a 100 MHz. A él se conectan una serie de periféricos, todos iguales, generando cada uno de ellos hasta 50 MBytes/s a pleno rendimiento.

a) Suponiendo bus ideal, ¿cuántos periféricos podrían conectarse si trabajan a pleno rendimiento?

$100 \text{ MHz} * 4 \text{ Bytes} = 400 \text{ MBytes/s}$ es el ancho de banda del bus.

$400 \text{ MBytes/s} / 50 \text{ MBytes/s} = 8$ periféricos podrían conectarse.

Si se sabe que los periféricos están activos en promedio como mucho el 10% del tiempo, y suponiendo que si no se les atiende inmediatamente no se pierden datos, se pide:

b) ¿Cuántos periféricos podrían conectarse en este supuesto?

Es como si tuvieran los periféricos un tráfico de $50 * 10\% = 5 \text{ MBytes/s}$.

En ese supuesto, $400 \text{ MBytes/s} / 5 \text{ MBytes/s} = 80$ periféricos podrían conectarse.

El bus forma parte de un sistema microprocesador con un micro de 500 MHz. Los datos de los periféricos los necesita el micro, y éste accede a los datos por los siguientes métodos.

En primer lugar, se plantea acceder por *polling*. En ese caso, cada rutina de *polling*, que tarda en ejecutarse 100 ciclos del micro, transfiere un bloque de 40 Bytes. Con este supuesto, se pide:

c) ¿Cuántos periféricos puede haber para que el micro no pierda ningún dato de ninguno?

$100 \text{ ciclos} / 40 \text{ Bytes} = 2,5 \text{ ciclos/Byte}$ necesita el micro.

Como cada periférico transmite hasta 50 MBytes/s de pico, y con la política de *polling* hay que trabajar como si estuviera a pleno rendimiento para no perder ningún dato: $2,5 \text{ ciclos/Byte} * 50 \text{ MBytes/s} = 125 \text{ Mciclos/s}$.

El micro puede atender a: $500 \text{ MHz} / (125 \text{ Mciclos/s}) = 4$ periféricos por *polling*.

En segundo lugar, se plantea acceder por interrupciones. En ese caso, cada rutina de interrupción, que tarda en ejecutarse 120 ciclos del micro, transfiere un bloque de 40 Bytes. Se recuerda que, de media, los periféricos están activos un 10% del tiempo. Con este supuesto, se pide:

d) ¿Cuántos periféricos puede haber para que el micro los atienda por interrupciones?

$120 \text{ ciclos} / 40 \text{ Bytes} = 3 \text{ ciclos/Byte}$ necesita el micro.

Como cada periférico transmite hasta 50 MBytes/s de pico, pero de media 5 MBytes/s (el 10%), queda que lo que necesita cada periférico del micro es: $3 \text{ ciclos/Byte} * 5 \text{ MBytes/s} = 15 \text{ Mciclos/s}$.

El micro puede atender a: $500 \text{ MHz} / (15 \text{ Mciclos/s}) = 33,3$, se redondea hacia abajo a 33 periféricos por interrupciones.

En tercer y último lugar, se plantea acceder por DMA. En ese caso, cada bloque de 10 kBytes enviado por DMA necesita una rutina de configuración de 500 ciclos y otra al acabar, cuando se genera la interrupción, de otros 500 ciclos. Se recuerda que, de media, los periféricos están activos un 10% del tiempo. Con este supuesto, se pide:

e) ¿Cuántos periféricos puede haber para que el micro los atienda por DMA?

$1000 \text{ ciclos} / 10 \text{ kBytes} = 0,1 \text{ ciclos/Byte}$ necesita el micro.

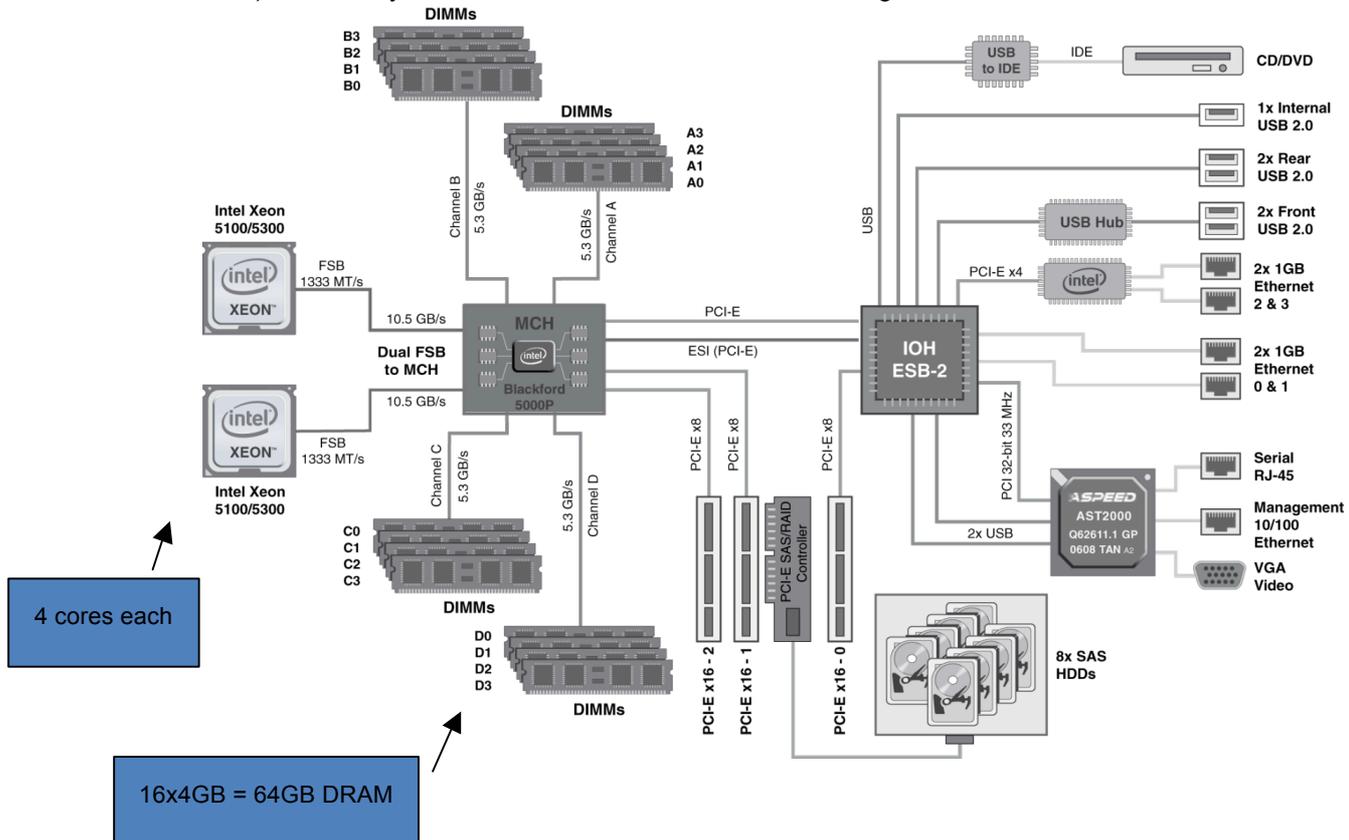
Como cada periférico transmite hasta 50 MBytes/s de pico, pero de media 5 MBytes/s (el 10%), queda que lo que necesita cada periférico del micro es: $0,1 \text{ ciclos/Byte} * 5 \text{ MBytes/s} = 0,5 \text{ Mciclos/s}$.

El micro puede atender a: $500 \text{ MHz} / (0,5 \text{ Mciclos/s}) = 1000$ periféricos. Sin embargo, como los periféricos van conectados al bus, es el bus el que limita el número de periféricos a 80.

ALMACENAMIENTO Y OTROS ASPECTOS DE LA ENTRADA/SALIDA

5.8. El sistema Sun Fire x4150 tiene las siguientes características.

- Cada CPU puede ejecutar 10^9 instrucciones/seg.
- El *Front Side Bus* (FSB) tiene una velocidad pico de 10.6 GB/seg.
- Cada canal DRAM (DDR2 667MHz) tiene una velocidad de 5.336 GB/seg.
- El bus PCI-E 8x tiene una velocidad de $8 \times 250\text{MB/seg} = 2\text{GB/seg}$.
- Los discos duros son de 15,000 rpm y 256GB cada uno, tienen un tiempo de búsqueda media (seek time) de 2.9ms y una tasa de transferencia de 112MB/seg.



Se necesita con este sistema capturar tráfico de red a 10Gb/seg. La tarjeta de red se conecta al sistema a través de una de las ranuras PCI-E disponible.

Nota: GB significa Giga-Bytes; MB significa Mega-Bytes; Gb significa Giga-bits.

a. Se desea grabar el tráfico de red a los discos duros en tiempo real:

a.1 ¿Tiene el bus PCI-E ancho de banda suficiente? Justifique brevemente la respuesta.

Sí. 10 Gb/seg es igual a 1,25 GB/seg y el PCI-E disponible tiene 2GB/seg.

a.2 ¿Pueden los discos duros almacenar el tráfico en tiempo real? Justifique brevemente la respuesta.

No. Suponiendo que se graba secuencialmente, cada disco tiene una velocidad de 112 MB/seg. Los 8 discos grabando en paralelo producen 896 MB/seg que es inferior a los 1,25 GB/seg necesarios.

a.3 Suponga que se puede cambiar el sistema de almacenamiento por una controladora RAID-0 que conecta 4 discos de estado sólido (SSD) de alta velocidad. ¿Qué velocidad de escritura tendrían que tener para poder sostener los 10 Gbps cada uno de los discos?

10 Gb/seg (1,25 GB/seg). Si se utilizan 4 discos en paralelo necesitaremos que al menos puedan escribir $10/4 = 2,5 \text{ Gb/seg} = 312,5 \text{ MB/seg} = 0,3125 \text{ GB/seg}$.

b. ¿Se podría grabar el tráfico de red a memoria RAM en tiempo real? Justifique brevemente la respuesta.

Sí, sin problemas. Cada memoria tiene un ancho de banda de 5,3 GB/seg.

ALMACENAMIENTO Y OTROS ASPECTOS DE LA ENTRADA/SALIDA

c . Suponiendo que la aplicación que graba de red a memoria puede disponer de 40 GB de RAM, ¿cuánto tiempo de tráfico real de red a máxima velocidad podría almacenar?

$$40\text{GB} / 1,25\text{GB/seg} = 32 \text{ seg.}$$

$$\text{Si fuésemos más precisos son } 40 \cdot 2^{30} / 1,25 \cdot 10^9 = 34,35 \text{ seg.}$$

d. Suponga que se quieren transferir los 40 GB almacenados en RAM a los discos duros. La transferencia se realiza utilizando DMA. Las transferencias DMA son en bloques de 64KB. El inicio de una transacción DMA consume 1500 instrucciones (entre el programa y el sistema operativo). Al finalizar la transacción el controlador interrumpe al procesador avisando de la finalización, que implica ejecutar 500 instrucciones adicionales.

d.1. Suponga que la controladora de discos es capaz de escribir los 8 discos a la vez. ¿Cuánto tiempo se necesita para escribir el bloque de 64KB?

$$64 \cdot 2^{10} \text{ B} / 112 \cdot 10^6 \text{ B/seg} / 8 \text{ discos} = 0,5851 \text{ mseg}/8 = 73,14 \text{ microseg.}$$

$$\text{También aceptable (64KB/8 discos): } 8 \cdot 2^{10} \text{ B} / 112 \cdot 2^{20} \text{ B/seg} = 69,75 \text{ microseg}$$

d.2 Suponiendo que la transferencia completa del bloque de 64 KB es de 100 microsegundos (10^{-4} seg) (incluye leer memoria, usar los buses y grabar en discos), ¿qué porcentaje del tiempo de uno de los procesadores estaría ocupado haciendo la transferencia de dicho bloque?

$$\text{Para cada transferencia se necesitan } 2000 \text{ instrucciones} / (10^9 \text{ instrucciones/seg}) + \text{transf} = 2 \cdot 10^{-6} + 100 \cdot 10^{-6} = 102 \text{ microsegundos.}$$

$$\text{El procesador necesita } 2/102 \text{ del tiempo} = 1,96\%$$

d.3 ¿Cuándo tiempo llevará la transferencia de los 40 GB?

$$\text{Se necesitan un total de } 40\text{GB}/64\text{KB} \text{ transferencias} = 40 \cdot 2^{30} / 64 \cdot 2^{10} = 640 \cdot 2^{10} = 655360 \text{ transacciones.}$$

Cada transacción tarda en total $10^2 \cdot 10^{-6}$ seg, por tanto:

$$10^2 \cdot 10^{-6} \text{ seg} \cdot 655360 \text{ transacciones} = 66,84 \text{ seg.}$$