



# Problemas de Electrónica Digital (Tema 2, enunciados)

## Electrónica Digital

**Universidad de Alcalá**

---

(12/09/2013)

# Índice

Cuestión 1 .....	3
Cuestión 2 .....	5
Cuestión 3 .....	6
Cuestión 4 .....	7
Cuestión 5 .....	9
Cuestión 6 .....	10
Cuestión 7 .....	11
Cuestión 8 .....	12
Cuestión 9 .....	13
Cuestión 10 .....	14
Cuestión 11 .....	16
Cuestión 12 .....	17
Cuestión 13 .....	18
Cuestión 14 .....	19
Cuestión 15 .....	20
Cuestión 16 .....	21
Cuestión 17 .....	22
Cuestión 18 .....	23
Cuestión 19 .....	24
Cuestión 20 .....	25
Cuestión 21 .....	26
Cuestión 22 .....	27
Cuestión 23 .....	28

**Nota.-** En los problemas donde aparezcan circuitos integrados específicos (74LS138 etc.) sin la tabla de verdad que los describe, el alumno deberá ayudarse de las hojas de características (datasheets) de los mismos (fácilmente localizables a través de Internet) para corroborar cómo funcionan (fundamentalmente, a través de la tabla de verdad del componente).

## Ejercicios del Tema 2

### Cuestión 1

El circuito de la Figura 1.1 pertenece a un sistema de acceso para usuarios autorizados a escribir información en dispositivos. El sistema completo incluye cuatro áreas con cuatro dispositivos cada una de ellas, aunque en la figura se muestra únicamente la conexión al área 2. La entrada del sistema es un código de 12 bits [D11..D0] según se muestra en la Tabla 1.1. Cada usuario tiene, en cada área, dispositivos permitidos para él, tal y como se indica en la Tabla 1.2. Para que un usuario pueda escribir información en su/s dispositivo/s permitido/s debe activarse el área correctamente mediante la señal SSI, y el usuario debe introducir su código de usuario.

D <sub>11</sub> ..D <sub>0</sub>		
D <sub>11</sub> ..D <sub>8</sub>	D <sub>7</sub> ..D <sub>4</sub>	D <sub>3</sub> ..D <sub>0</sub>
Código de Activación de área	Código de usuario	Info.

Tabla 1.1

Acceso a dispositivos Área 2 (Hex.)		
Usuario	Código de usuario	Dispositivo
1	6h	Disp 2
2	2h	Disp 1 y Disp 3
3	8h	Disp 4
4	Ah	Disp 4

Tabla 1.2

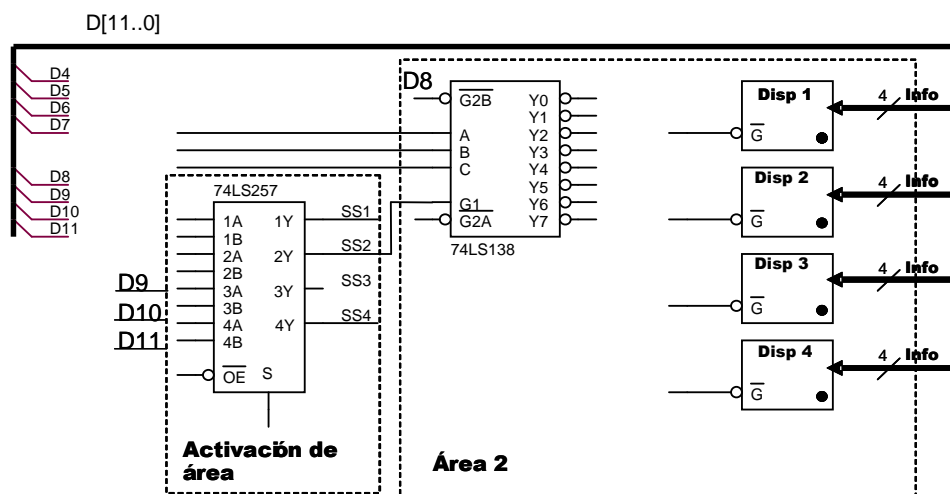
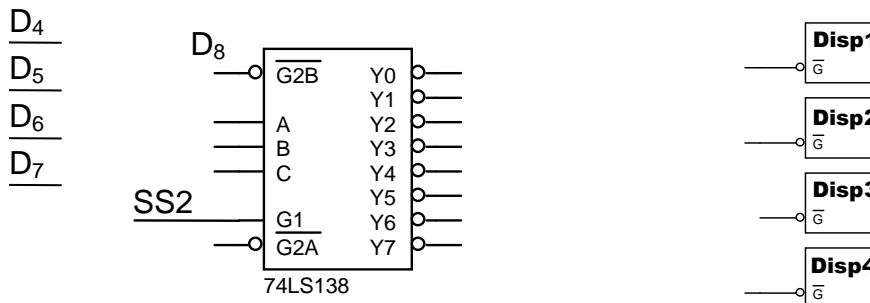


Figura 1.1

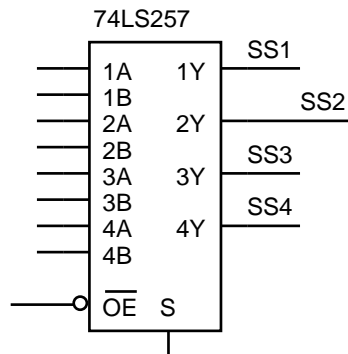
- 1) Escriba el código de [D11..D0] para el siguiente caso: se introduce uno de los códigos de activación válidos para el área 2 (el código 8h) y el usuario 4 escribe la información Ch.

D <sub>11</sub>	D <sub>10</sub>	D <sub>9</sub>	D <sub>8</sub>	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>

- 2) Empleando el menor número posible de puertas lógicas adicionales, complete las conexiones en el circuito mostrado a continuación para que el sistema de acceso a los dispositivos del área 2 funcione de la forma descrita en el enunciado y en la Figura 1.1. Cada dispositivo se habilita mediante una señal  $\overline{G}$ .



- 3) Para habilitar el área 2 debe activarse correctamente la señal  $SS2$ , implementada en el bloque de activación de área de la forma:  $SS2 = \overline{D_{11}} \cdot D_{10} \cdot D_9 + \overline{D_{11}} \cdot D_9 + \overline{D_{11}} \cdot D_{10} \cdot \overline{D_9}$ . Complete las conexiones del circuito mostrado a continuación para que active correctamente el área 2 del esquema de la Figura 1.1, sin emplear ningún elemento adicional. Indique qué códigos de activación son válidos.

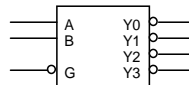
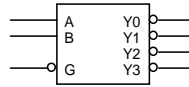
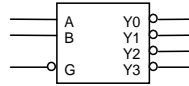


Códigos de activación válidos ( $D_{11} D_{10} D_9 D_8$ ):

### Cuestión 2

1) A partir de decodificadores 2 a 4, cuya tabla de funcionamiento se adjunta, obtenga un decodificador 4 a 16 con una entrada de habilitación  $\overline{G}$  activa a nivel bajo, entradas de selección (D, C, B, A) activas a nivel alto, y salidas  $\overline{Y}[15:0]$  activas a nivel bajo. Si es necesario utilice inversores y/o otro decodificador 2 a 4.

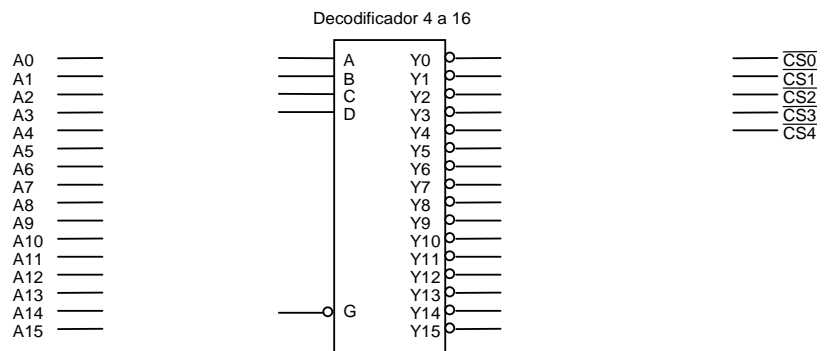
INPUTS			OUTPUTS			
$\overline{G}$	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L



2) Con el decodificador obtenido en el apartado anterior, diseñe un sistema combinacional de 16 entradas ( $A[15:0]$ ) y 5 salidas ( $\overline{CS}[4:0]$ ), de manera que cada salida se active a nivel bajo para el margen de combinaciones binarias de entrada indicado en la tabla siguiente:

**Nota:** Si es necesario puede emplear puertas NAND de cualquier número de entradas.

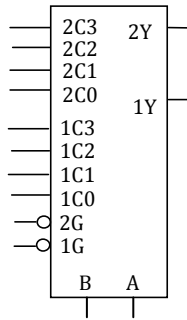
A[15:0] (hex)		Salida activa
Inicial	Final	
0000H	07FFH	CS0
0800H	17FFH	CS1
1800H	37FFH	CS2
5800H	5FFFH	CS3
7000H	7FFFH	CS4



### Cuestión 3

Basándose en el dispositivo doble multiplexor de 4 canales, cuya tabla de funcionamiento se adjunta, se pide:

- 1) Realice la función  $S=f(d,c,b,a)=(d \cdot c \cdot b \cdot a) + (\bar{c} \cdot b \cdot \bar{a}) + (d \cdot \bar{b} \cdot a)$  mediante un multiplexor y tres puertas NAND de dos entradas.



Function Table

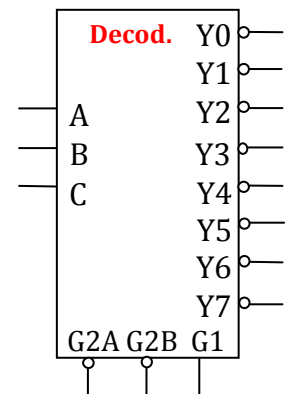
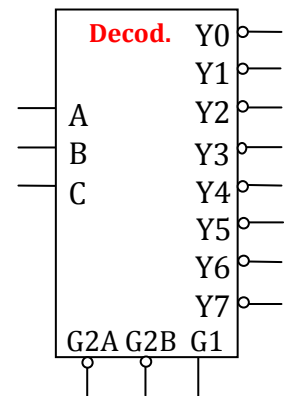
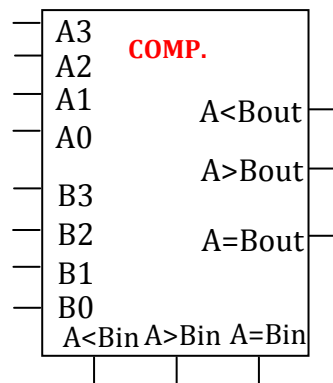
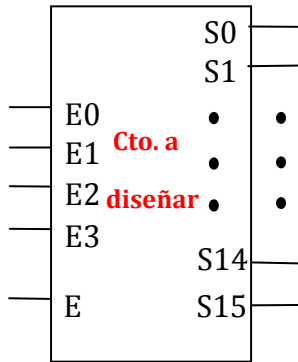
Select Inputs		Data Inputs				Strobe	Output
B	A	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H

Select inputs A and B are common to both sections.  
 H = High Level, L = Low Level, X = Don't Care

- 2) Realice con el mínimo número de multiplexores anteriores un multiplexor de dos datos (A y B) de 4 bits con patilla de inhibición (I) activa a nivel alto. Especifique la asignación de los bits de entradas y salida así como sus pesos.

### Cuestión 4

Diseñe un decodificador 4:16 con entradas, salidas y entrada de habilitación (E) activas a nivel alto a partir de dos circuitos decodificadores 3:8, un comparador de 4 bits y las puertas básicas que considere necesarias (justifique la respuesta). Indique claramente la localización de las entradas y las salidas del sistema total y las conexiones entre los circuitos.



### Comparador

Comparing Inputs				Cascading Inputs			Outputs		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

Tabla funcionamiento circuitos decodificadores 3:8

Inputs					Outputs							
Enable		Select										
G1	G2 (Note 1)	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	L	H	H	H	H	H
H	L	H	L	L	H	H	H	L	H	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H	H
H	L	H	H	L	H	H	H	H	H	L	H	H
H	L	H	H	H	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

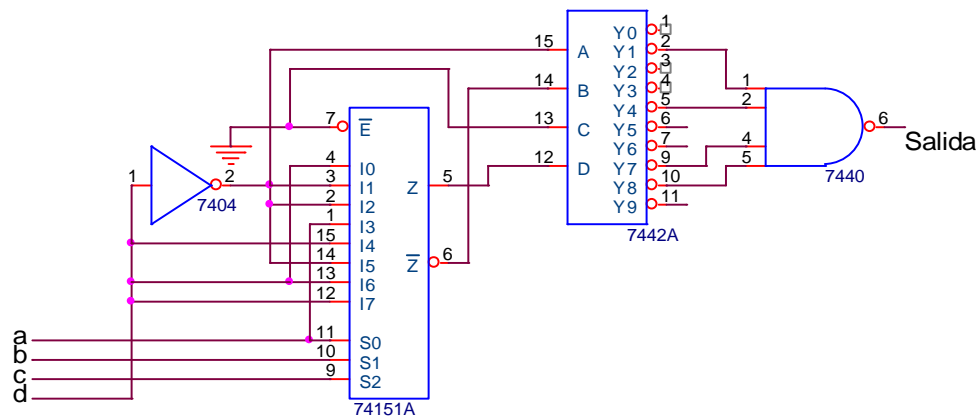
H = HIGH Level  
L = LOW Level  
X = Don't Care

Note 1: G2 = G2A + G2B



### Cuestión 5

Dado el circuito de la siguiente figura, compuesto por un decodificador y un multiplexor, en el que las variables de entrada son "a" (LSB) y "d" (MSB), determínese:



- 1) Obtener la función canónica de salida.
  
- 2) Simplificar por Karnaugh dicha función.
  
- 3) Implemente la función utilizando puertas NOR de dos entradas.

### Cuestión 6

A partir del circuito combinacional diseñado en la Figura 2.1.

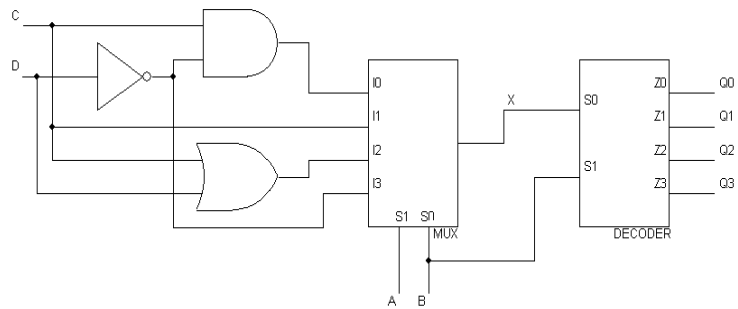


Figura 2.1

1) (a) Obtenga la expresión algebraica de x como suma de minterms.

(b) Obtenga la expresión simplificada al máximo de x

2) Complete la siguiente tabla de verdad.

A	B	C	D	X	Q3	Q2	Q1	Q0
0	0	0	0					
0	0	0	1					
0	0	1	0					
0	0	1	1					
0	1	0	0					
0	1	0	1					
0	1	1	0					
0	1	1	1					
1	0	0	0					
1	0	0	1					
1	0	1	0					
1	0	1	1					
1	1	0	0					
1	1	0	1					
1	1	1	0					
1	1	1	1					

### Cuestión 7

1) Complete el circuito de la figura 2.1 para que funcione como un conversor Gray (G2 G1 G0) a binario natural (B2 B1 B0) de 3 bits, empleando los decodificadores 2:4 y el codificador con prioridad genérico 10 a 4, así como los inversores que considere necesarios.

Nota: Para indicar la conexión entre las salidas de los decodificadores y las entradas del codificador, escriba en cada cuadro el número de entrada a la que iría conectada.

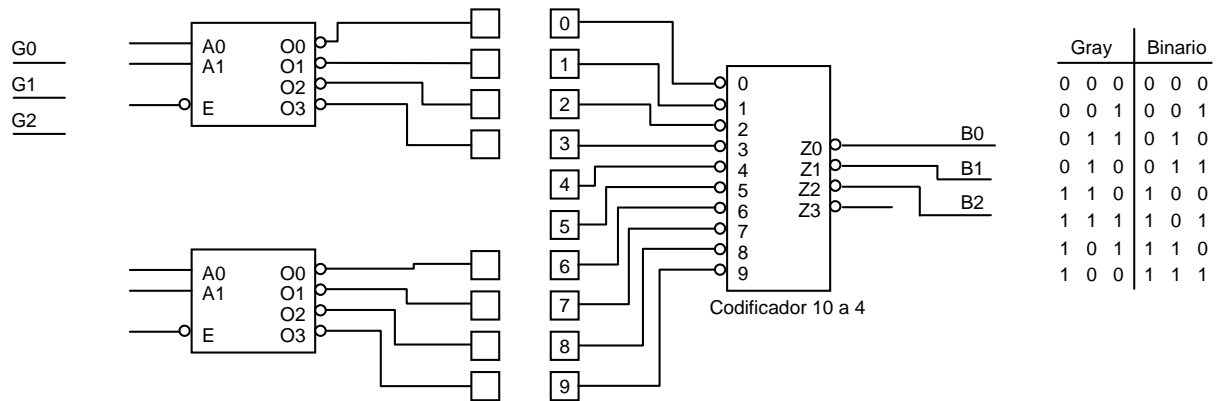
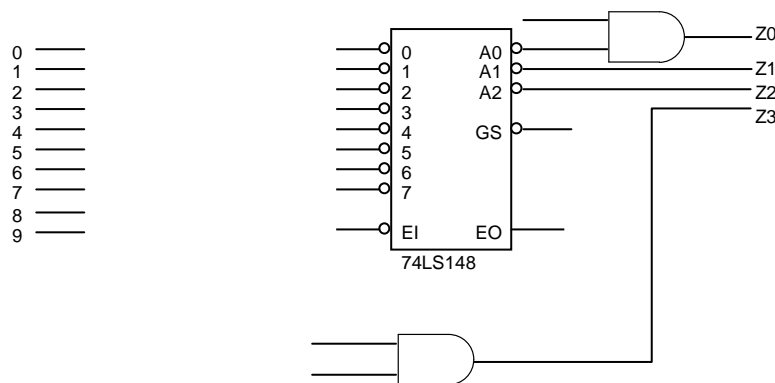


Figura 2.1. Conversor de Gray a Binario 3 bits.

2) A partir de un codificador con prioridad 8:3 (74ls148) y las puertas lógicas necesarias, complete el circuito siguiente para que funcione como el codificador con prioridad 10 a 4 con entradas y salidas activas a nivel bajo del apartado anterior.



Circuito codificador con prioridad 8:3

Circuito decodificador 2 a 4

Inputs			Outputs			
$\bar{E}$	A <sub>0</sub>	A <sub>1</sub>	$\bar{O}_0$	$\bar{O}_1$	$\bar{O}_2$	$\bar{O}_3$
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	H	L	H	L	H	H
L	L	H	H	H	L	H
L	H	H	H	H	H	L

EI	INPUTS							OUTPUTS					
	0	1	2	3	4	5	6	7	A2	A1	A0	GS	EO
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	L	H	H	H	L	H	L	L	H
L	X	X	X	L	H	H	H	H	L	H	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	L	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

### Cuestión 8

A partir del circuito de la Figura 2.1, se pide:

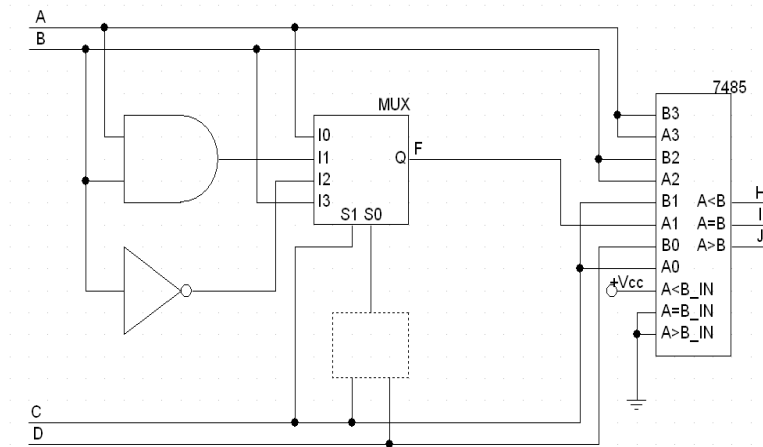


Figura 2.1

1) Sabiendo que  $F = \overline{C}DA + \overline{C}DAB + C\overline{D}B + CDB\overline{D}$ . Complete, con una única puerta, la zona punteada.

2) Obtenga la función simplificada de F.

3) Complete la siguiente tabla.

A	B	C	D	F	H	I	J
0	1	1	0				
0	0	1	1				

MUX

S1	S0	Q
0	0	I0
0	1	I1
1	0	I2
1	1	I3

7485

Comparing Inputs				Cascading Inputs			Outputs		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

### Cuestión 9

El circuito de la Figura 2.1 corresponde con un sistema de selección de tres dispositivos (Device<sub>i</sub>). Las líneas de entrada A[5:0] se utilizan para seleccionar cada dispositivo activando su entrada CS<sub>i</sub> a nivel bajo.

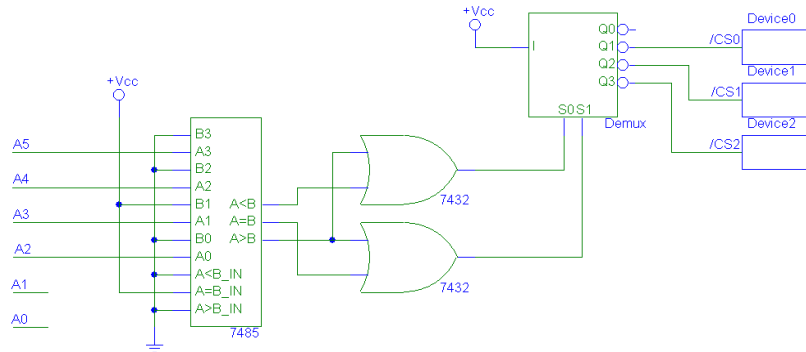


Figura 2.1. Circuito de selección.

Se pide:

- 1) Complete la siguiente tabla, indicando qué dispositivo se activa en función de la combinación de las líneas de entrada A[5:0].

A[5:0]	Dispositivo seleccionado
1 0 0 0 0	
0 0 0 1 0 0	
0 0 1 0 0 0	
0 0 0 1 1 1	
0 0 1 0 1 1	
0 1 0 0 1 1	
1 0 1 1 0 0	

- 2) Indique razonadamente con cuántas combinaciones binarias diferentes de las líneas de entrada se puede seleccionar cada dispositivo.

#### DEMUX

I	S1	S0	/Q3	/Q2	/Q1	/Q0
0	x	x	1	1	1	1
1	0	0	1	1	1	0
1	0	1	1	1	0	1
1	1	0	1	0	1	1
1	1	1	0	1	1	1

#### 7485

Comparing Inputs				Cascading Inputs			Outputs		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

### Cuestión 10

En la figura 2.1 se muestran los elementos del sistema de apertura de la puerta de un garaje. El mando a distancia dispone de dos interruptores, sw1 y sw2, cada uno de los cuales puede configurarse manualmente en tres posiciones, de manera que se transmite el código C[3..0] configurado. Con sw1 se codifican C3 C2, y con sw2 C1C0, de la forma indicada en la tabla para cada una de las tres posiciones de ambos interruptores. La puerta se abre al activar con un nivel bajo la señal AP del motor de apertura de puerta, MAP. Esto debe producirse cuando el código transmitido coincide con el código seleccionado en P[3..0], o bien cuando la célula fotoeléctrica CF se activa enviando un nivel bajo en F.

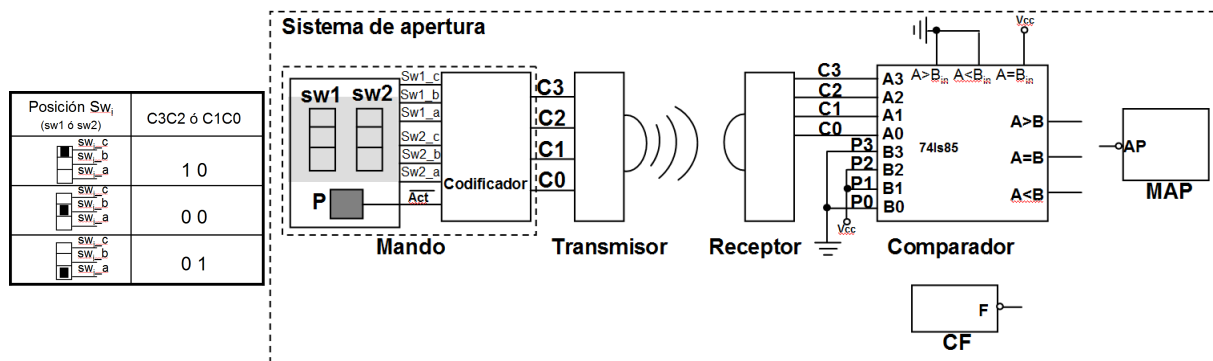
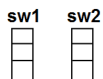


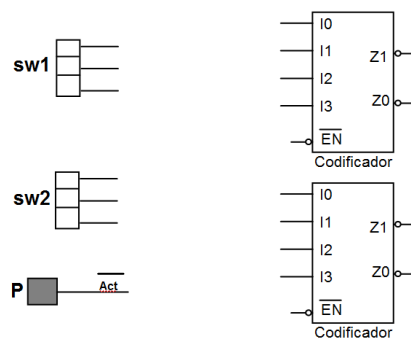
Figura 2.1

1) Al configurar cada interruptor en una posición se genera un nivel alto en su terminal correspondiente (swi\_c, swi\_b ó swi\_a) y el código C[3..0] se activa al pulsar P, que genera un nivel bajo en Act. Cuando cesa la pulsación el código es 1111.

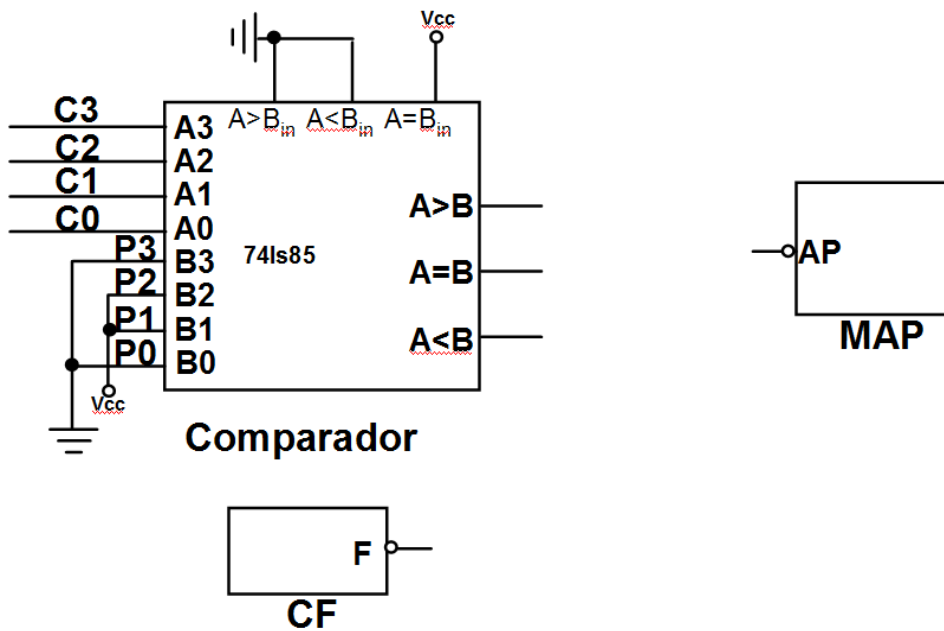
(a) Dada la configuración del sistema en la figura 2.1: indique en qué posiciones se deben configurar los interruptores para que funcione el sistema de apertura. Añada una breve explicación.



(b) Sin emplear ningún componente adicional, complete las conexiones en el siguiente circuito para obtener correctamente el código C[3..0]. Indique claramente en qué puntos se obtiene dicho código.



- 2) Realice las conexiones oportunas en el circuito mostrado a continuación para que el MAP se active correctamente de la manera explicada en el enunciado. Emplee el mínimo nº de puertas NOR.



74ls85

Comparing Inputs				Cascading Inputs			Outputs		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

### Cuestión 11

Se dispone de un sistema de movimiento del faro de un automóvil. Mediante un pulsador se envía un comando, de cuatro posibles: arriba (U), abajo (D), derecha (R) e izquierda (L), que son codificados en 4 bits, D3 D2 D1 D0, de la siguiente forma:

Arriba: 1101	Abajo: 1110	Derecha: 0111	Izquierda: 1011	Ninguno activo: 1111
--------------	-------------	---------------	-----------------	----------------------

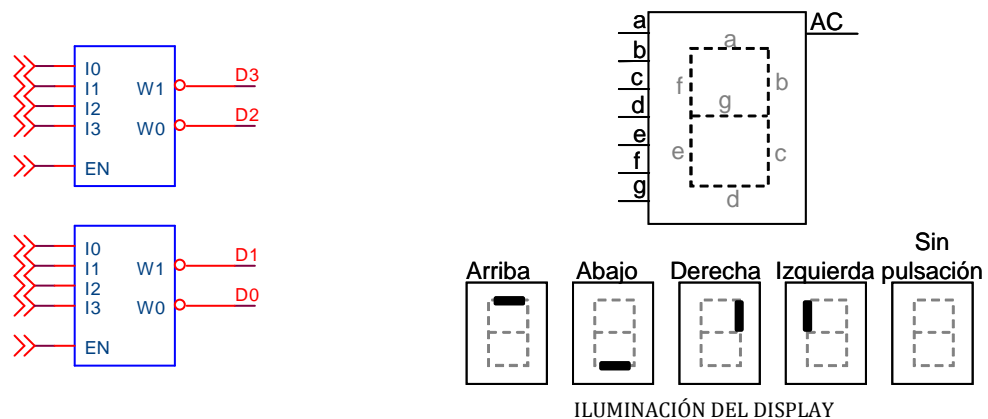
- 1) En la Figura 2.1, el circuito para codificar el comando de movimiento se realiza con dos codificadores de 4 a 2 con entrada de habilitación activa a nivel alto y salidas activas a nivel bajo. Al actuar sobre cada una de las cuatro posiciones del pulsador, se genera un nivel alto en su terminal correspondiente (U, D, R ó L) permaneciendo el resto a nivel bajo, no pudiéndose producir la pulsación simultánea en dos posiciones diferentes del mismo. Conecte los terminales del pulsador para que se codifique correctamente el comando de movimiento en D3..D0. Para ello emplee únicamente dos puertas lógicas, de dos entradas, adicionales.



Figura 2.1

- 2) Realice las conexiones en la figura de debajo para que se ilumine el display de la forma indicada con el código D3...D0, añadiendo únicamente las resistencias necesarias. Además calcule razonadamente el valor de las resistencias empleadas para que se ilumine el segmento con la máxima intensidad posible. DATOS: Codificadores: VOLmax=0.3V, IOLmax=15mA. Display: ánodo común (AC), IFmin=8mA, IFmax=20mA, VF=1V. Vcc=5V.

NOTA: Suponga que las entradas de los codificadores están correctamente conectadas al resto del circuito de codificación.



ILUMINACIÓN DEL DISPLAY



### Cuestión 12

Considerar dos palabras de 4 bits  $a = a_3 a_2 a_1 a_0$  y  $b = b_3 b_2 b_1 b_0$ .

- 1) Con un comparador y las puertas necesarias, diseñar sobre la figura 1 un circuito que produzca una salida  $G=1$  cuando se cumplan al mismo tiempo las siguientes condiciones:  
 $\bar{a}_1 = b_2 ; a_2 = b_3 ; a_3 = b_0 \oplus b_2$ .

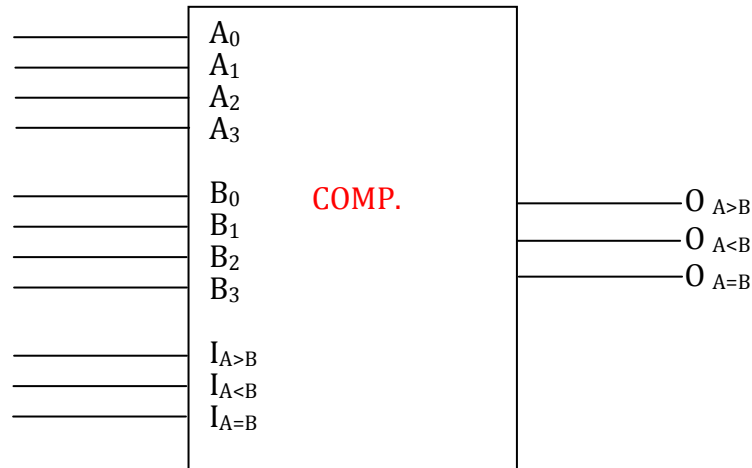


Figura 1

- 2) Implementar la función G anterior con puertas XOR y puertas NAND.

### Comparador

Comparing Inputs				Cascading Inputs			Outputs		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	X	X	H	L	L	H
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	H	L	L	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	L	H	H	L

### Cuestión 13

Se desea realizar un circuito digital combinacional que visualice un número. Dicho circuito, en el que faltan conexiones y componentes, se muestra en la figura 1.

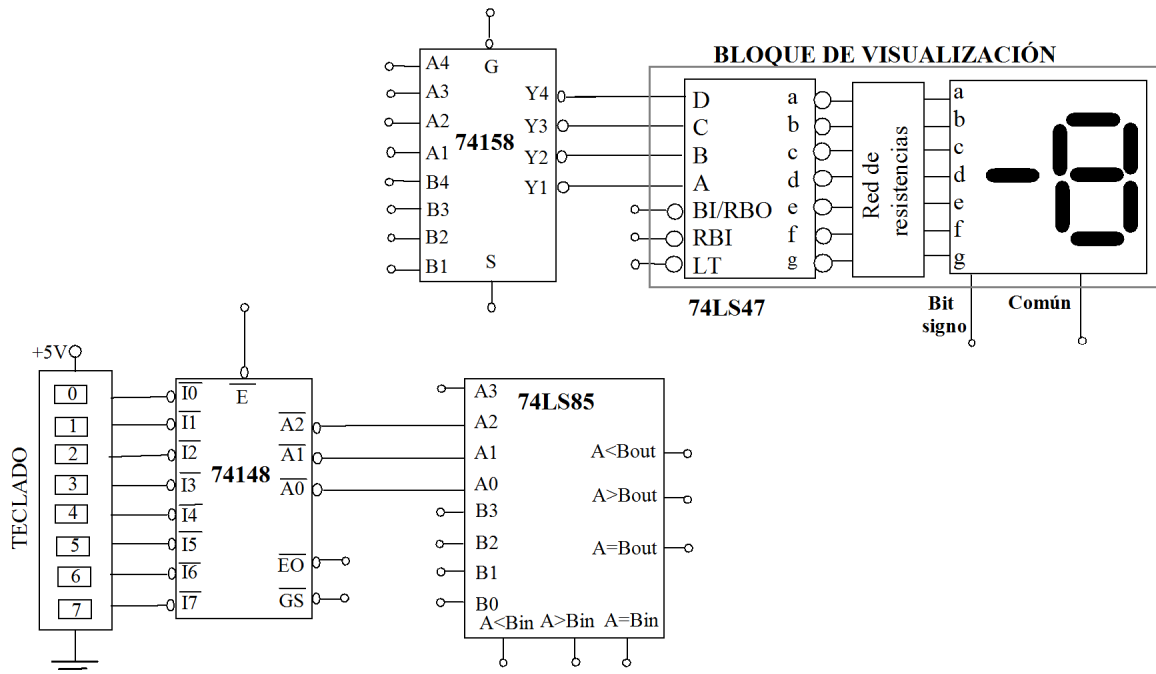


Figura 1. Circuito digital combinacional.

El circuito dispone de un TECLADO que proporciona un nivel bajo (0 lógico) cuando se pulsa una tecla. El circuito debe visualizar en el display la tecla pulsada si ésta es mayor que 4, y -1 cuando no lo es o bien no se pulsa ninguna tecla.

Se pide:

- 1) Justifique el display elegido y realice todas las conexiones necesarias en el circuito de la figura 1 para que funcione según se explica en el enunciado y sabiendo que se dispone de un buffer (seguidor o inversor) ideal para el circuito que controla el bit de signo. Justifique la respuesta.

### Cuestión 14

Se desea implementar la operación  $R=(X-2\cdot Y)$  con dos operandos enteros  $X$  e  $Y$  de 7 y 6 bits respectivamente  $(X_6, \dots, X_0)$ ,  $(Y_5, \dots, Y_0)$ , expresados en C2. El resultado de la operación se obtiene en  $R$  de 8 bits  $(R_7, \dots, R_0)$  también en C2. Para realizar esta operación se dispone del circuito de la Figura 2.1, que consta de dos ALUs 74LS382, cuya tabla de funcionamiento se muestra en las características anexas.

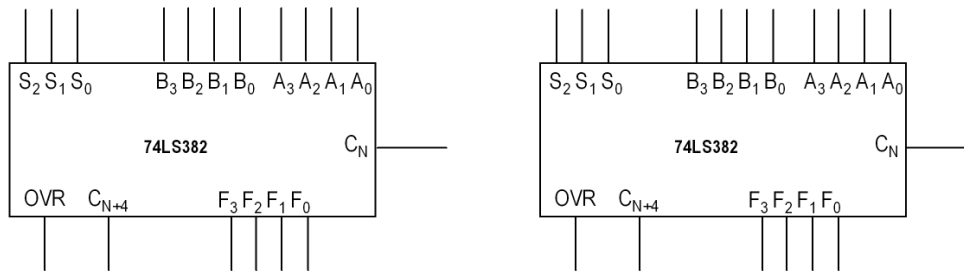
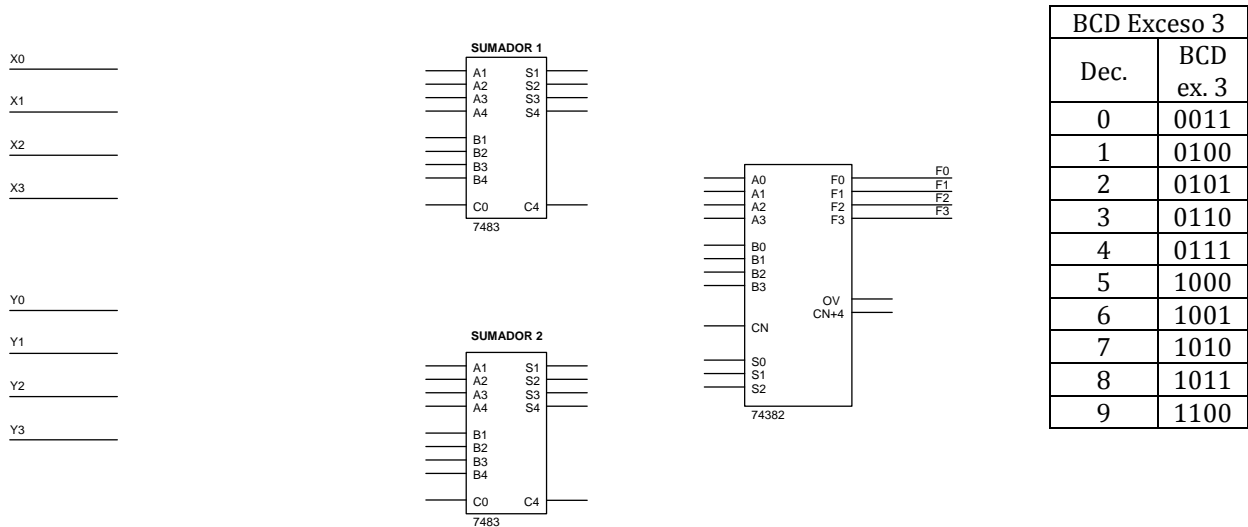


Figura 2.1

- 1) Realice las conexiones necesarias en el circuito de la Figura 2.1 para que funcione de la manera descrita, sin emplear elementos adicionales, y evitando desbordamiento. Etiquete claramente los pines asociados con los dos operandos  $(X_6, \dots, X_0)$ ,  $(Y_5, \dots, Y_0)$  y con el resultado  $(R_7, \dots, R_0)$ .
  
- 2) Indique razonadamente el margen de valores posibles para  $R$ , y justifique que no se produce desbordamiento.

### Cuestión 15

El circuito de la Figura 2.1 recibe dos datos de 4 bits. El dato X viene codificado en complemento a 2, y el Y en BCD exceso 3, cuyo código se muestra en la tabla adjunta. En la salida del circuito, F, se pretende obtener el resultado de la operación en binario natural  $F = |X| \text{ mas } Y$ . Responda justificadamente a los siguientes apartados:



**Figura 2.1. Circuito aritmético.**

- 1) Realice las conexiones de los datos de entrada con los sumadores de manera que en la salida del SUMADOR 1 se obtenga el módulo del dato X, y en la salida del SUMADOR 2 el dato Y en binario natural. Utilice el mínimo número de puertas lógicas necesarias.
  
- 2) Realice las conexiones de la ALU para que en su salida se obtenga el resultado pretendido.
  
- 3) En caso de que se produzca desbordamiento en la ALU, indique una posible solución ampliando el número de bits.

### Cuestión 16

El circuito de la figura 1.1 representa en un display de siete segmentos el resultado de la suma (o resta) de dos números A y B de tres bits codificados en C2. En el caso de que el resultado sea negativo, únicamente se encenderá el led del punto.

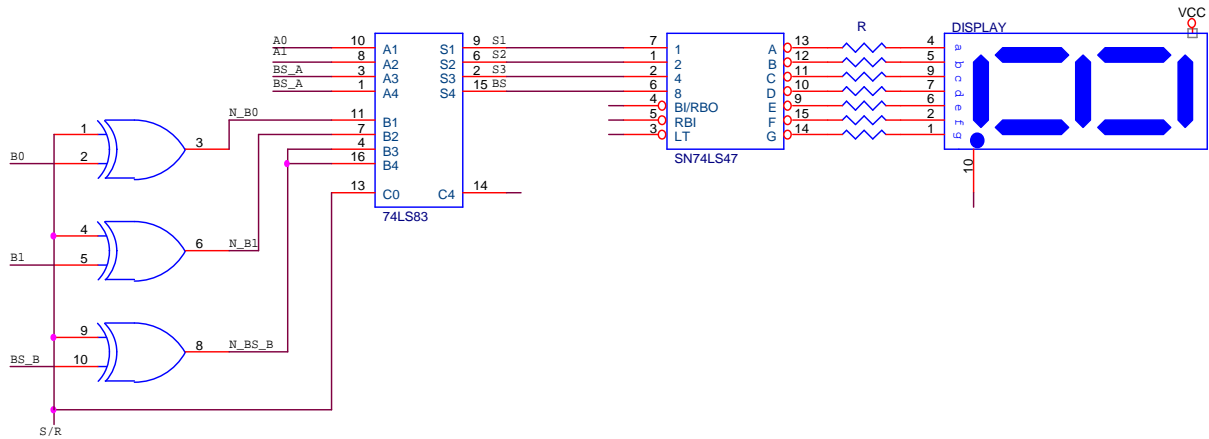


Figura 1.1. Sistema combinacional.

Se pide:

- 1) Utilizando únicamente puertas NAND de dos entradas y resistencias (no es preciso que calcule el valor de las mismas) complete las conexiones sobre el circuito de la figura 1.1 de forma que el sistema opere de acuerdo a la descripción del enunciado.
- 2) Suponiendo que el circuito opera adecuadamente, rellene la siguiente tabla donde se indican los valores de los números que se introducen en A y B (primero el bit de mayor peso o bit de signo) así como el estado del bit S/R:

A	B	S/R	Entrada nº A 7483	Entrada nº B 7483	Salida 7483	Salida 7447 abcdefg	Carácter en el display
011	010	0					
100	101	0					
100	001	1					

### Cuestión 17

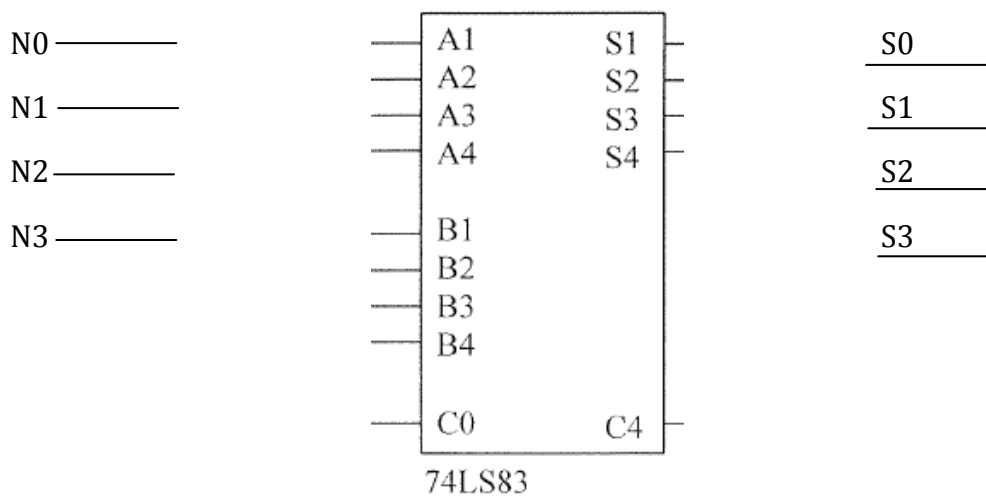
Ciertos dispositivos electrónicos proporcionan información de salida utilizando un código binario desplazado. En la siguiente tabla se muestra la codificación de números de 4 bits tanto en binario desplazado como en complemento a dos.

<i>Combinaciones correspondientes a números de 4 bits en binario desplazado y C-2.</i>		
Decimal	Binario desplazado	C-2
7	1111	0111
6	1110	0110
5	1101	0101
4	1100	0100
3	1011	0011
2	1010	0010
1	1001	0001
0	1000	0000
-1	0111	1111
-2	0110	1110
-3	0101	1101
-4	0100	1100
-5	0011	1011
-6	0010	1010
-7	0001	1001
-8	0000	1000

Se pide:

- 1) Considerando la información mostrada en dicha tabla, diseñe el circuito que realice la operación  $S = -N$ , donde N y S son dos números de 4 bits en binario desplazado. Para ello se ha de emplear un sumador 74LS83 y el número de inversores que considere necesario.

Nota: suponga que  $N \in [-7 \ 7]$



### Cuestión 18

Con el circuito que aparece en la Figura 4.1, se desea realizar sobre dos números de 8 bits codificados en C2 (A7....A0 y B7.....B0) las operaciones indicadas en la Tabla 4.1. El resultado de la operación realizada se muestra en los bits R7....R0.

Tabla 4.1.

X	Y	Operación en C2
L	L	A and B
L	H	A más B
H	L	A menos B
H	H	A or-exclusiva B

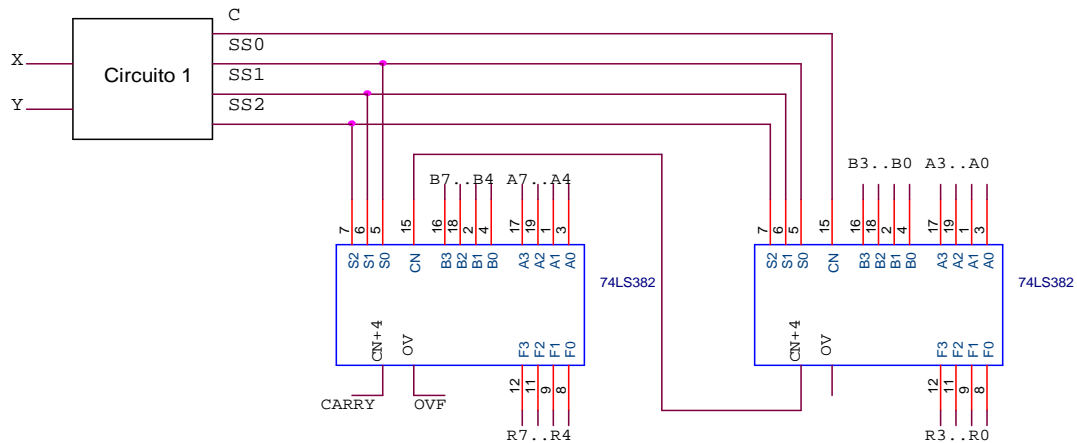


Figura 4.1. Circuito realizado con ALU's.

- 1) Diseñe a continuación el bloque nombrado como "Circuito 1" de la Figura 4.1, utilizando puertas de cualquier tipo (máximo 4 puertas), sabiendo que la tabla de verdad del circuito 74LS382 se resume en la Tabla 4.2. Indique, asimismo, sobre las salidas SS2, SS1, SS0 y C su relación lógica con las variables de entrada.

Tabla 4.2. Tabla de verdad de la ALU 74LS382.

S2 S1 S0	Cn	Operación en C2
L L L	X	Clear
L L H	H	B menos A
L H L	H	A menos B
L H H	L	A más B
H L L	X	A or-exclusiva B
H L H	X	A or B
H H L	X	A and B
H H H	X	Preset

SS2 = \_\_\_\_\_

SS1 = \_\_\_\_\_

SS0 = \_\_\_\_\_

C = \_\_\_\_\_

- 2) Complete la siguiente tabla:

X	Y	A7.....A0 (en hexadecimal)	B7.....B0 (en hexadecimal)	R7.....R0 (en hexadecimal)	CARRY	OVF
L	L	4F	C3			
L	H	4F	C3			
H	L	4F	C3			
H	H	4F	C3			

### Cuestión 19

Se desea diseñar un circuito que realice la operación  $R=4 \times (X-Y)$  con una ALU de 8 bits cuyo funcionamiento corresponde con el mostrado en la Tabla 3.1. Los operandos X e Y son números de 4 bits codificados en complemento a 2.

Tabla 3.1. Funcionamiento de la ALU de 8 bits.

Selección			Operación
S0	S1	S2	
L	L	L	Clear
L	L	H	B más A
L	H	L	B más $\overline{A}$
L	H	H	A más $\overline{B}$
H	L	L	$A \oplus B$
H	L	H	A + B
H	H	L	A • B
H	H	H	Preset

Se pide:

- 1) Complete, sobre la Figura 3.1, las conexiones necesarias para que el circuito resultante realice la operación indicada.

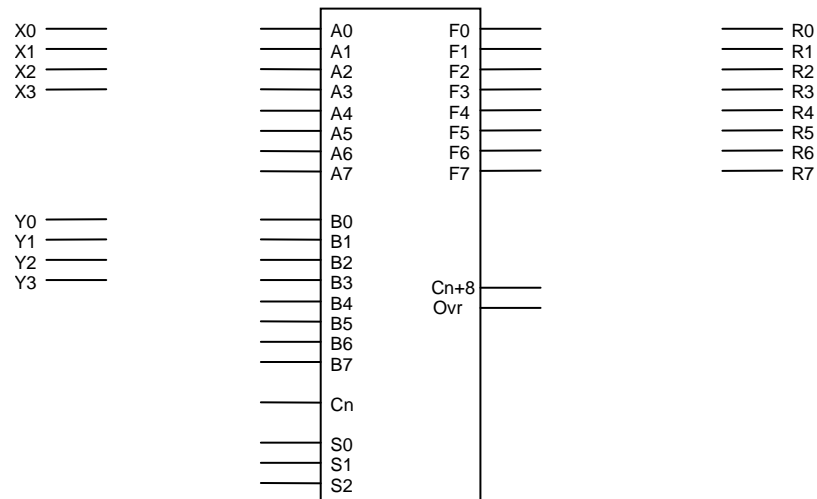


Figura 3.1. ALU de 8 bits.

- 2) ¿Se puede producir desbordamiento? Justifique la respuesta.



### Cuestión 20

Sobre el circuito de la Figura 3.2, realice y justifique las conexiones, añadiendo puertas lógicas y resistencias que faltan (sin calcular sus valores), para que dado un código de entrada de 4 bits en complemento a dos (D3 D2 D1 D0) se visualice en el display su valor decimal y su signo. Compruebe el funcionamiento para los valores de entrada +6 y -1 en complemento a dos, obteniendo los códigos en binario que aparecen en las entradas y a la salida del sumador.

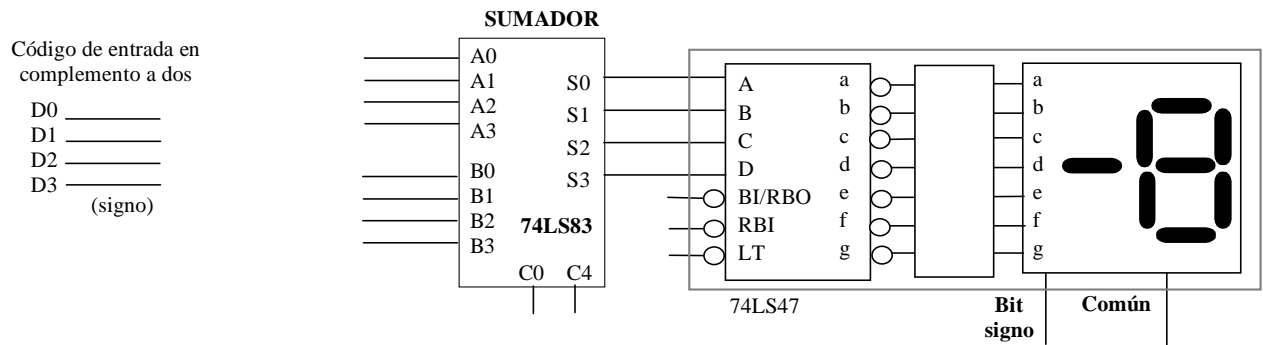


Figura 3.2. Componentes y conexiones del circuito.

Código de entrada	Entrada A sumador en binario	Entrada B sumador en binario	Salida sumador en binario
-1			
6			

### Cuestión 21

Se desea implementar la operación:  $(X-2Y) \text{ XOR } (C)$  con dos operandos X, Y de 6 bits ( $x_5 \dots x_0; y_5 \dots y_0$ ), expresados en C2, y una variable C de 8 bits ( $C_7 \dots C_0$ ). El resultado intermedio  $D = X-2Y$  se obtiene en D, en 8 bits ( $D_7 \dots D_0$ ). El resultado final  $R = (X-2Y) \text{ XOR } (C)$ , se tiene en R, en 8 bits ( $R_7 \dots R_0$ ). Para realizar esta operación se dispone del circuito de la figura 1, que consta de dos sumadores 74ls83, y dos ALU's.

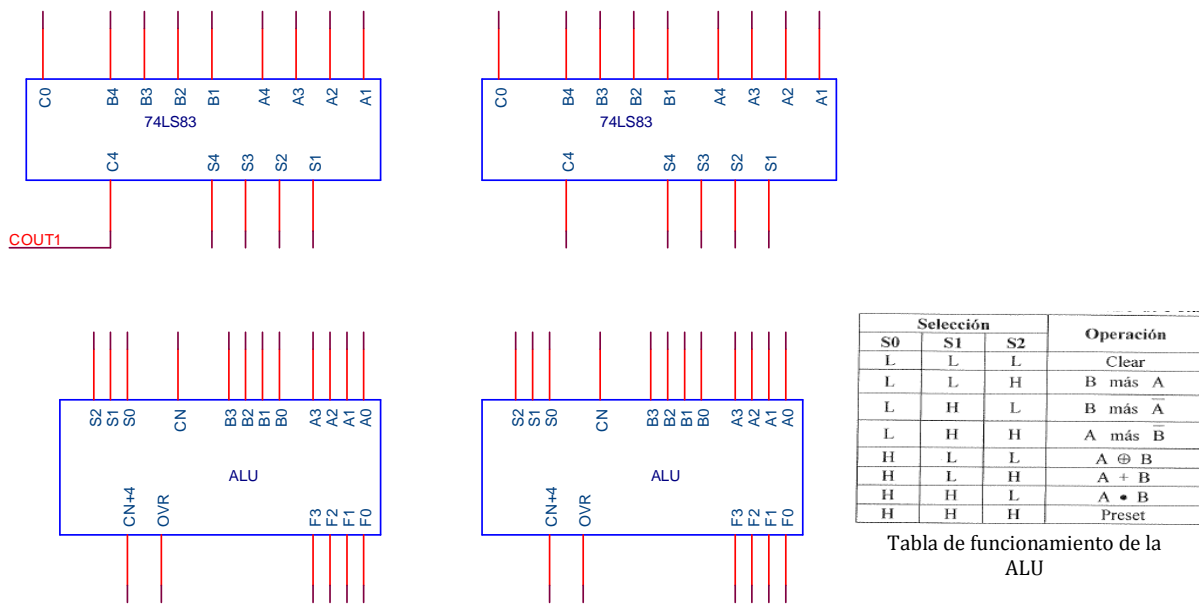


Figura 1

- 1) Realice las conexiones necesarias en el circuito de la figura 1 para que funcione de la manera descrita, empleando, únicamente, inversores. Indique claramente en qué terminales se obtienen D y R.
- 2) Indique razonadamente:
  - (a) El margen de valores posibles para D.
  - (b) Si puede existir o no desbordamiento en D.
- 3) Complete la siguiente tabla:

$X_5 \dots X_0$	$Y_5 \dots Y_0$	C (hex.)	$D_7 \dots D_0$	$R_7 \dots R_0$	$C_{OUT1}$
001010	001011	B1			
110010	001011	B1			

### Cuestión 22

Se desea implementar un sistema que realice la operación  $H=K \cdot X + |Y|$  donde  $K$  es una variable que puede valer 1 ó 2, y  $X$  e  $Y$  son variables que están expresadas en C2, siendo  $X$  un número de 3 bits e  $Y$  un número de 4 bits, a partir del esquema de bloques mostrado en la figura 3.1.

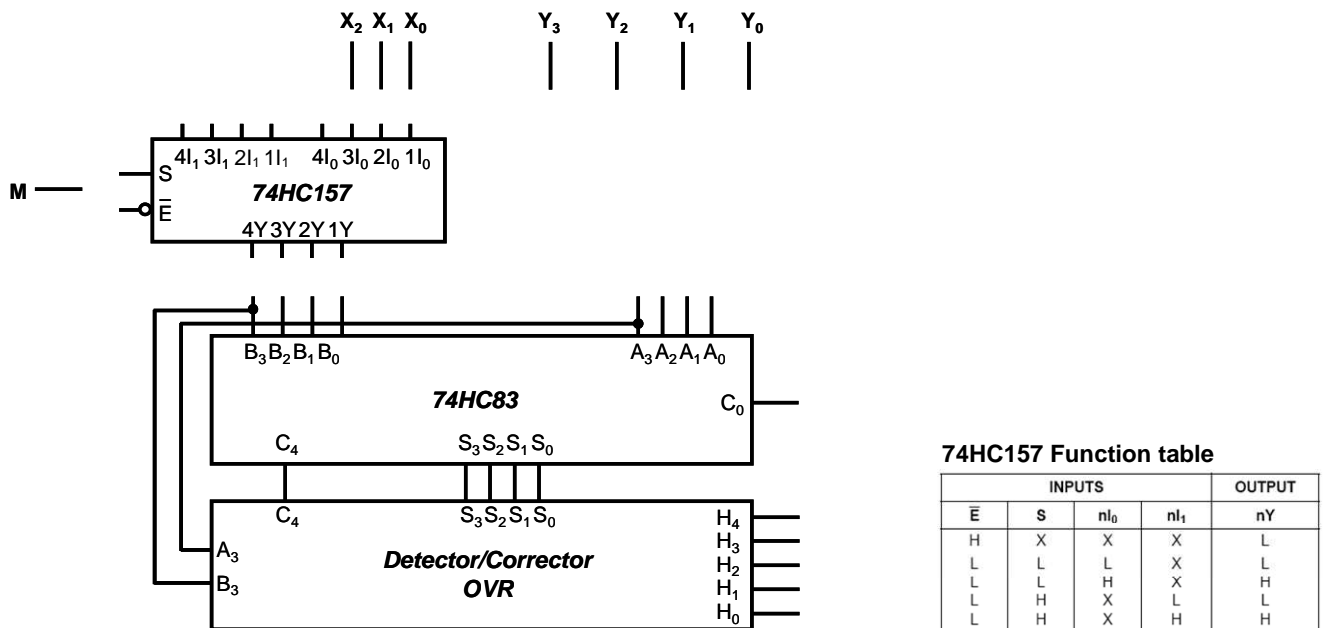
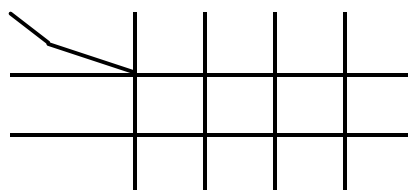


Figura 3.1. Esquema de bloques del sistema de cálculo de  $K \cdot X + |Y|$

- Complete las conexiones necesarias sobre la figura 3.1 para obtener en  $S[3:0]=K \cdot X + |Y|$ , sabiendo que en  $B[3:0]$  se debe obtener el valor  $(K \cdot X)$  (en el esquema,  $M$  es una señal digital correspondiente a un nivel alto para  $K=2$  y un nivel bajo para  $K=1$ ). Para ello puede usar exclusivamente un multiplexor cuádruple de dos entradas 74HC157 (cuya tabla de verdad se incluye), un sumador completo de 4 bits 74HC83, y las puertas XOR que necesite.
- Justifique razonadamente si puede producirse desbordamiento en la operación realizada por el sumador 74HC83, y el rango de valores de la operación  $H=K \cdot X + |Y|$ .
- El bloque *Detector/Corrector OVR*, está compuesto por un módulo de detección de desbordamiento y otro de corrección. Calcule la tabla de verdad de la señal de salida del módulo de detección de desbordamiento  $F$ , que valdrá 1 si hay desbordamiento en la operación realizada en el sumador, utilizando la tabla que aparece a continuación (indicando en ella la variable de entrada que falta en la tercera columna). Calcule igualmente su expresión lógica simplificada, teniendo en cuenta que el módulo de un número siempre es positivo.

$B_3$	$A_3$		$F$



$F =$

### Cuestión 23

Se desea implementar un sistema que realice la operación  $H = \max(Y, Z) - X$  donde Y y Z son dos números binarios naturales de 3 bits, mayores o iguales que cero, X es un número binario de 3 bits expresado en C2 y el resultado H es un número binario de 5 bits en C2. La función  $\max()$  devuelve el mayor valor de entre sus argumentos.

- 1) Justifique razonadamente si puede producirse desbordamiento en la operación  $H[4:0] = \max(Y, Z) - X$ , y el rango de valores de la misma.
- 2) La implementación se hará a partir del esquema de bloques mostrado en la figura 3.1. Complete las conexiones necesarias sobre dicha figura para obtener  $H[4:0] = \max(Y, Z) - X$ . Para ello puede usar exclusivamente un multiplexor cuádruple de dos entradas 74HC157 (cuya tabla de verdad se incluye), un comparador 74HC85 (cuya tabla de verdad se incluye), dos sumadores 74HC83 y las puertas NOT que necesite.

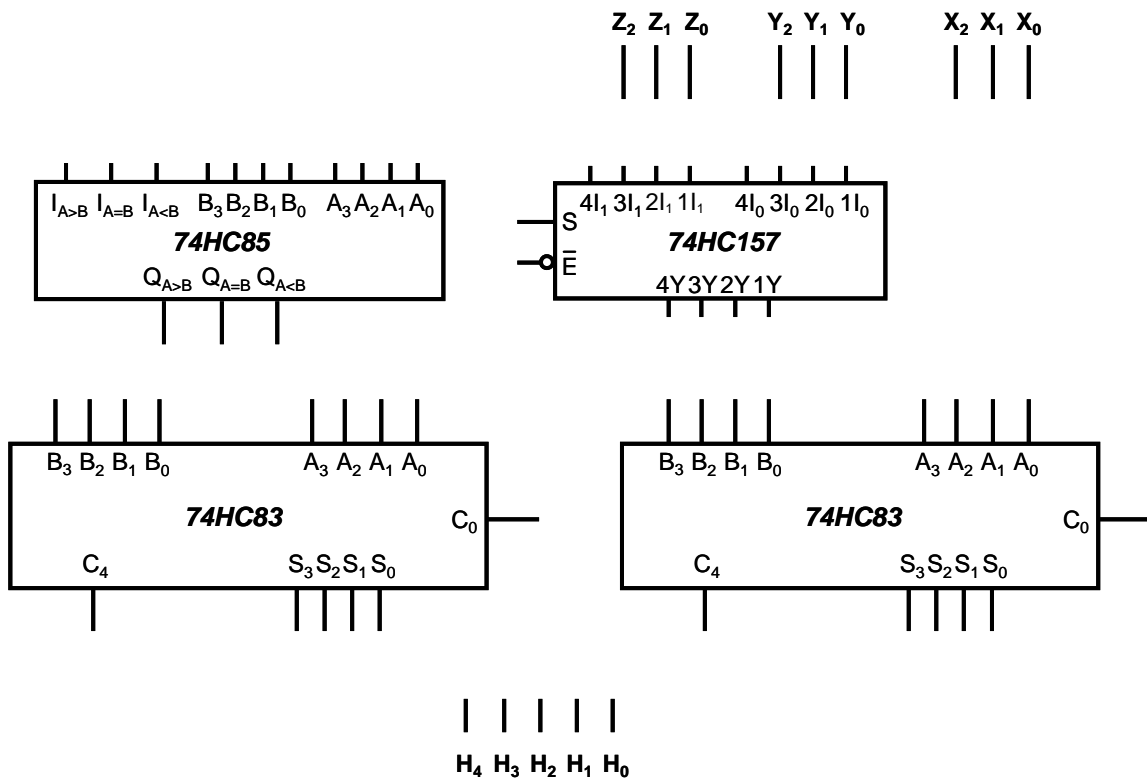


Figura 3.1. Esquema de bloques del sistema de cálculo de  $H = \max(Y, Z) - X$

74HC85 Function table

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A <sub>3</sub> , B <sub>3</sub>	A <sub>2</sub> , B <sub>2</sub>	A <sub>1</sub> , B <sub>1</sub>	A <sub>0</sub> , B <sub>0</sub>	I <sub>A&gt;B</sub>	I <sub>A=B</sub>	I <sub>A&lt;B</sub>	Q <sub>A&gt;B</sub>	Q <sub>A=B</sub>	Q <sub>A&lt;B</sub>
A <sub>3</sub> >B <sub>3</sub>	X	X	X	X	X	X	H	L	L
A <sub>3</sub> <B <sub>3</sub>	X	X	X	X	X	X	L	L	H
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> >B <sub>2</sub>	X	X	X	X	X	H	L	L
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> <B <sub>2</sub>	X	X	X	X	X	L	L	H
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> >B <sub>1</sub>	X	X	X	X	H	L	L
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> <B <sub>1</sub>	X	X	X	X	L	L	H
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> >B <sub>0</sub>	X	X	X	H	L	L
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> <B <sub>0</sub>	X	X	X	L	L	H
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> =B <sub>0</sub>	H	L	L	H	L	L
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> =B <sub>0</sub>	L	H	L	L	H	L
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> =B <sub>0</sub>	L	L	H	L	L	H
A <sub>3</sub> >B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> =B <sub>0</sub>	X	X	H	L	L	H
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> =B <sub>0</sub>	H	H	L	L	L	L
A <sub>3</sub> =B <sub>3</sub>	A <sub>2</sub> =B <sub>2</sub>	A <sub>1</sub> =B <sub>1</sub>	A <sub>0</sub> =B <sub>0</sub>	L	L	L	H	H	L

74HC157 Function table

INPUTS				OUTPUT
$\bar{E}$	S	nI <sub>0</sub>	nI <sub>1</sub>	nY
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H