

PEC3 - Tercera prueba de evaluación continuada

Presentación

Esta PEC se focaliza en los circuitos secuenciales. Los circuitos combinacionales nos permiten describir funcionalidades de un circuito pero no nos permite guardar información. Mediante biestables y registros podemos guardar información en memoria y hacer circuitos más complejos. En este PEC practicaremos con este tipo de circuitos.

Competencias

- Entender el funcionamiento de los circuitos lógicos secuenciales y conocer y saber aplicar técnicas de diseño de sistemas secuenciales.

Objetivos

- Saber discernir, a partir de la funcionalidad que se quiere que tenga un circuito lógico, si el circuito tiene que ser de tipo secuencial o combinacional.
- Conocer el funcionamiento del biestable D y todas las entradas de control que puede tener.
- Saber analizar un circuito secuencial.
- Saber realizar un cronograma a partir de un circuito digital secuencial.
- Saber analizar un grafo de estados.
- Saber diseñar un circuito cualquiera a partir de la descripción de su funcionalidad mediante el modelo de Moore.

Recursos

Los recursos que se recomienda usar por esta PEC son los siguientes:

Básicos: El módulo 4 de los materiales.

Complementarios: VerilCIRC, VerilCHART y el Wiki de la asignatura.

Criterios de valoración

- **Razonad la respuesta en todos los ejercicios. Las respuestas sin justificación no recibirán puntuación.**
- **La valoración está indicada a cada uno de los subapartados.**

Formato y fecha de entrega

- Para dudas y aclaraciones sobre el enunciado, dirigíos al consultor responsable de vuestra aula.
- Hay que entregar la solución en un fichero PDF usando una de las plantillas entregadas conjuntamente con este enunciado.
- Se tiene que entregar a través de la aplicación de Entrega y registro de AC del apartado Evaluación de vuestra aula.
- La fecha tope de entrega es el **4 de mayo** (a las 24 horas).

Descripción de la PEC a realizar - ENUNCIADO



Ejercicio 1 [25%]

Se quiere diseñar un circuito contador con saturación a 3 que tiene la estructura siguiente:



El circuito tiene dos señales de entrada y una de salida:

- La señal de entrada E , de dos bits, que codifica un número natural.
- La señal de entrada R , de un bit, que pone el contador a cero (*reset*).
- La señal de salida S , de un bit, indica si la suma acumulada es exactamente 3.

La descripción del funcionamiento es la siguiente. El circuito tiene un acumulador interno con valor inicial cero. A cada ciclo, el circuito recibe un valor por la entrada E , que codifica un número natural entre 0 y 3, y acumula internamente los valores recibidos.

Si el acumulador llega al valor 3, entonces la señal S se pone a uno durante un ciclo, y en el ciclo siguiente vuelve al estado inicial independientemente del valor que haya en la señal E . Alternativamente, si acumulando los valores de entrada se sobrepasa el número 3, el contador queda saturado y ya no acumula más. En este caso la señal de salida se mantendrá a cero hasta que se active la señal de reset R .

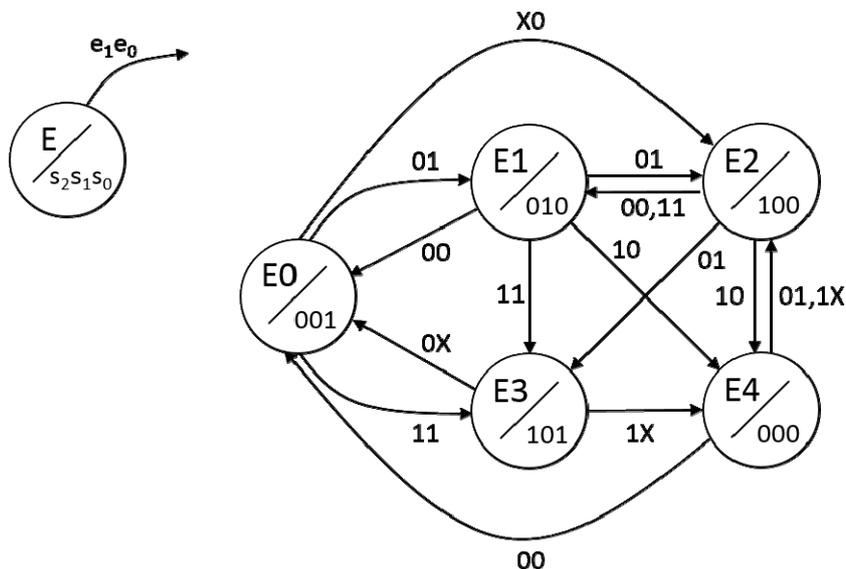
En cualquier momento, pero, si el circuito recibe un uno por la señal de reset R , el acumulador interno se pone a cero independientemente del valor que haya en la señal E y del valor del acumulador en aquel momento.

Dibujad el grafo de estados del circuito SAT3, utilizando el menor número de estados posible, y explicando claramente el significado de cada estado y sus transiciones.



Ejercicio 2 [25%]

Dado el grafo de estados siguiente:



Se pide que:

- a) [10%] Codificad los estados según su número asociado y escribid la tabla de salidas y la tabla de transiciones.

Nota: Tenéis el ejercicio disponible a VerilCHART. Observad que la tabla de transiciones y la de salidas se han unificado en una única tabla de excitaciones.

- b) [5%] ¿Cuántos bits de entrada tiene el circuito que implementa el grafo? ¿Y cuántos bits de salida? ¿Cuál será el **número mínimo** de biestables necesarios para implementar el circuito? Si lo implementamos usando una memoria ROM, ¿cuál será la dimensión (bus de direcciones, anchura de las palabras) de esta memoria?

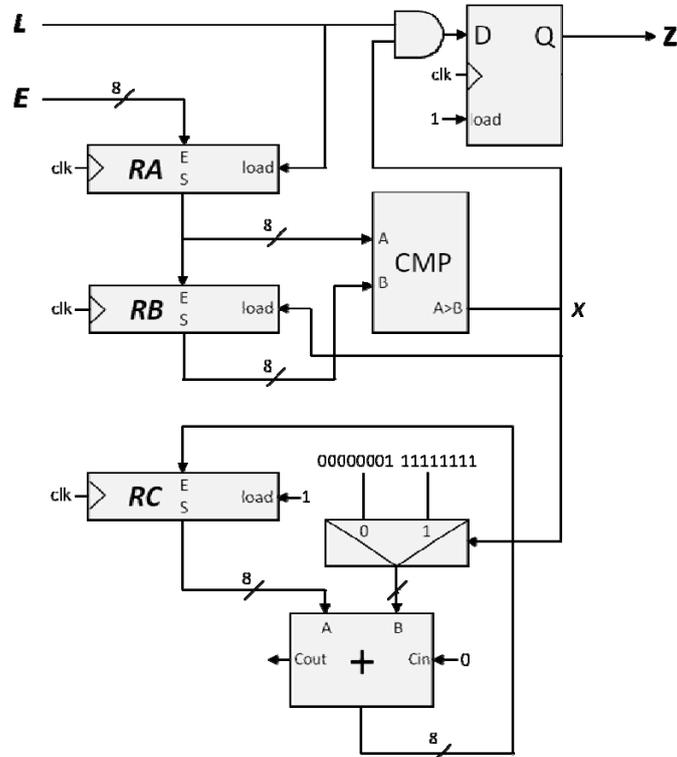
- c) [10%] Implementad el circuito, especificando el contenido de la memoria ROM en hexadecimal.

Nota: Tenéis el ejercicio disponible en VerilCIRC. Los casos don't care, se tienen que asignar a valor 0

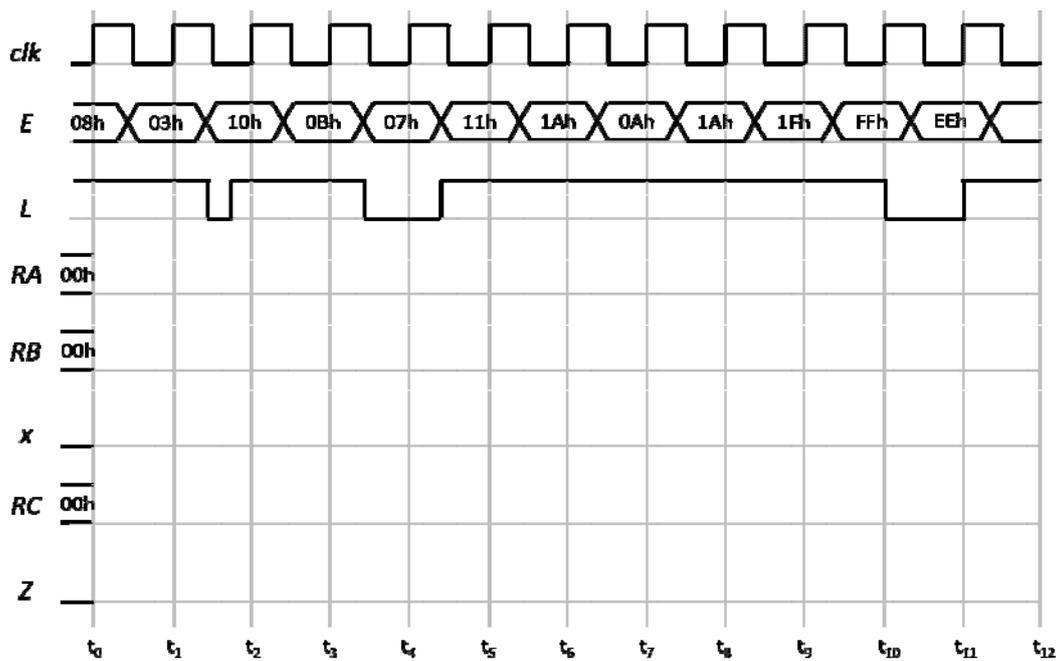


Ejercicio 3 [25%]

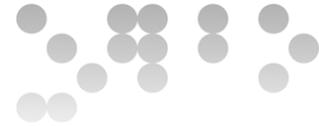
Dado el circuito siguiente:



Completad el cronograma siguiente y razonad el valor de *RA* entre los instantes t_{10} y t_{12} , y el valor de *Z* entre los instantes t_{11} y t_{12} . Observad que los valores de todos los registros son en hexadecimal.

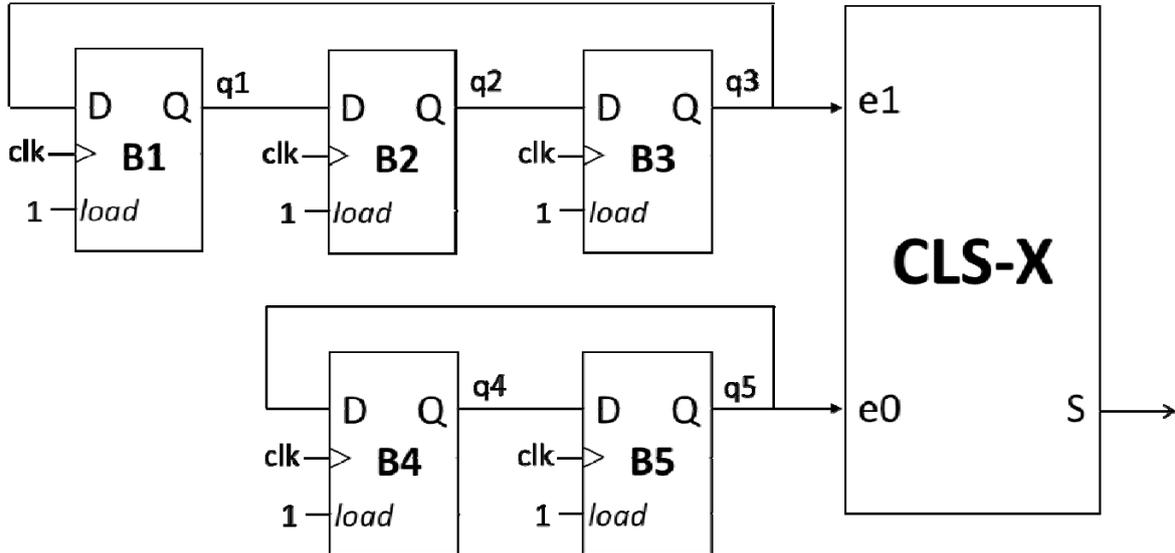


Nota: tenéis disponible el ejercicio en VeriCHART.

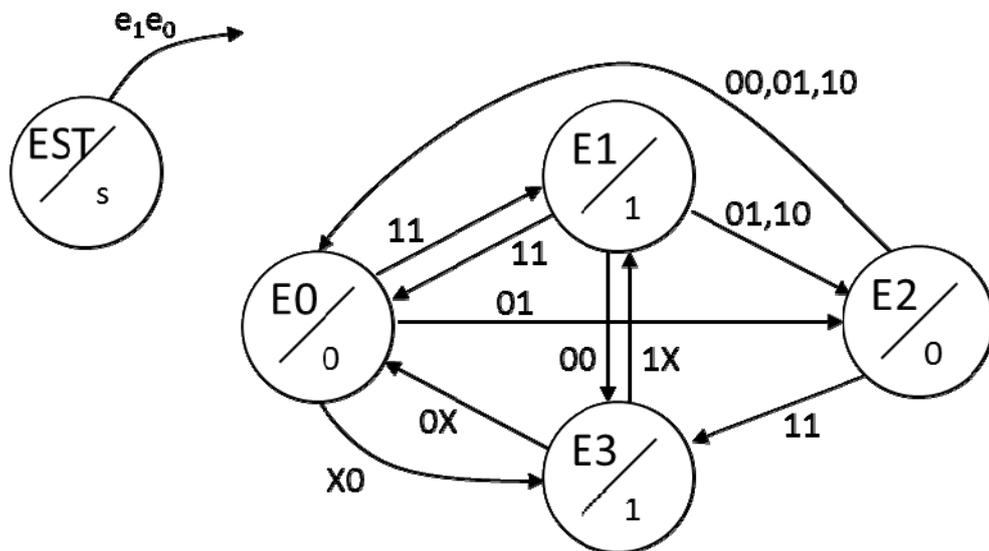


Ejercicio 4 [25%]

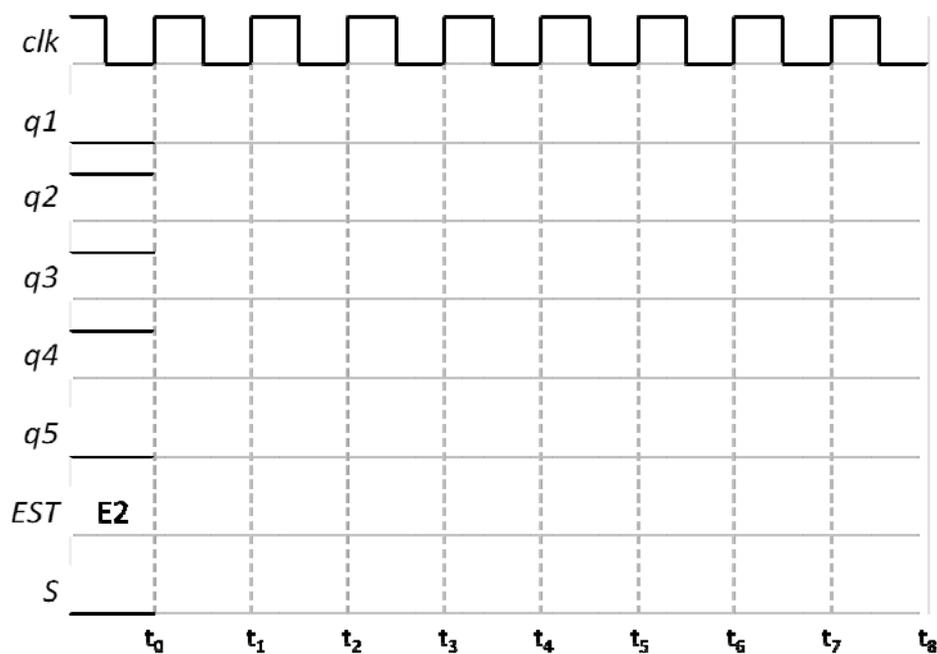
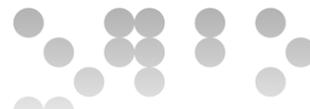
Se dispone del circuito siguiente:



el cual está formado por un conjunto de biestables (B1 ... B5) y por un circuito lógico secuencial, denominado CLS-X. El circuito CLS-X consta de dos entradas (e_1 y e_0) y una salida S , y su funcionamiento viene determinado por el grafo de estados siguiente:



Completad el cronograma siguiente, asumiendo que en el instante t_0 los biestables tienen el valor que se puede ver en el cronograma, y que el circuito CLS-X se encuentra en el estado E2.



Nota: tenéis disponible el ejercicio en VeriCHART.