

(7)



Unidad 7

Buses básicos de la arquitectura 80x86

SISTEMAS BASADOS EN MICROPROCESADORES

**Grado en Ingeniería Informática
EPS - UAM**

(7)

Índice

7. Buses básicos de la arquitectura 80x86.

- 7.1. La importancia de los buses en la arquitectura PC.
- 7.2. Descripción de una selección de los principales buses de la arquitectura 80x86 (ISA, EISA, PCI).

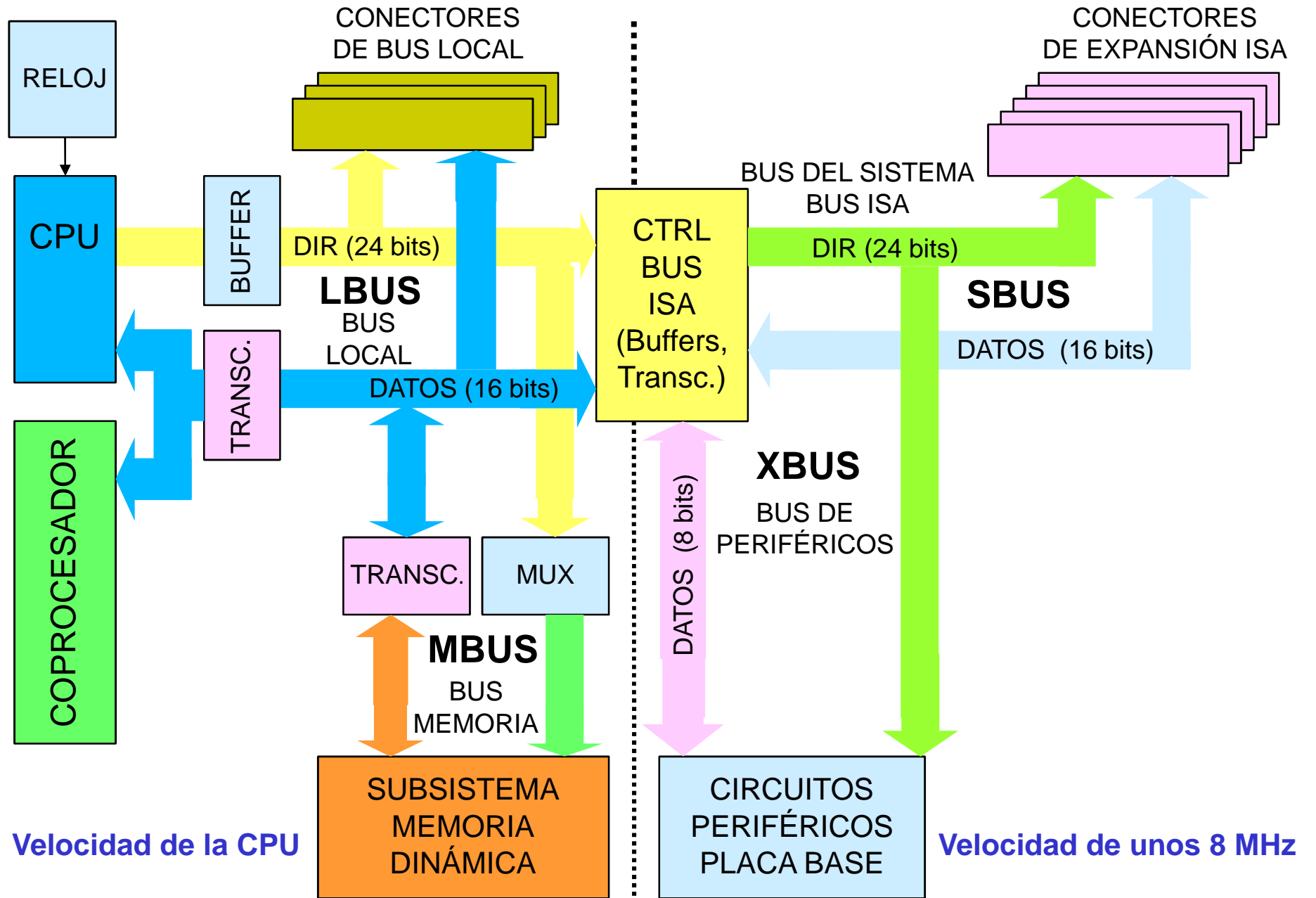
(7)

7.1. La importancia de los buses en la arquitectura PC (I)

- Los distintos componentes de un sistema basado en microprocesador (CPU, Memoria, E/S) han de interconectarse eficientemente.
- Tradicionalmente, la interconexión se ha basado en buses (direcciones, datos, control).
- Ventaja \Rightarrow Facilidad de conectar múltiples dispositivos (necesidad de un árbitro de acceso al bus).
- Inconveniente \Rightarrow Capacidad limitada.
- **Ejemplo: Sistema de buses del PC/AT**
 - CPU 80286
 - Bus datos: 16 bits
 - Bus direcciones: 24 bits (Hasta 16 MB)

(7)

7.1. La importancia de los buses en la arquitectura PC (II)

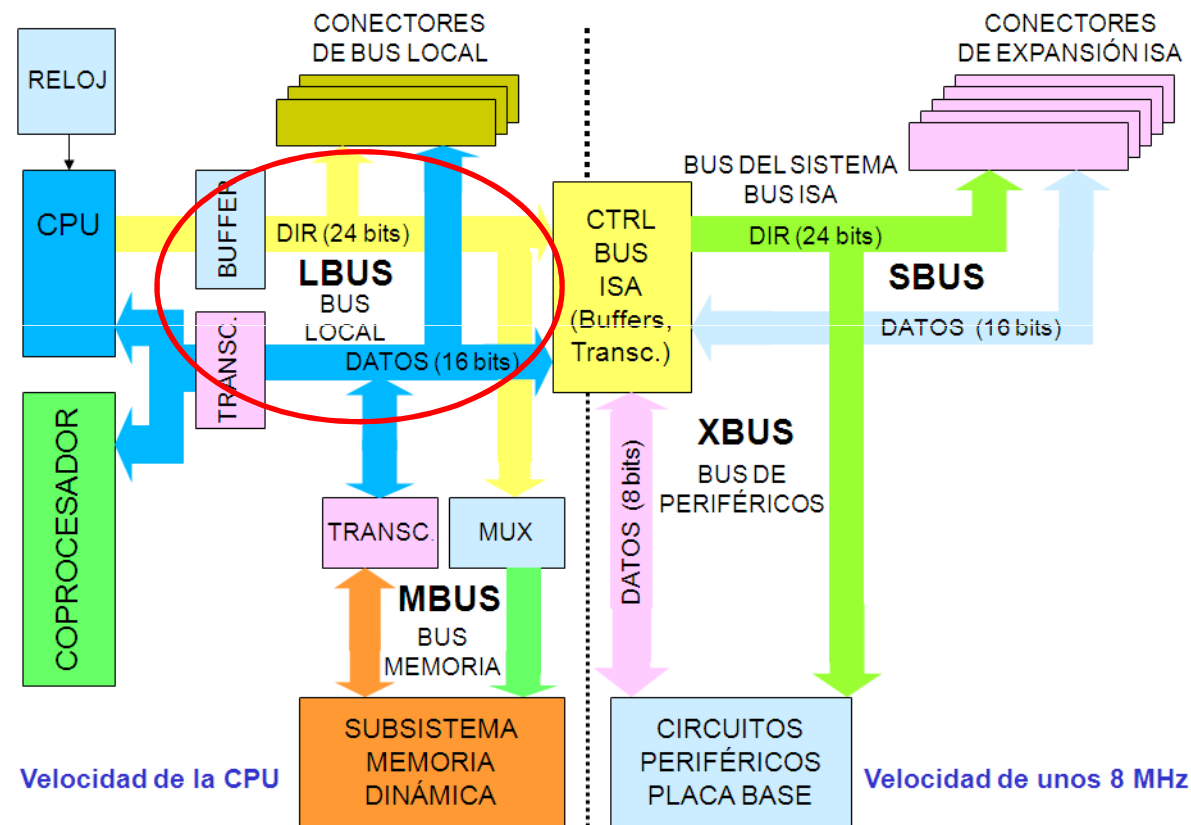


(7)

7.1. La importancia de los buses en la arquitectura PC (III)

● Bus Local (LBUS)

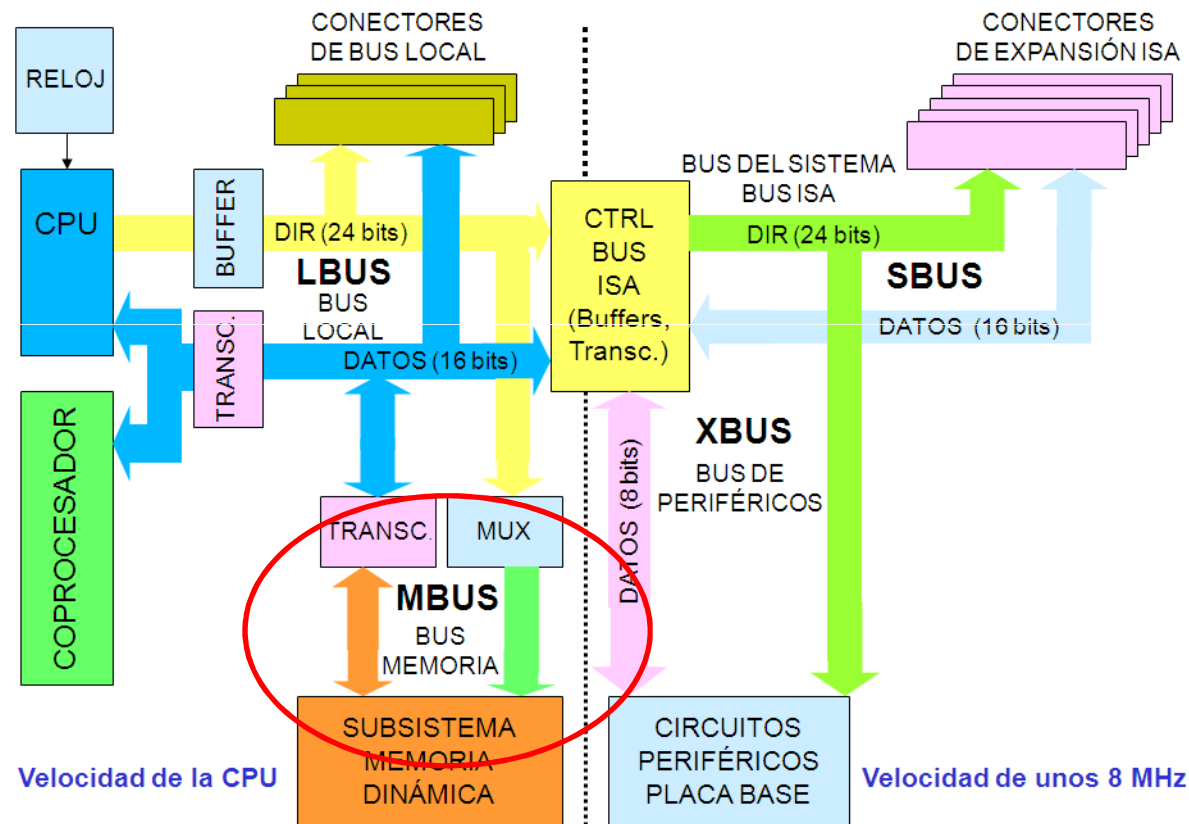
- Buses de direcciones, datos y control de la CPU (**misma anchura y velocidad que en la CPU**).
- Al depender de la CPU, ha evolucionado con ella.



(7)

7.1. La importancia de los buses en la arquitectura PC (IV)

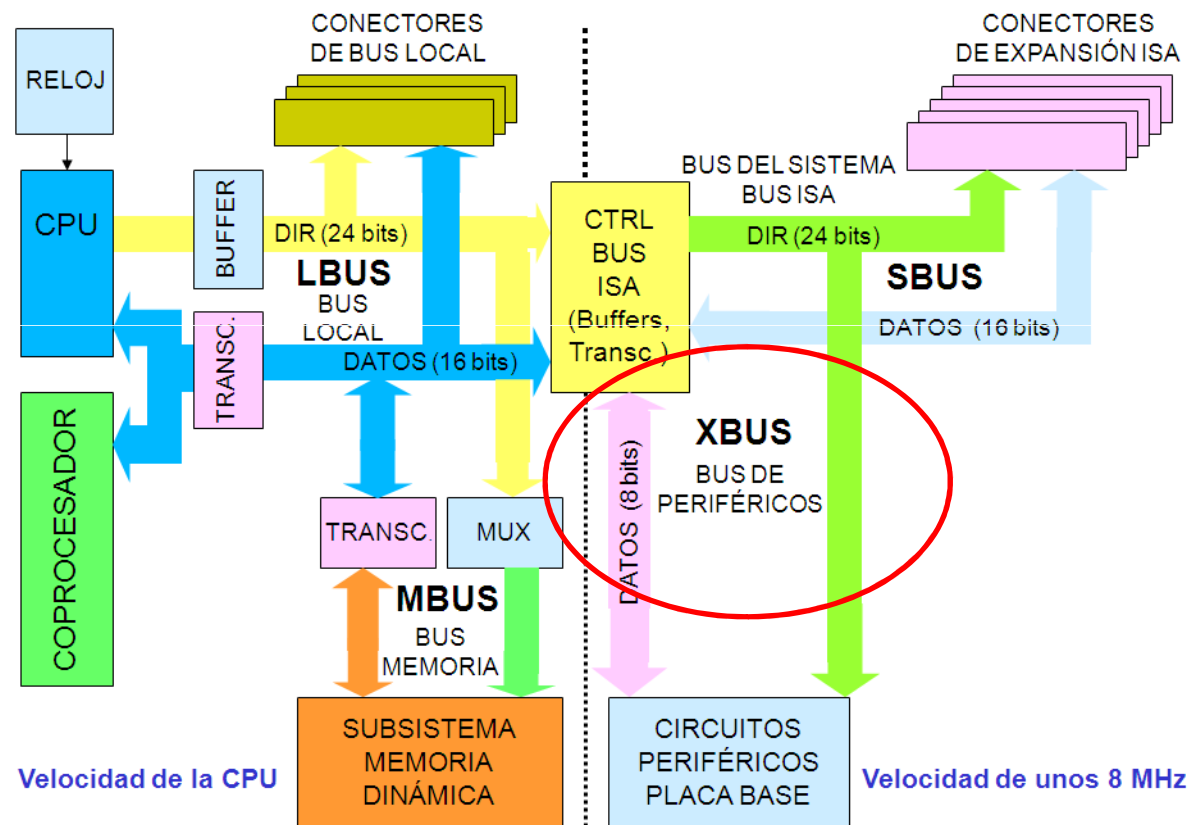
- **Bus de Memoria (MBUS)**
 - Conectado al LBUS a través de transceptores y multiplexores (**bus multiplexado para direccionar filas y columnas de las memorias**).
 - Soporta conexión de memoria DRAM.



(7)

7.1. La importancia de los buses en la arquitectura PC (V)

- **Bus de Periféricos (XBUS)**
 - Conecta los dispositivos básicos del PC (PICs, DMAs, temporizadores, teclado...)

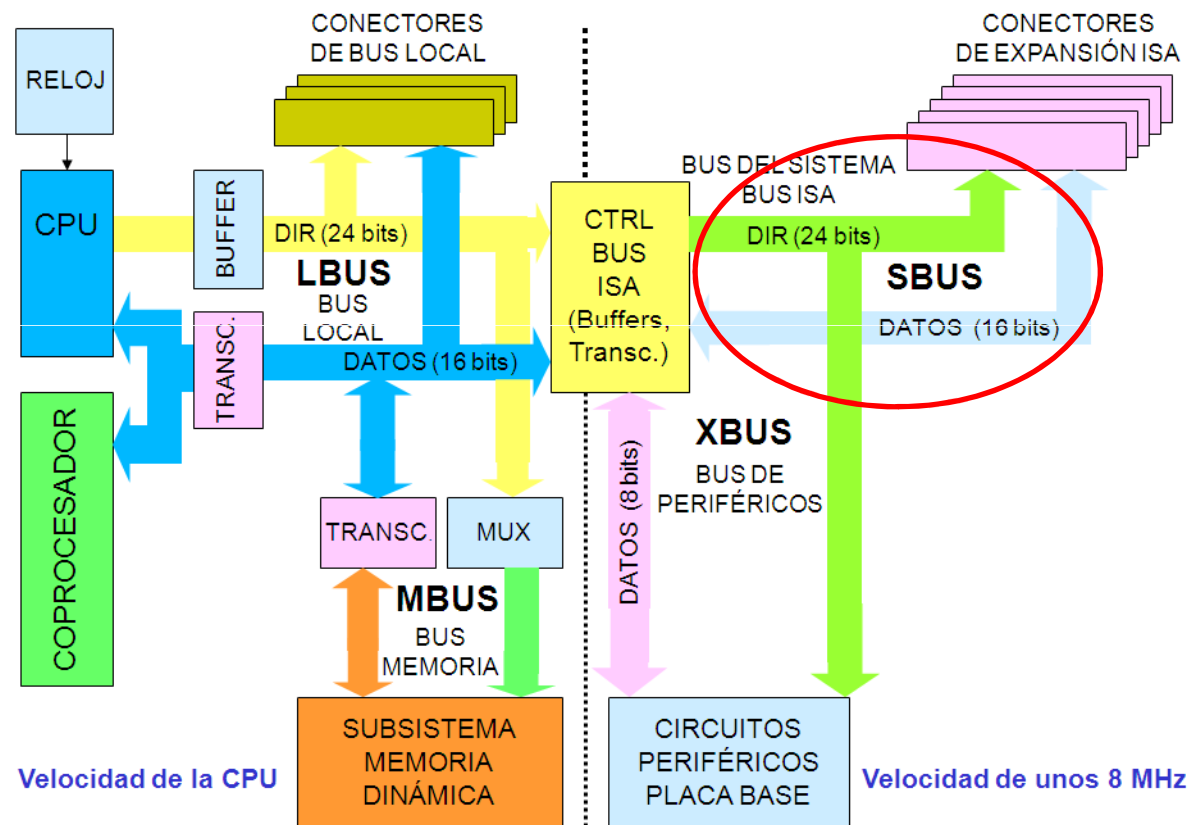


(7)

7.1. La importancia de los buses en la arquitectura PC (VI)

● Bus del Sistema (SBUS)

- Se encuentran las ranuras de expansión (tarjeta gráfica, tarjeta de sonido, tarjetas de comunicación, controladoras de discos duros y disquetes, puertos serie y paralelo, etc.).
- Conocido como **Bus ISA** (16b de datos y 24b direcciones).



(7)

7.2. Descripción de una selección de los principales buses de 80x86 (I)

- Principales buses de la arquitectura 80x86:
 - Bus ISA (Industry Standard Architecture)
 - Aparece en 1980 con 8 bits de datos a 4,77 MHz
 - Utilizado en el IBM PC (1980) y en el PC/XT (1983).
 - Extendido en 1984 (PC/AT) a 16 bits y 8,33 MHz.
 - Bus síncrono: a la misma velocidad que la CPU.
 - Bus EISA (Extended Industry Standard Architecture)
 - Aparece en 1988 con 32 bits de datos a 8,33 MHz.
 - Ampliación del bus ISA (compatible).
 - Usado con CPUs 383 y 486.
 - Bus síncrono: a un divisor de la velocidad de la CPU.
 - Bus PCI (Peripheral Component Interconnect)
 - Aparece en 1992 con 32 o 64 bits de datos a 33,33 MHz.
 - Incompatible con ISA y EISA.
 - Usado con CPUs Pentium y posteriores.
 - Bus asíncrono: a velocidad independiente de la CPU.

(7)

7.2. Descripción de una selección de los principales buses de 80x86 (II)

GND	B1	A1	<u>I/O_CH CK</u>
RESET DRV	B2	A2	SD7
+5 V	B3	A3	SD6
IRQ2	B4	A4	SD5
-5 V	B5	A5	SD4
DRQ2	B6	A6	SD3
-12 V	B7	A7	SD2
0WS	B8	A8	SD1
+12 V	B9	A9	SD0
GND	B10	A10	<u>I/O_CH_RDY</u>
<u>SMEMW</u>	B11	A11	AEN
<u>SMEMR</u>	B12	A12	SA19
<u>IOW</u>	B13	A13	SA18
<u>IOR</u>	B14	A14	SA17
<u>DACK3</u>	B15	A15	SA16
DRQ3	B16	A16	SA15
<u>DACK1</u>	B17	A17	SA14
DRQ1	B18	A18	SA13
<u>REFRESH</u>	B19	A19	SA12
CLK	B20	A20	SA11
IRQ7	B21	A21	SA10
IRQ6	B22	A22	SA9
IRQ5	B23	A23	SA8
IRQ4	B24	A24	SA7
IRQ3	B25	A25	SA6
<u>DACK2</u>	B26	A26	SA5
TC	B27	A27	SA4
BALE	B28	A28	SA3
+5 V	B29	A29	SA2
OSC	B30	A30	SA1
GND	B31	A31	SA0

Conector original del PC/XT

Bus ISA

<u>MEM_CS16</u>	D1	C1	SBHE
<u>I/O_CS16</u>	D2	C2	LA23
IRQ10	D3	C3	LA22
IRQ11	D4	C4	LA21
IRQ12	D5	C5	LA20
IRQ15	D6	C6	LA19
IRQ14	D7	C7	LA18
<u>DACK0</u>	D8	C8	LA17
DRQ0	D9	C9	<u>MEMR</u>
<u>DACK5</u>	D10	C10	<u>MEMW</u>
DRQ5	D11	C11	SD8
<u>DACK6</u>	D12	C12	SD9
DRQ6	D13	C13	SD10
<u>DACK7</u>	D14	C14	SD11
DRQ7	D15	C15	SD12
+5 V	D16	C16	SD13
<u>MASTER</u>	D17	C17	SD14
GND	D18	C18	SD15

Ampliación a 16 bits del PC/AT

(7)

7.2. Descripción de una selección de los principales buses de 80x86 (III)

Bus ISA



↑
Ampliación PC/AT

↑
Conexión PC/XT

(7)

7.2. Descripción de una selección de los principales buses de 80x86 (IV)

Bus ISA

- SA0...SA19 (E/S)
 - Bus de direcciones de 20 bits para memoria y E/S.
- LA17...LA23 (E/S)
 - Parte alta del bus de direcciones del PC/AT. Sólo válidas cuando salida BALE = 1.
- SD0...SD7 (E/S)
 - Bus de datos del PC/XT o parte baja del PC/AT (8 bits)
- SD8...SD15 (E/S)
 - Parte alta del bus de datos del PC/AT (16 bits)
- CLK (S)
 - Reloj del bus (8.33 MHz)
- OSC (S)
 - Reloj de 14.31818 MHz (sincronización de periféricos)

(7)

7.2. Descripción de una selección de los principales buses de 80x86 (V)

Bus ISA

- IOR, IOW (E/S)
 - Órdenes de lectura y de escritura en espacio de E/S.
- SMEMR, SMEMW (E/S)
 - Órdenes de lectura y de escritura en memoria si la dirección está por debajo de 1 MB.
- MEMR, MEMW (E/S)
 - Órdenes de lectura y de escritura en memoria para cualquier dirección (PC/AT).
- DRQ1, DRQ2, DRQ3 (E)
 - Señales de petición de DMA en el PC/XT (3 canales del controlador de DMA 8237).
- DRQ0, DRQ5, DRQ6, DRQ7 (E)
 - Señales adicionales de petición de DMA en el PC/AT (4 canales del controlador de DMA 8237 adicional).

(7)

7.2. Descripción de una selección de los principales buses de 80x86 (VI)

Bus ISA

- DAACK1, DACK2, DACK3 (S)
 - Reconocimiento de petición de canales DMA en PC/XT.
- DAACK0, DACK5, DACK6, DACK7 (S)
 - Reconocimiento de petición de canales adicionales DMA en PC/AT.
- AEN (S)
 - Validación de la dirección contenida en A0-A19.
- SBHE (E/S)
 - Indica transferencia por el byte alto del Bus de Datos.
- MASTER (E)
 - Permite que dispositivo externo tome control de los buses tras recibir un DACK \Rightarrow permite DMA externo (*bus mastering, first-party DMA*).

(7)

7.2. Descripción de una selección de los principales buses de 80x86 (VII)

Bus ISA

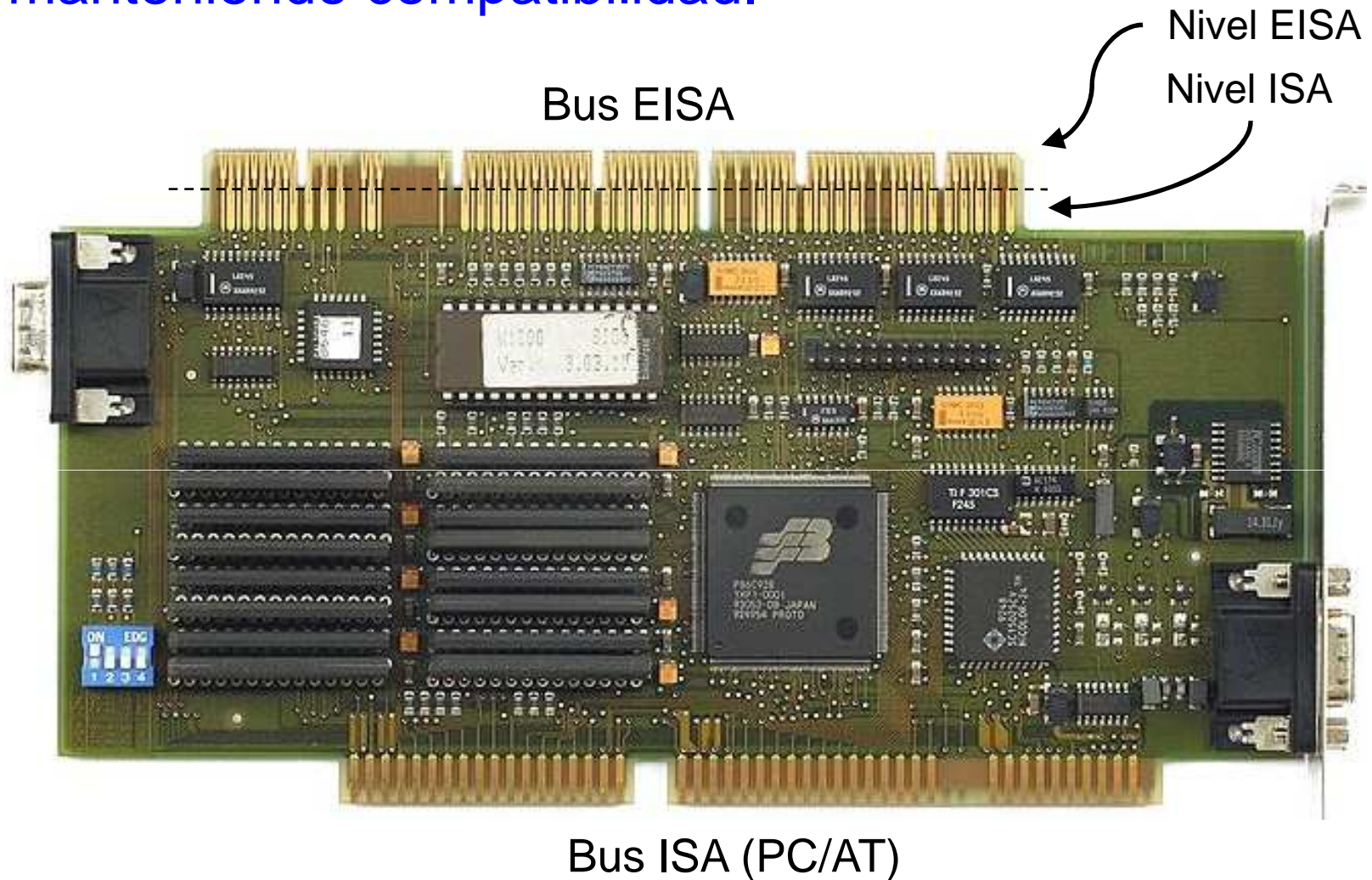
- MEM_CS16
 - Dispositivo externo indica acceso de 16b a memoria.
- IO_CS16
 - Dispositivo externo indica acceso de 16b a puerto E/S.
- TC
 - Indica final de cuenta de algún canal de DMA.
- RESET_DRV
 - Señal Reset del sistema que sirve para inicializar los circuitos de las tarjetas.
- IO_CH_CK
 - Señal para indicar a la placa base que se ha producido un error de paridad o algún error irrecuperable. Provoca interrupción NMI.

(7)

7.2. Descripción de una selección de los principales buses de 80x86 (VIII)

Bus EISA

- Extensión a 32 bits de datos del bus ISA (PC/AT) manteniendo compatibilidad.



(7)

7.2. Descripción de una selección de los principales buses de 80x86 (IX)

Bus EISA

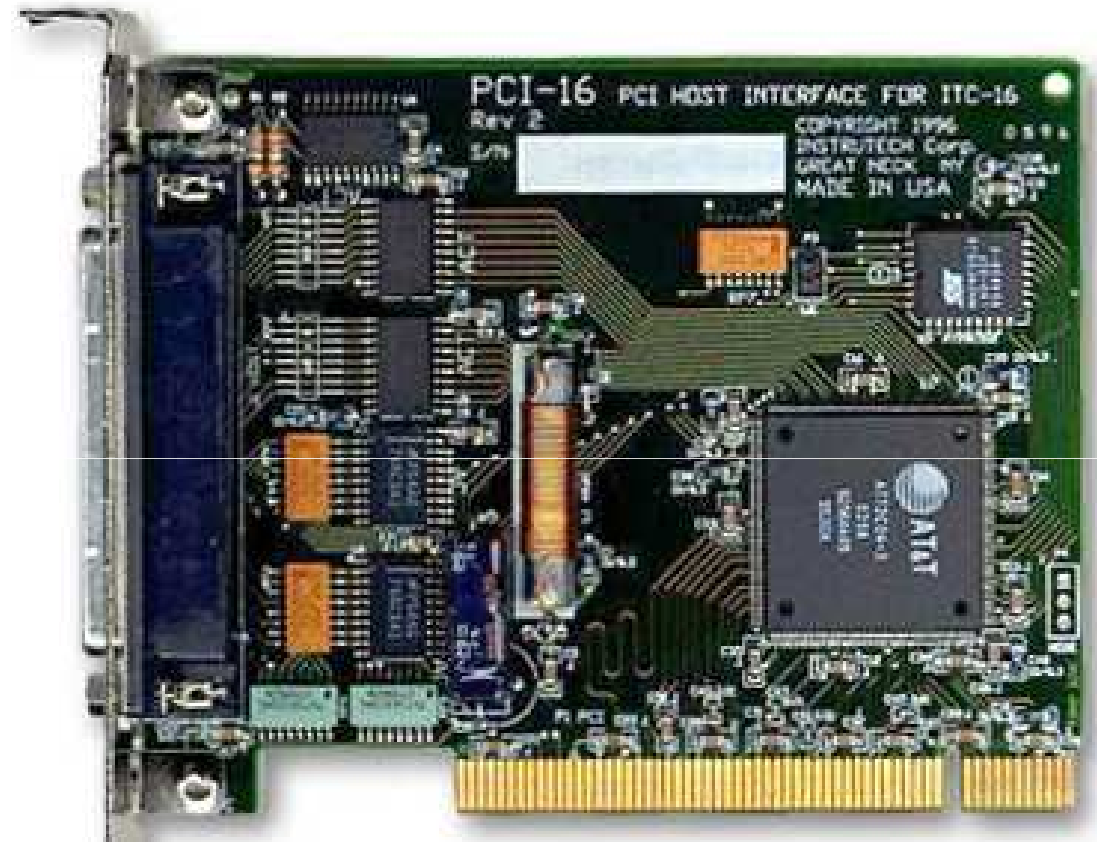
- Extensión a 32 bits de datos del bus ISA (PC/AT) manteniendo compatibilidad.
- Permite que varias CPUs puedan compartir el bus.
- Permite acceso hasta 4 GB de memoria.
- Mantiene reloj de 8.33 MHz por compatibilidad con ISA (soporta transferencias de datos de 33 MB/s)
- Soporta configuración semiautomática de dispositivos por programa:
 - Detección de tarjetas instaladas.
 - Selección de IRQs y direcciones base de memoria.
 - Evitación de conflictos con tarjetas ISA instaladas.
- **Inconveniente:** Velocidad de transferencia limitada por forzar compatibilidad de reloj con ISA.

(7)

7.2. Descripción de una selección de los principales buses de 80x86 (X)

Bus PCI

- Pierde compatibilidad con ISA y EISA (PCI 1.0)
- Buses de direcciones y datos de 32 bits y reloj a 33 MHz (132 MB/s).



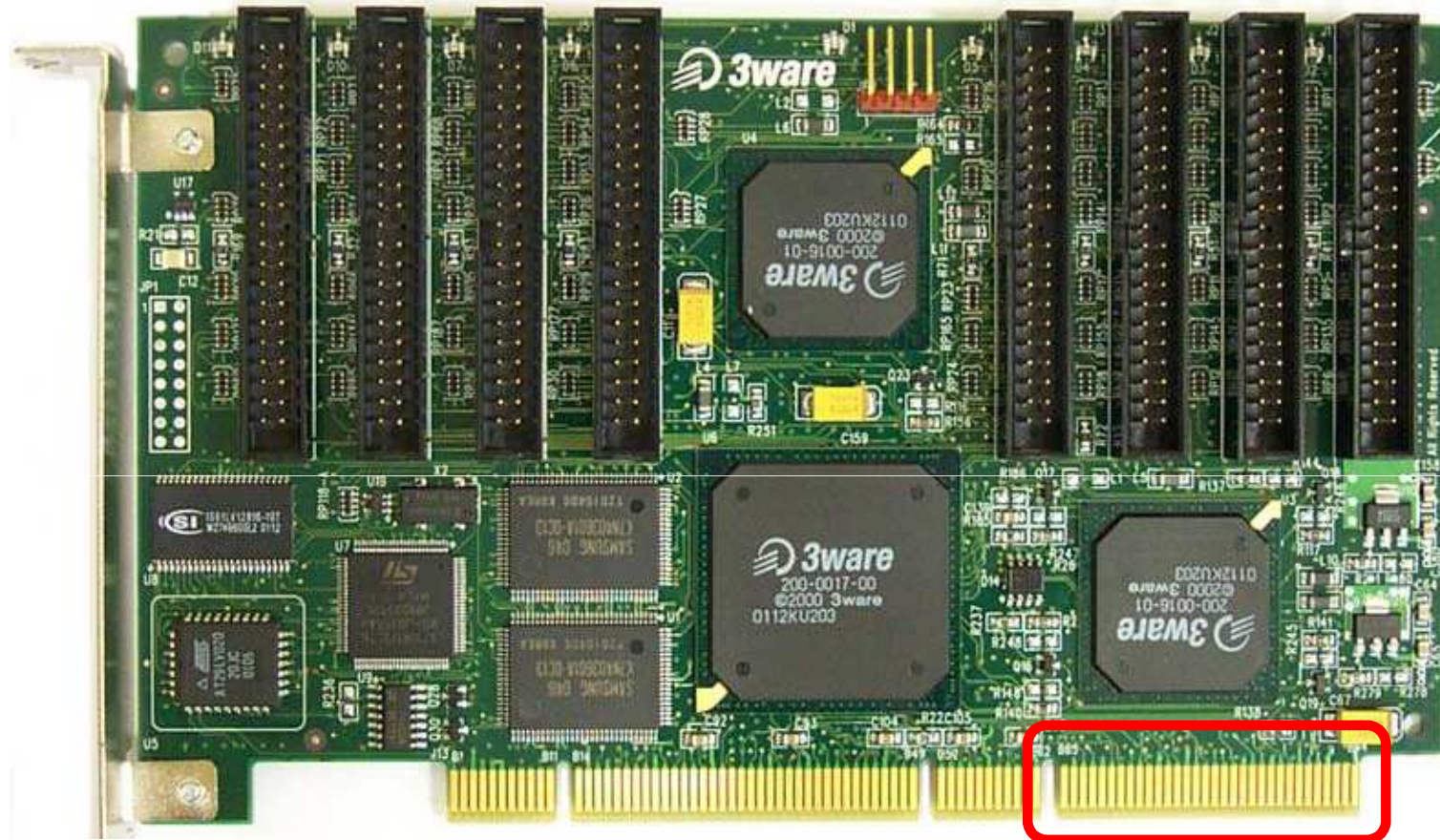
Bus PCI (32 bits)

(7)

7.2. Descripción de una selección de los principales buses de 80x86 (XI)

Bus PCI

- Opcionalmente buses de datos y direcciones de 64 bits y reloj a 33 MHz (264 MB/s).



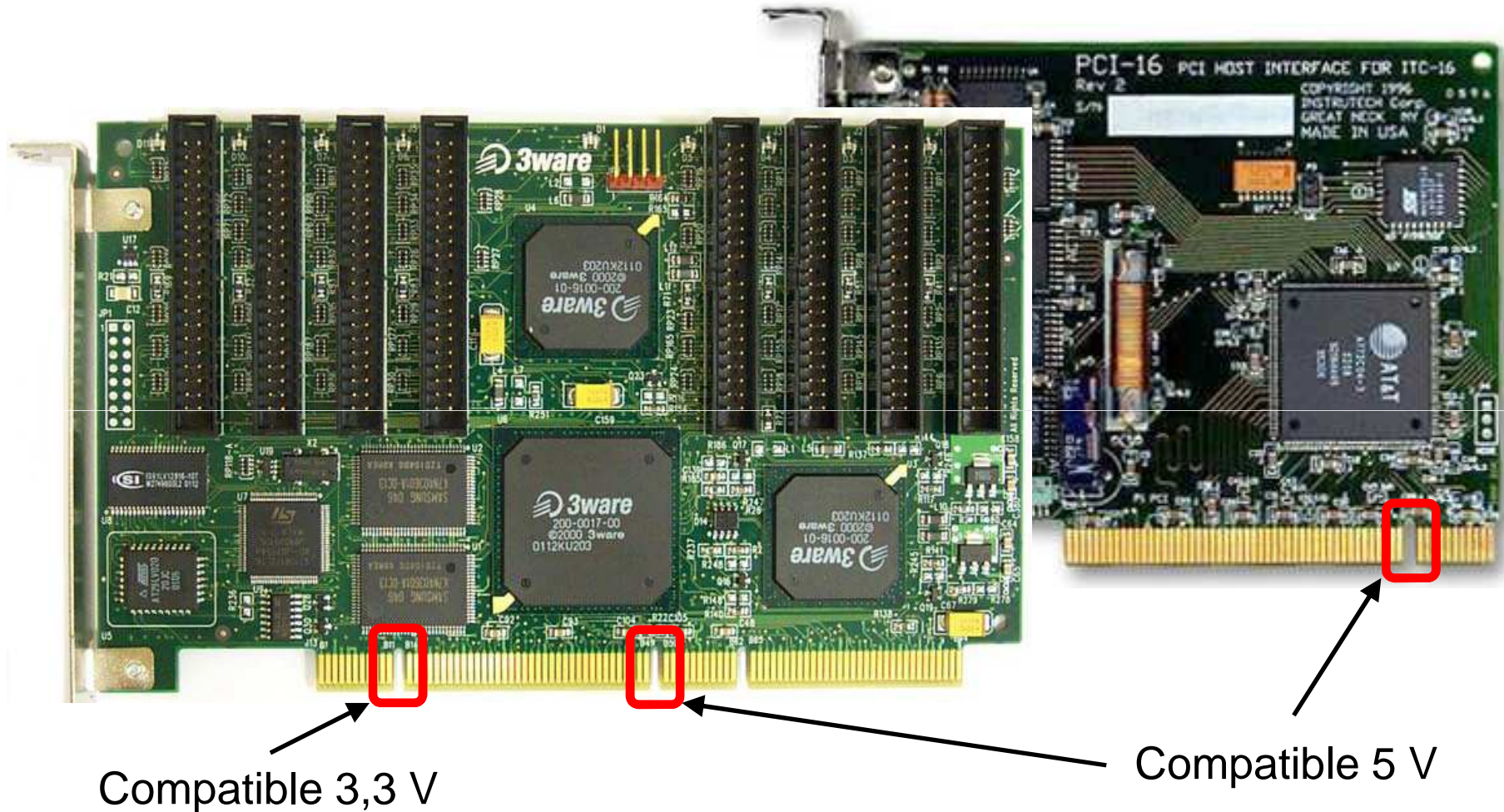
Bus PCI (64 bits)

(7)

7.2. Descripción de una selección de los principales buses de 80x86 (XII)

Bus PCI

- Versión original (PCI 1.0) sólo acepta señales a 5 V.
- En 1993 se añade opción de señales a 3,3 V (PCI 2.0).



(7)

7.2. Descripción de una selección de los principales buses de 80x86 (XIII)

Bus PCI

- Versión original (PCI 1.0) sólo acepta señales a 5 V.
- En 1993 se añade opción de señales a 3,3 V (PCI 2.0).
- En 1995 se añade opción de reloj a 66 MHz sólo para la opción de 3,3 V (PCI 2.1):
 - 264 MB/s en caso de buses de 32 bits.
 - 528 MB/s en caso de buses de 64 bits.
- En 1998 se añade opción de conexión de periféricos en caliente (PCI 2.2).
- En 2002 se elimina soporte de tarjetas de solo 5 V, aceptando tarjetas dobles de 3,3 V y 5 V (PCI 2.3).
- En 1999 aparece PCI-X 1.0 con hasta 133 MHz, 3,3 V y 32 bits (532 MB/s) o 64 bits (1064 MB/s).

(7)

7.2. Descripción de una selección de los principales buses de 80x86 (XIV)

Bus PCI

- Soporta configuración automática de dispositivos en arranque por parte de la BIOS:
 - Se detectan dispositivos conectados al PCI.
 - Se pregunta a cada dispositivo los recursos que requiere (tamaño del espacio de memoria, tamaño del espacio de E/S, número de interrupciones, etc.).
 - Se reservan los recursos de cada dispositivo.
 - Se comunica a cada dispositivo la localización de cada recurso (direcciones base de memoria y E/S, líneas de interrupción, etc.)
- Permite que los dispositivos tengan un *driver* en ROM para acceder a ellos antes de arrancar el SO.

(7)

7.2. Descripción de una selección de los principales buses de 80x86 (XV)

Bus PCI

- Dispone de cuatro entradas de petición de interrupción (INTA, INTB, INTC, INTD) accesibles y compartidas por **todos** los dispositivos.
- Rotación de entradas de interrupción en distintas ranuras de placa base (INTA en una ranura es INTB en otra, INTC en otra...) para minimizar conflictos.
- Mapeo de interrupciones PCI a IRQs de PICs decidido por fabricante de placa base y conocido por la BIOS.
- Varios dispositivos pueden compartir una misma IRQ:
 - Vector de interrupción apunta a programa que llama una tras otra a las RSIs (*drivers*) que comparten la IRQ.
 - Cada RSI ha de detectar si su dispositivo asociado ha generado la interrupción o no.

(7)

7.2. Descripción de una selección de los principales buses de 80x86 (XVI)

Bus PCI

- Cualquier dispositivo conectado al bus puede solicitar el control del bus activando una entrada de petición.
- El árbitro del bus recibe todas las peticiones y asigna el bus a uno de los solicitantes activando su salida de concesión.
- El solicitante que recibe la concesión del control del bus realiza una transacción de bus con dos fases:
 - **Fase de dirección:** Se envía una dirección de 32 bits y un código de 4 bits que indica el tipo de operación (lectura o escritura, espacio de memoria o E/S, etc.).
 - **Fase de datos:** Se envía o recibe una palabra de 32 bits o múltiples palabras (modo ráfaga). Sincronización entre emisor y receptor mediante 2 señales de *hand-shaking*.

(7)

7.2. Descripción de una selección de los principales buses de 80x86 (XVII)

Bus PCI

- Al enviar una dirección o dato, el emisor calcula un bit de **paridad par** del código de operación y de la dirección / dato, y lo envía por una **señal de paridad**.
- El receptor calcula la paridad de la información recibida y la compara con la señal de paridad.
- En caso de error en fase de datos:
 - Receptor activa una **señal de error de paridad** y puede abortar la transacción activando una **señal de parada**.
 - Emisor ha de comprobar errores de paridad y de parada, y actuar en consecuencia (reenviar, abortar, ...)
- En caso de error en fase de dirección:
 - Receptor puede activar una **señal de error del sistema** (suele provocar la activación de la NMI).