

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.1.** Considere un contador de Jhonson o conmutado por cola formado por cuatro FF-D ( $D_0 = \overline{Q_3}$ ) siendo uno de los estados válidos  $Q_3Q_2Q_1Q_0 = 0000$ . Suponga que por algún ruido de origen electromagnético, el contador no se encuentra en alguno de los estados de la secuencia esperada. Demuestre que en tal caso el contador continuará con una nueva secuencia, sin alcanzar la secuencia esperada. **b)** Modifique el contador sustituyendo el FF<sub>0</sub> por un FF-JK. La entrada  $J_0 = \overline{Q_2}/Q_3$  y  $K_0 = Q_3$ . Demuestre que en este caso el contador se autocorregirá hacia la secuencia esperada.

**Solución: a)**

	Secuencia Esperada				Secuencia Errónea			
	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$Q_3$	$Q_2$	$Q_1$	$Q_0$
<b>S<sub>0</sub></b>	0	0	0	0	0	1	1	0
<b>S<sub>1</sub></b>	0	0	0	1	1	1	0	1
<b>S<sub>2</sub></b>	0	0	1	1	1	0	1	0
<b>S<sub>3</sub></b>	0	1	1	1	0	1	0	0
<b>S<sub>4</sub></b>	1	1	1	1	1	0	0	1
<b>S<sub>5</sub></b>	1	1	1	0	0	0	1	0
<b>S<sub>6</sub></b>	1	1	0	0	0	1	0	1
<b>S<sub>7</sub></b>	1	0	0	0	1	0	1	1
<b>S<sub>0</sub></b>	0	0	0	0	0	1	1	0

**b)** Después del cambio la ecuación de estado para el FF<sub>0</sub> será  $\overline{D}$

$$Q_0^{n+1} = J_0^n \overline{Q_0^n} + \overline{K_0^n} Q_0^n = \overline{Q_3^n} \overline{Q_2^n} \overline{Q_0^n} + \overline{Q_3^n} Q_0^n = \overline{Q_3^n} (\overline{Q_2^n} + Q_0^n)$$

Por ejemplo, una secuencia errónea inicial como 0110, evoluciona a un estado válido como 1100 (S<sub>6</sub>)

**U4.2.** Diseñe un contador síncrono de módulo-4, utilizando: a) FF-JK; b) FF-D y c) FF-T.

**Solución:**

	Actual		Siguiete	
	$Q_1^n$	$Q_0^n$	$Q_1^{n+1}$	$Q_0^{n+1}$
<b>S<sub>0</sub></b>	0	0	0	1
<b>S<sub>1</sub></b>	0	1	1	0
<b>S<sub>2</sub></b>	1	0	1	1
<b>S<sub>3</sub></b>	1	1	0	0

**a)**  $J_0 = 1; K_0 = 1$

$J_1 = Q_0; K_1 = Q_0$

**b)**  $D_0 = \overline{Q_0}$

$D_1 = Q_1 \overline{Q_0} + \overline{Q_1} Q_0$

**c)**  $T_0 = 1$

$T_1 = Q_0$

**U4.3.** Diseñe un contador de módulo-7 utilizando FF-T. El contador recorre los estados en orden creciente salvo el S3. Diseñe un mecanismo de protección para que el contador, en caso que alcance accidentalmente el estado S3, pase al estado S0.

**Solución:**

Asignando el valor binario correspondiente a cada estado del contador, la tabla de transición será:

	Estado Actual			Estado siguiente		
	$Q_2$	$Q_1$	$Q_0$	$Q_2$	$Q_1$	$Q_0$
<b>S<sub>0</sub></b>	0	0	0	0	0	1
<b>S<sub>1</sub></b>	0	0	1	0	1	0
<b>S<sub>2</sub></b>	0	1	0	1	0	0
<b>S<sub>3</sub></b>	0	1	1	0	0	0
<b>S<sub>4</sub></b>	1	0	0	1	0	1
<b>S<sub>5</sub></b>	1	0	1	1	1	0
<b>S<sub>6</sub></b>	1	1	0	1	1	1
<b>S<sub>7</sub></b>	1	1	1	0	0	0

Se obtienen las ecuaciones:

$$T_0 = Q_2 + \overline{Q_1} + Q_0; \quad T_1 = Q_0 + \overline{Q_2} Q_1; \quad T_2 = \overline{Q_2} \overline{Q_1} \overline{Q_0} + Q_2 Q_1 Q_0$$

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.4.** Utilizando tres FF-JK, realice un circuito síncrono que cuente sólo los cuatro estados pares posibles. Para evitar cualquier problema de bloqueo, diseñad un mecanismo de modo que si el contador pasa accidentalmente a un estado impar, vaya al estado definido como  $Q_2Q_1Q_0 = 000$ .

**Solución:**

	Estado Actual			Estado siguiente		
	$Q_2$	$Q_1$	$Q_0$	$Q_2$	$Q_1$	$Q_0$
$S_0$	0	0	0	0	1	0
$S_1$	0	0	1	0	0	0
$S_2$	0	1	0	1	0	0
$S_3$	0	1	1	0	0	0
$S_4$	1	0	0	1	1	0
$S_5$	1	0	1	0	0	0
$S_6$	1	1	0	0	0	0
$S_7$	1	1	1	0	0	0

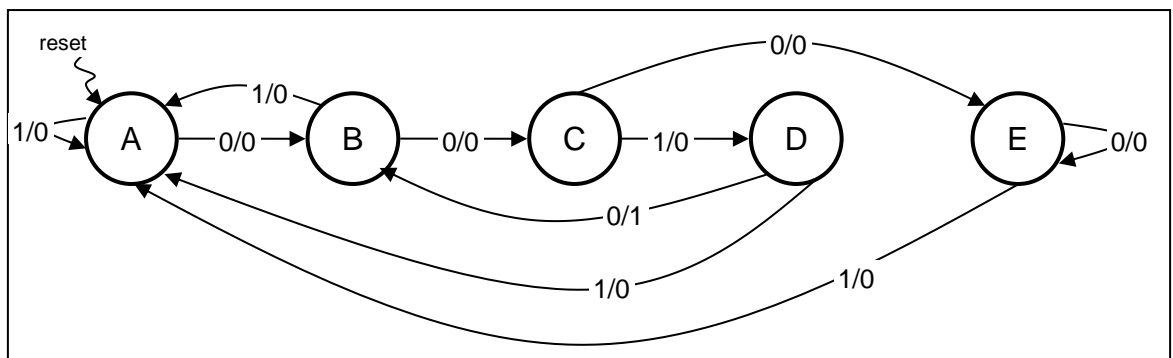
Asignando el valor binario correspondiente a cada estado del contador, se obtienen las ecuaciones:

$$J_0 = 0; \quad K_0 = 1 \qquad J_1 = \overline{Q_0}; \quad K_1 = 1 \qquad J_2 = Q_1 \overline{Q_0}; \quad K_2 = Q_1 + Q_0$$

**U4.5.** Dada la tabla de estados adjunta, calcule las ecuaciones de estado si se utilizan FF-JK para implementar el circuito. Dibuje el diagrama lógico del detector de secuencia.

Estado actual	Estado Próximo	
	X=0	X=1
A	B/0	A/0
B	C/0	A/0
C	E/0	D/0
D	B/1	A/0
E	E/0	A/0

**Solución:**



Para la asignación de estados. A (000), B (001), C (010), D (011) y E (101), las ecuaciones de estado son:

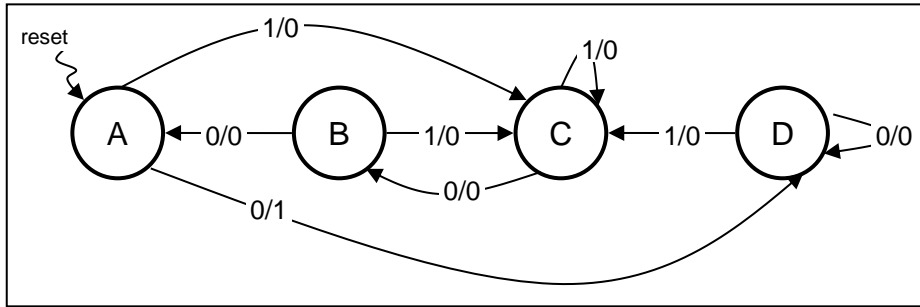
$$\begin{aligned}
 J_0 &= Q_1 + \overline{X} & K_0 &= \overline{Q_2} \overline{Q_1} + X \\
 J_1 &= \overline{Q_2} Q_0 \overline{X} & K_1 &= Q_0 + \overline{X} \\
 J_2 &= Q_1 \overline{Q_0} \overline{X} & K_2 &= X
 \end{aligned}$$

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.6.** Un circuito secuencial de cuatro estados se caracteriza por la tabla de estados adjunta. Calcule las ecuaciones de excitación de los flip-flops (ecuaciones de estado) y dibujad el diagrama lógico para a) FF-D, b) FF-JK y c) FF-T.

Estado actual	Estado Próximo	
	X=0	X=1
A	D/1	C/0
B	A/0	C/0
C	B/0	C/0
D	D/0	C/0

**Solución:**

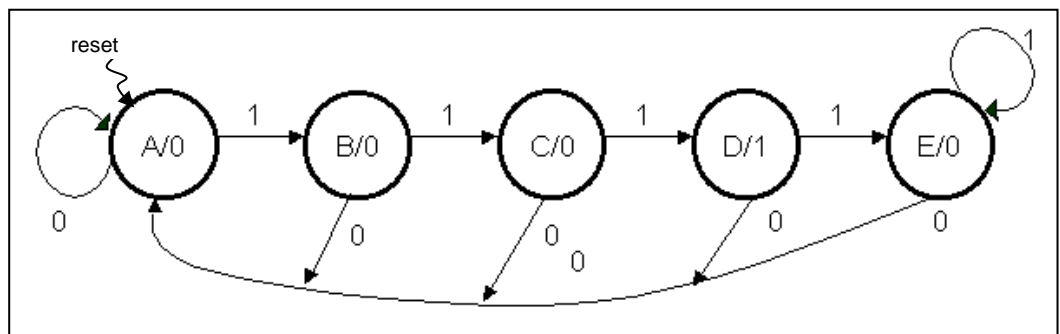


Para la asignación de estados. A (00), B (01), C (11) y D (10), las ecuaciones de estado son:

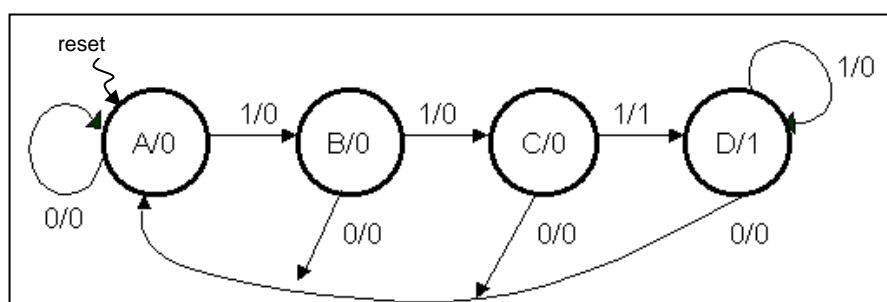
a)  $D_0 = Q_1 Q_0 + X$        $D_1 = \overline{Q_0} + X$   
b)  $J_0 = X$        $K_0 = \overline{Q_1} \overline{X}$   
 $J_1 = \overline{Q_0} + X$        $K_1 = Q_0 \overline{X}$   
c)  $T_0 = \overline{Q_0} X + \overline{Q_1} Q_0 \overline{X}$        $T_1 = \overline{Q_1} \overline{Q_0} + \overline{Q_1} X + Q_1 Q_0 \overline{X}$

**U4.7.** Diseñe sólo el diagrama de estados para un circuito de MOORE que tiene una salida  $Z = 1$  durante un ciclo de reloj, cuando por la línea de entrada se le han suministrado exactamente tres 1 durante los tres intervalos precedentes de reloj. Si durante 4 o más ciclos hubiese 1, la salida sería  $Z = 0$ . Repetid el problema para un circuito de MEALY, es decir, la determinación de que han aparecido exactamente tres 1 se hace durante el instante de ocurrencia del tercer 1.

**Solución: a) MOORE**



**a) MEALY**



## FUNDAMENTOS DE COMPUTADORES EJERCICIOS U4: Circuitos Secuenciales

**U4.8.** Se pide controlar una máquina expendedora de bebidas. Las entradas al circuito son señales que provienen de la entrada de monedas. Las salidas son señales que se deben enviar para dispensar la bebida (única) y activar la devolución del cambio cuando sea necesario. El precio de la bebida es de 1,5 € y el sistema sólo admite monedas de 50 céntimos, 1 € y 2 € que se detectan una en una de forma independiente en un ciclo del sistema.

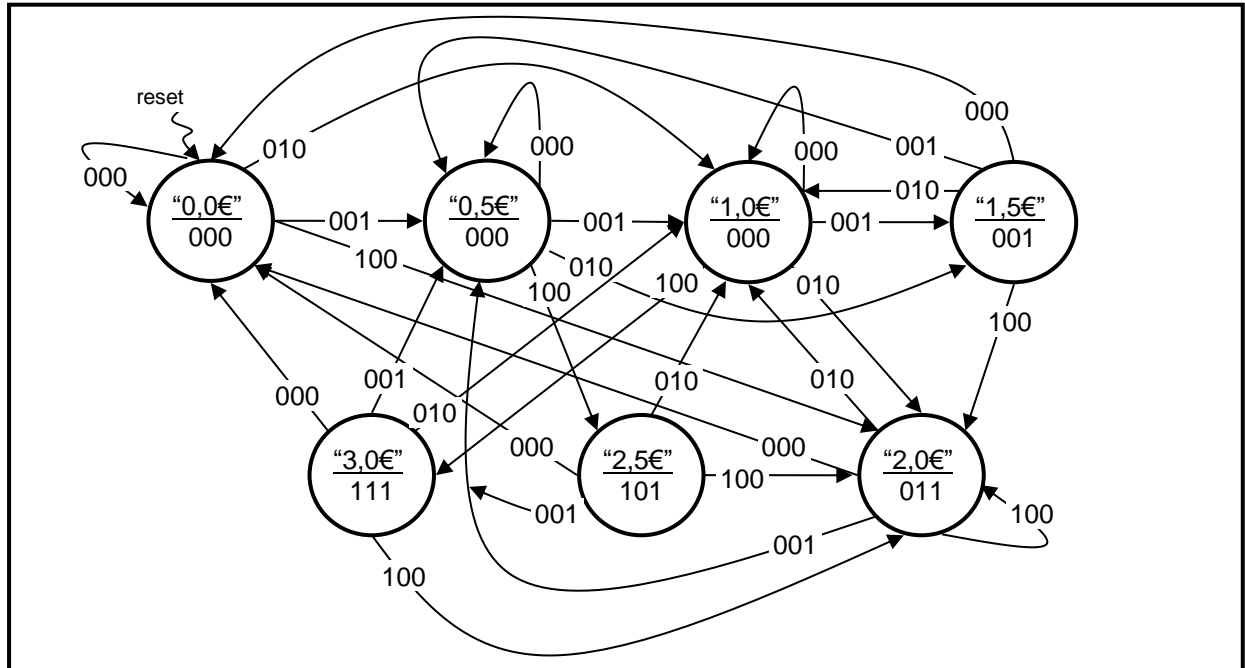
### Solución:

Asignación de entradas:  $X_2, X_1, X_0$ , equivalen a introducir una moneda de 2 €, 1 € y 0,5 € respectivamente.

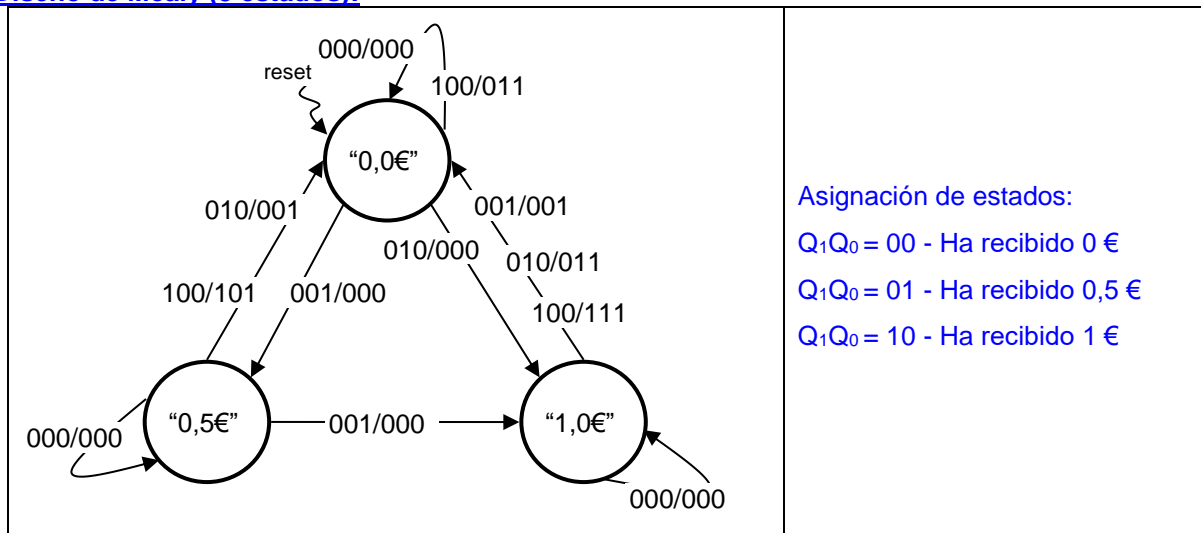
Cualquier combinación que suponga recibir más de una moneda al tiempo no se considera.

Asignación de salidas:  $Z_2, Z_1, Z_0$ , equivalen, devolver 1 €, devolver 0,5 € y a dispensar bebida respectivamente.

### Diseño de Moore (7 estados)



### Diseño de Mealy (3 estados):



**Ec. Salida:**  $Z_0 = X_2 + Q_0X_1 + Q_1X_1 + Q_1X_0$ ;  $Z_1 = Q_1X_1 + \overline{Q_0}X_2$ ;  $Z_2 = Q_1X_2 + Q_0X_2$

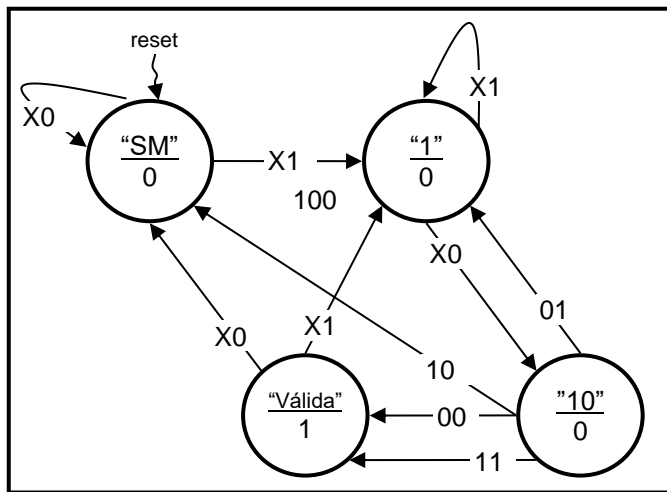
**Ec. Estado:**  $D_0 = \overline{Q_1} \overline{Q_0} X_0 + Q_0 \overline{X_2} \overline{X_1} X_0$ ;  $D_1 = Q_0X_0 + \overline{Q_1} \overline{Q_0} X_1 + Q_1 \overline{X_2} \overline{X_1} \overline{X_0}$

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.9.** Se pide diseñar un circuito de MOORE, que detecte una secuencia completa de tres bits consecutivos en función de una señal de control S (si S = 0 secuencia 100, si S = 1 secuencia 101). Cuando se detecta una secuencia válida debe comenzar la búsqueda de una nueva sin tener en cuenta la secuencia anterior. Si en medio de la búsqueda de una secuencia válida, se cambia la señal de control, el circuito debe responder en el flanco de reloj siguiente a la nueva señal. Diseñe el diagrama de estados, la tabla de estados, las ecuaciones de excitación de estados y salidas y dibuje el circuito. Un ejemplo de la secuencia puede ser:

<b>S</b>	1	1	1	1	1	1	1	0	0	0	0	0	1	1	1	0	1	X
<b>X</b>	1	1	0	1	0	1	0	0	1	0	0	1	0	0	1	0	1	X
<b>Z</b>	0	0	0	0	1	0	0	0	1	0	0	1	0	0	0	0	0	1

**Solución:**



Asignación de estados en el orden de detección de una secuencia válida: SM (00), "1" (01), "10" (10) y "Sec. Válida" (11).

Las entradas al sistema son S y X. La salida vale 1 en el estado 11.

Las ecuaciones de excitación y salida son:

$$D_0 = X + Q_1 \overline{Q_0} \overline{S}$$

$$D_1 = \overline{Q_1} Q_0 \overline{X} + Q_1 \overline{Q_0} SX + Q_1 \overline{Q_0} \overline{S} \overline{X}$$

$$Z = Q_1 Q_0$$

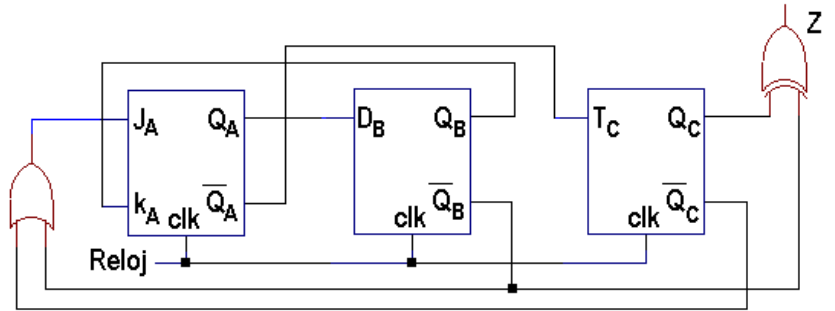
## FUNDAMENTOS DE COMPUTADORES EJERCICIOS U4: Circuitos Secuenciales

**U4.10.** El circuito de la figura realiza la operación de un cierto autómata de MOORE. Se pide:

a) Construya la tabla de transición de estados del circuito, indicando para cada estado el correspondiente valor de la salida Z.

b) Escriba la secuencia de salidas del sistema si que el estado inicial es:

$Q_C = 0, Q_B = 0$  y  $Q_A = 1$ .



**Solución:**

a)

E. Actual			Salida Z	E. Siguiente		
$Q_C^n$	$Q_B^n$	$Q_A^n$		$Q_C^{n+1}$	$Q_B^{n+1}$	$Q_A^{n+1}$
0	0	0	1	1	0	1
0	0	1	1	0	1	1
0	1	0	0	1	0	1
0	1	1	0	0	1	0
1	0	0	0	0	0	1
1	0	1	0	1	1	1
1	1	0	1	0	0	0
1	1	1	1	1	1	0

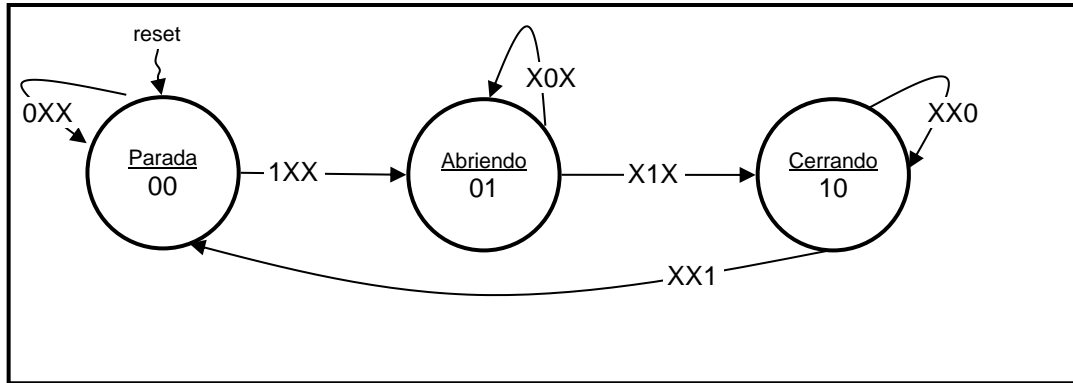
b)

Tiempo:	T1	T2	T3	T4	T5	T6	T7	T8	T9	T10	T11	T12
Estado:	1	3	2	5	7	6	0	5	7	6	0	...
Salida:	1	0	0	0	1	1	1	0	1	1	1	

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.11.** Se desea controlar una puerta corredera, la cual puede moverse de izquierda a derecha y viceversa. Su recorrido está limitado por dos finales de carrera, uno en la parte izquierda (B) que se activará cuando la puerta esté completamente abierta y otro en la parte derecha (C) que indicará que está completamente cerrada. Cuando la puerta se encuentra cerrada, actuando sobre un pulsador (A), comienza un ciclo de apertura, moviéndose hacia la izquierda, hasta que la puerta alcanza el final de carrera, momento en el cual la puerta invertirá su movimiento, desplazándose hacia la derecha hasta estar completamente cerrada. Si por cualquier circunstancia se pulsa A durante el movimiento de la puerta, ésta no debe detenerse. Las salidas del circuito deben activar en cada caso el movimiento de los motores para abrir y cerrar la puerta. Utilizando flip-flops tipo J-K realizad el circuito de control que se necesite. Indicad el diagrama de estados y las ecuaciones de estado y salida.

**Solución:**



Los tres estados del sistema son:

Puerta parada. Asignación de bits  $Q_1Q_0$  (00). Salida asociada a los motores para abrir  $Ma=0$  y cerrar  $Mc=0$ .

Puerta en movimiento y abriéndose. Asignación (01).  $Mc = 0$  y  $Ma = 1$

Puerta en movimiento y cerrándose. Asignación (10).  $Mc = 1$  y  $Ma = 0$

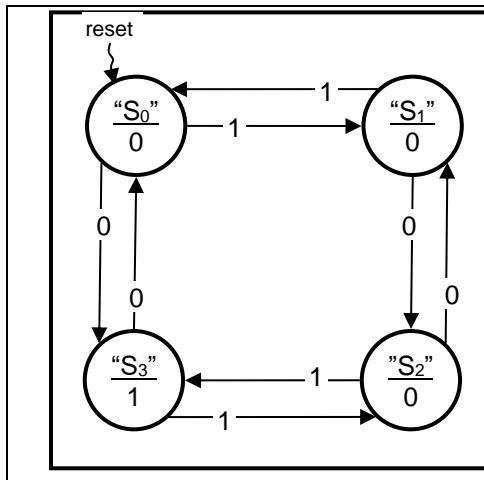
Las entradas al sistema son las variables A, B y C definidas en el enunciado.

Ecu. Excitación:  $J_0 = \overline{Q_1} A$        $K_0 = B$        $J_1 = Q_0 B$        $K_1 = C$

Ecu. Salida:       $Ma = Q_0$        $Mc = Q_1$

**U4.12.** Realice un circuito secuencial de tipo Moore que analice una cadena de n bits que se transmiten en serie sincronizados con una señal de reloj. Utilizando flip-flops tipo D. La salida del mismo debe ser "1" cada vez que la cadena tenga un número par de "1" y un número impar de "0". Suponga que una señal asíncrona de reset pone el circuito en el estado inicial  $S_0$ . NOTA: ningún "0" o ningún "1" se considera par. Se pide indicar el diagrama de estados, así como las ecuaciones de excitación (estado) y salida.

**Solución:**



Los cuatro posibles estados del sistema son:

$S_0$ : Estado que ha recibido un número par de "0" y un número par de "1". Asignación  $Q_1Q_0 = 00$

$S_1$ : Estado que ha recibido un número par de "0" y un número impar de "1". Asignación  $Q_1Q_0 = 01$

$S_2$ : Estado que ha recibido un número impar de "0" y un número impar de "1". Asignación  $Q_1Q_0 = 10$

$S_3$ : Estado que ha recibido un número impar de "0" y un número par de "1". Asignación  $Q_1Q_0 = 11$

Las ecuaciones de excitación y salida son:

$D_0 = \overline{Q_0}$  ;

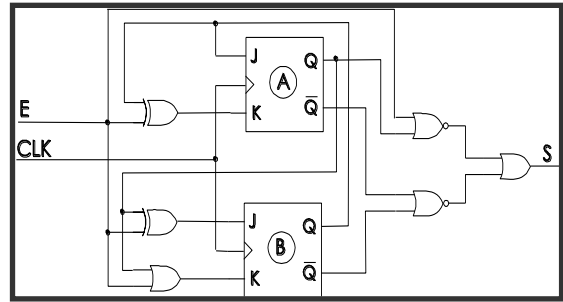
$D_1 = \overline{Q_1} \overline{X} + Q_1 X$  ;

$Z = Q_1 Q_0$

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.13.** Suponiendo que inicialmente el circuito tiene  $E=QB=QA=0$ . Se pide:

- Explique qué tipo de máquina es (Moore o de Mealy) e indicar el porqué.
- Obtenga el diagrama de estados.
- Halle la tabla de transiciones y de salida que lo define.

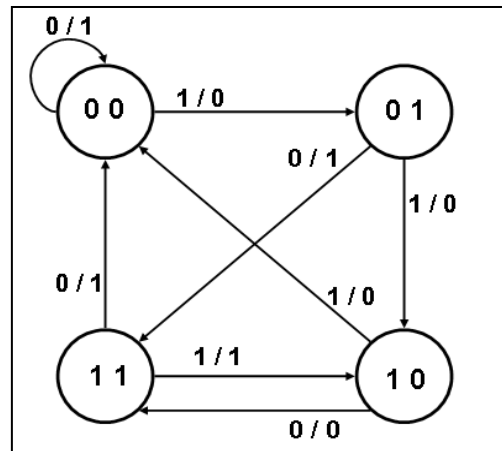


**Solución:**

a) Es un circuito Mealy ya que la salida es función de la entrada:  $S = \overline{Q_A + E} + \overline{Q_A} + \overline{Q_B}$

b) El diagrama de estados es el mostrado en la figura

c) Las tablas de transición y de salida son



$Q_A^n$	$Q_B^n$	E	$J_A$	$K_A$	$J_B$	$K_B$	$Q_A^{n+1}$	$Q_B^{n+1}$	S
0	0	0	0	0	0	0	0	0	1
0	0	1	0	1	1	1	0	1	0
0	1	0	1	1	0	0	1	1	1
0	1	1	1	0	1	1	1	0	0
1	0	0	0	0	1	1	1	1	0
1	0	1	0	1	0	1	0	0	0
1	1	0	1	1	1	1	0	0	1
1	1	1	1	0	0	1	1	0	1



**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

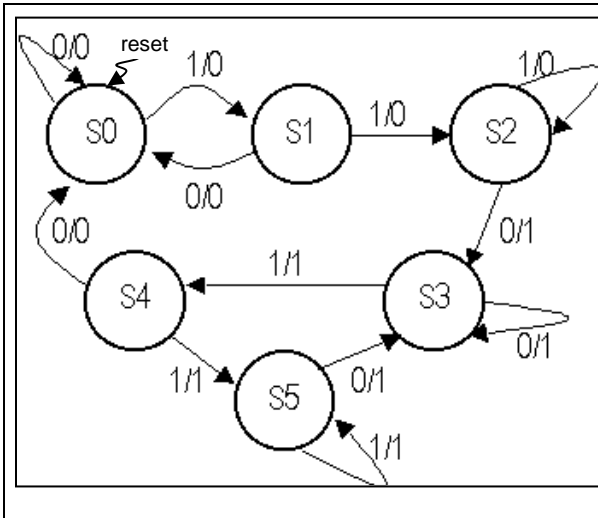
**U4.14.** Una máquina Mealy tiene una entrada sincronizada con una señal de reloj y una salida Z. El circuito pone Z=1 cuando detecta una secuencia a la entrada 110 y solo vuelve a poner Z=0 cuando detecta la secuencia 010. Por ejemplo:

<b>T</b>	<b>1</b>	<b>2</b>	<b>3</b>	<b>4</b>	<b>5</b>	<b>6</b>	<b>7</b>	<b>8</b>	<b>9</b>	<b>10</b>	<b>11</b>	<b>12</b>	<b>13</b>	<b>14</b>	<b>15</b>	<b>16</b>	<b>17</b>	<b>18</b>	<b>19</b>	<b>20</b>
<b>X</b>	0	0	1	1	1	0	1	0	1	1	0	1	1	1	0	0	1	0	0	1
<b>Z</b>	0	0	0	0	0	1	1	0	0	0	1	1	1	1	1	1	1	0	0	0

Se pide dibujar el diagrama de estados utilizando como máximo 6 estados, sabiendo que el estado en el arranque de la salida es Z = 0.

**Solución:**

**El sistema necesita memoria de la última secuencia activa.**



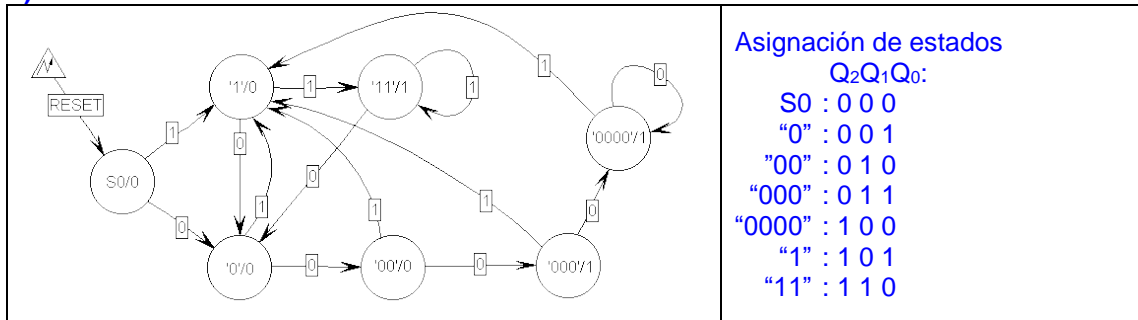
Descripción de estados:

- S0:** Estado de reset sin memoria o tras un "010"
- S1:** Secuencia válida "1" desde reset para set
- S2:** Secuencia válida "11" desde reset para set
- S3:** Secuencia buscada "110" desde reset, estado set
- S4:** Secuencia válida "01" desde set para reset
- S5:** Estado de set sin memoria o tras un "011"

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.15.** Un circuito recibe por una entrada X, datos en serie sincronizados con una señal de reloj. Partiendo de un estado inicial sin memoria y con salida Z = 0, el circuito debe poner la salida Z = 1 cada vez que detecte que se han recibido 2 o más "1" sucesivos, ó 4 ó más "0" sucesivos. **a)** Diseñe una máquina de Moore indicando el diagrama de estados, la tabla de transición y el esquema de puertas (ecuaciones de transición y salida), utilice FF tipo D. **b)** Dibuje el diagrama de estados de una máquina Mealy.

**Solución:**  
**a) MOORE**



Las ecuaciones de transición y salida son:

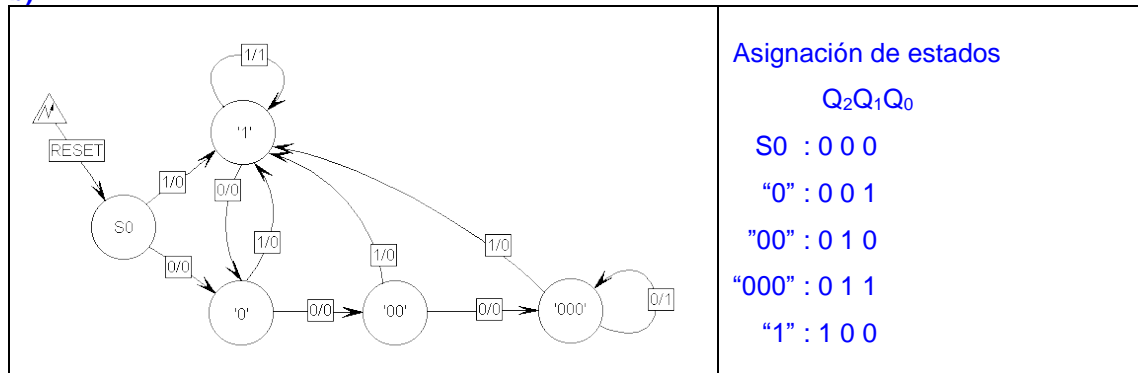
$$D_0 = \overline{Q_2} \overline{Q_0} + \overline{Q_1} X + \overline{Q_1} \overline{Q_0} X + Q_1 \overline{Q_0} X + Q_2 Q_0 \overline{X}$$

$$D_1 = \overline{Q_2} \overline{Q_1} Q_0 \overline{X} + \overline{Q_2} Q_1 \overline{Q_0} X + Q_2 Q_1 X + Q_2 Q_0 X$$

$$D_2 = Q_2 \overline{Q_1} \overline{Q_0} + Q_1 Q_0 + X$$

$$Z = Q_2 \overline{Q_0}$$

**b) MEALY:**



Las ecuaciones de transición y salida son:

$$D_0 = Q_1 \overline{X} + \overline{Q_0} \overline{X}$$

$$D_1 = Q_1 \overline{X} + Q_0 \overline{X}$$

$$D_2 = X$$

$$Z = Q_2 X + Q_1 Q_0 \overline{X}$$

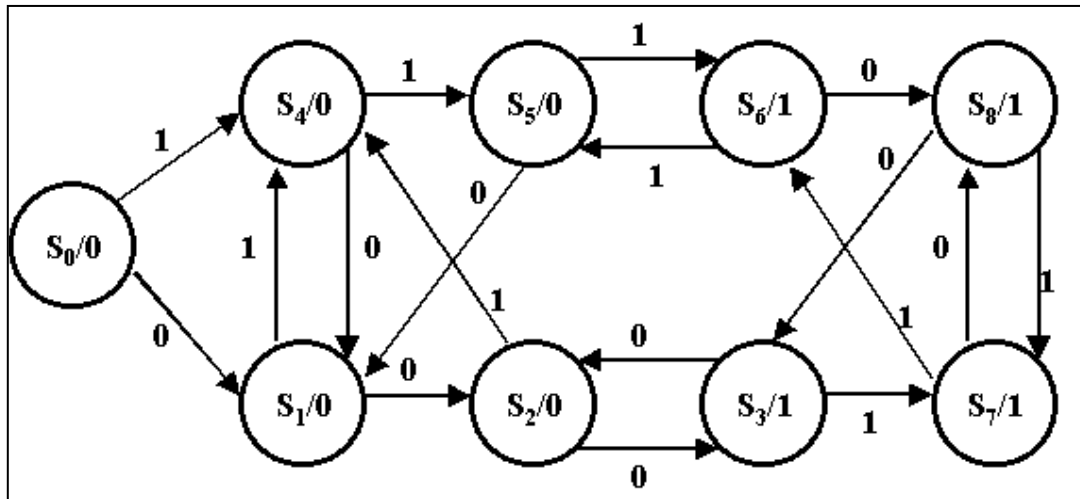
**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.16.** Un circuito secuencial tiene una entrada X sincronizada con un reloj CLK y una salida Z de datos serie. Partiendo de un estado inicial sin memoria con Z=0, la salida Z sólo debe cambiar cuando detecte que 3 bits consecutivos de entrada tienen el mismo valor. Por ejemplo:

CICLO	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
X	1	0	1	0	1	1	1	1	1	0	0	0	0	0	1	--
Z	--	0	0	0	0	0	0	1	0	1	1	1	0	1	0	0

Dibuje el diagrama de estados correspondiente a una máquina de Moore e indicar el número mínimo de FF necesarios para construir el circuito.

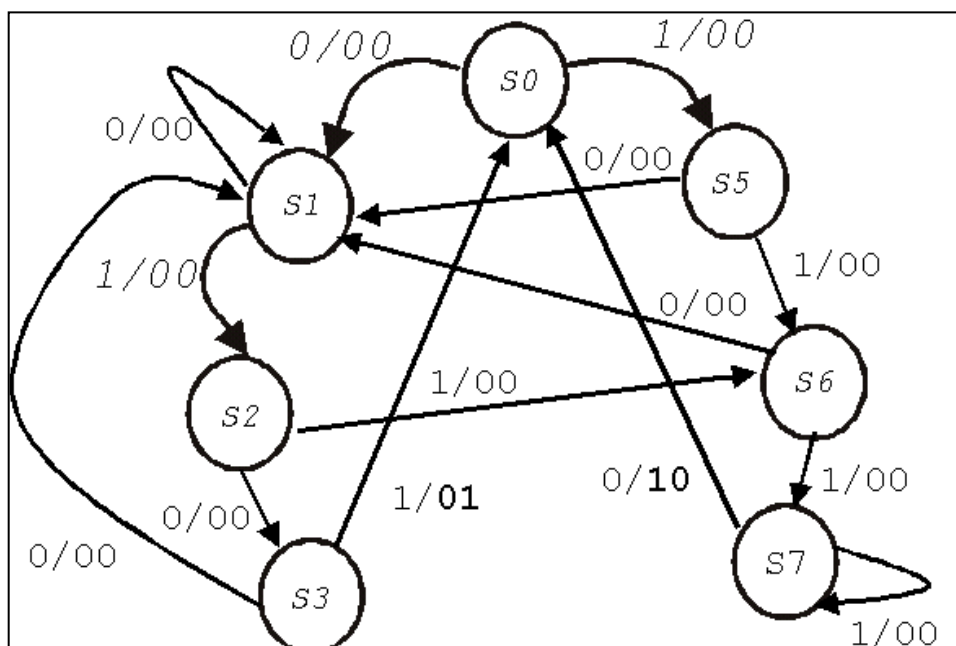
**Solución:**



Al tener 9 estados, se necesitan un mínimo de 4 FF

**U4.17.** Un circuito secuencial tipo Mealy tiene una entrada X de datos serie de un bit sincronizada con una señal de reloj CLK. La salida Z del circuito tiene dos bits Z1 Z0. El circuito se mantiene normalmente con Z1 Z0 = 00 pero pasa a Z1 Z0 = 01 cuando se detecta la secuencia 0101. Del mismo modo, pasa a Z1 Z0 = 10 cuando detecta la secuencia 1110. Cada vez que detecta una secuencia correcta el circuito vuelve a su estado inicial (Es decir, no hay solapamiento. Por ejemplo, 010101 no activa dos veces la salida). Diseñad dicho circuito.

**Solución:**



**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.18.** A partir de la siguiente tabla de estados de una máquina Mealy, halle el valor de la función de salida Z. La máquina tiene tres entradas  $A_2 A_1 A_0$  y una única salida.

$Q^{n+1}_1 Q^{n+1}_0$	$Q^n A_2 A_1 A_0 / Z$					
	$A_2 A_1 A_0 = 000$	$A_2 A_1 A_0 = 0X1$	$A_2 A_1 A_0 = 010$	$A_2 A_1 A_0 = 1X0$	$A_2 A_1 A_0 = 101$	$A_2 A_1 A_0 = 111$
<b>00</b>	00/0	00/1	01/0	00/0	00/0	00/1
<b>01</b>	01/0	01/1	00/0	01/0	00/0	01/1
<b>10</b>	00/0	10/1	01/0	00/1	00/0	01/0
<b>11</b>	11/1	11/0	11/0	11/1	11/0	11/0

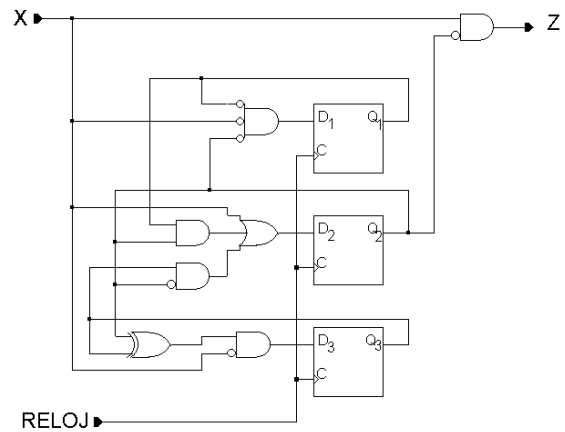
**Solución:**

$$Z = \overline{A_2} A_0 \overline{Q_1} + A_1 A_0 \overline{Q_1} + \overline{A_2} A_0 \overline{Q_0} + A_2 \overline{A_0} Q_1 + \overline{A_1} \overline{A_0} Q_1 Q_0$$

**U4.19.** Dado el circuito de la figura, se pide:

a) Explique que tipo de máquina es (Moore o de Mealy) e indicar porqué.

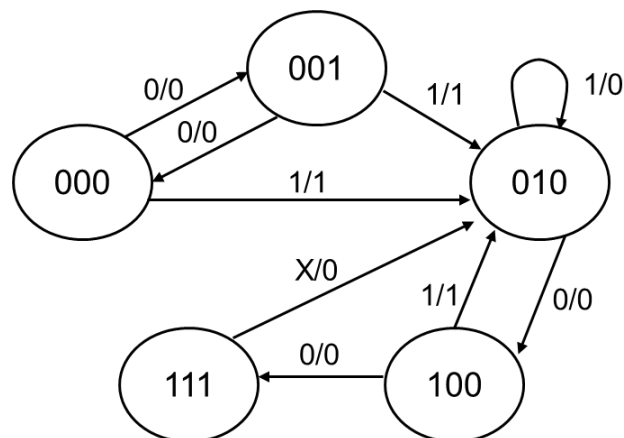
b) Partiendo de un estado  $Q_3=Q_2=Q_1=0$ , obtenga el diagrama de estados.



**Solución:**

a) Es una FSM de Mealy, porque la salida es función de la entrada.  $Z = \overline{Q_2} X$

b)



**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.20.** Dada la siguiente tabla de estados, se pide: **a)** Indique, justificando la respuesta, si la máquina a la que representa es Moore o Mealy. **b)** Utilizando FF-JK, calcule las ecuaciones de estado. **c)** Calcule la ecuación de la salida y **d)** realice el diagrama de estados.

Estado actual $Q_1^n Q_0^n$	Estado siguiente/salida ( $Q_1^{n+1} Q_0^{n+1}/Z$ )			
	$X_1 X_0 = 00$	$X_1 X_0 = 01$	$X_1 X_0 = 10$	$X_1 X_0 = 11$
00	01/0	00/0	01/0	00/0
01	10/0	00/0	10/0	00/0
10	10/0	11/0	10/0	11/0
11	01/0	00/1	00/1	00/0

**Solución:**

**a)** Es una máquina Mealy puesto que la salida depende de las entradas del sistema.

**b)**

$$J_1 = \overline{X_0} Q_0; \quad K_1 = Q_0$$

$$J_0 = \overline{X_0} \overline{Q_1} + X_0 Q_1; \quad K_0 = \overline{Q_1} + X_0 + X_1$$

**c)**

$$Z = X_1 X_0 \overline{Q_1} Q_0 + X_1 X_0 Q_1 \overline{Q_0}$$

**d)** La máquina de estados detecta la secuencia 0010 sin solapamiento si  $X_1=1$  y la secuencia sin solapamiento 0011 si  $X_1=0$

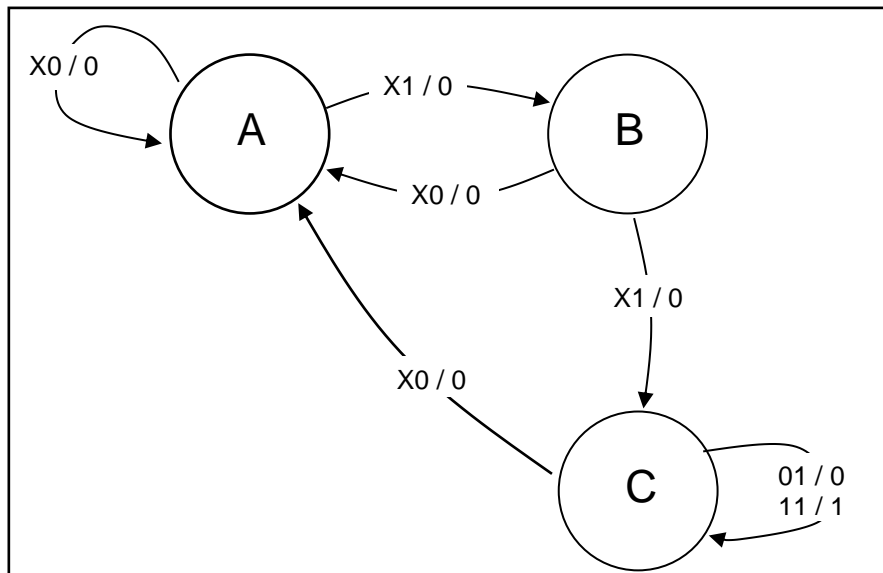
## FUNDAMENTOS DE COMPUTADORES EJERCICIOS U4: Circuitos Secuenciales

**U4.21.** Con el fin de minimizar el riesgo de caída en una curva del piloto de Moto GP Dani Pedrosa (hay riesgo serio cuando la velocidad es baja y la inclinación de la moto muy grande), el equipo Repsol-Honda ha decidido colocar un sensor en cada lateral de las rodillas del piloto (estos laterales son los que se acercan al suelo al tomar las curvas) para detectar lo cerca que está del suelo, y otro sensor conectado al contador de velocidad de la moto. Si tras detectar que durante un cierto tiempo, la velocidad de la moto baja de un valor umbral y se detecta que el sensor instalado en alguna de las dos rodillas se activa porque el piloto está muy cerca del suelo, se enciende un avisador en la moto, indicando a Pedrosa que hay riesgo de caída y que debe enderezar la moto. Ayuda a los ingenieros de Repsol-Honda en su proyecto, diseñando una máquina de estados de Mealy que controle los sensores. Sean  $X_1, X_0$  los sensores de entrada (entradas del autómata de Mealy).  $X_1=1$ , cuando uno de los dos sensores instalados en las rodillas se activa porque la rodilla está muy cerca del suelo y  $X_0=1$ , avisa si la velocidad de la moto está por debajo de un cierto umbral. Se pide:

La señal única de salida será  $Z_0$  (se pone a "1" cuando hay riesgo de caída) y esto ocurre si en tres ciclos de reloj consecutivos en los que  $X_0=1$  se detecta que el sensor colocado en alguna rodilla se activa (se pone a valor "1").

- Realice el diagrama de estados del autómata, utilizando los estados necesarios del diagrama adjunto, añadiendo más si fuera necesario o dejando en blanco los que no se necesiten.
- Escriba la tabla de estados del autómata.
- Para FF-JK, escriba las ecuaciones de excitación (estado) y de salida.

### Solución:



La tabla de transición será:

Estado actual ( $Q_1 Q_0$ )	Estado siguiente / Salida actual ( $Q_1^+ Q_0^+ / Z_0$ )			
	$X_1 X_0 = 0 0$	$X_1 X_0 = 0 1$	$X_1 X_0 = 1 0$	$X_1 X_0 = 1 1$
<b>0 0</b>	<b>0 0 / 0</b>	<b>0 1 / 0</b>	<b>0 0 / 0</b>	<b>0 1 / 0</b>
<b>0 1</b>	<b>0 0 / 0</b>	<b>1 0 / 0</b>	<b>0 0 / 0</b>	<b>1 0 / 0</b>
<b>1 0</b>	<b>0 0 / 0</b>	<b>1 0 / 0</b>	<b>0 0 / 0</b>	<b>1 0 / 1</b>
<b>1 1</b>	<b>X X / X</b>	<b>X X / X</b>	<b>X X / X</b>	<b>X X / X</b>

Las ecuaciones de excitación y salida utilizando FF-JK:

$$J_1 = X_0 Q_0; \quad K_1 = \overline{X_0}; \quad J_0 = X_0 \overline{Q_1}; \quad K_0 = 1$$

$$Z_0 = X_1 X_0 Q_1$$

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.22.** Se pretende controlar el nivel de emisión en un teléfono móvil. Para ello se diseña una máquina de estados que cuenta con dos entradas,  $E_1$  y  $E_0$ , que hacen una estimación del nivel de emisión. El comportamiento de las mismas es el siguiente: si ambas señales están a 0 ("00") es que la estimación no es válida. En los demás casos, la estimación es válida y su significado es el siguiente:

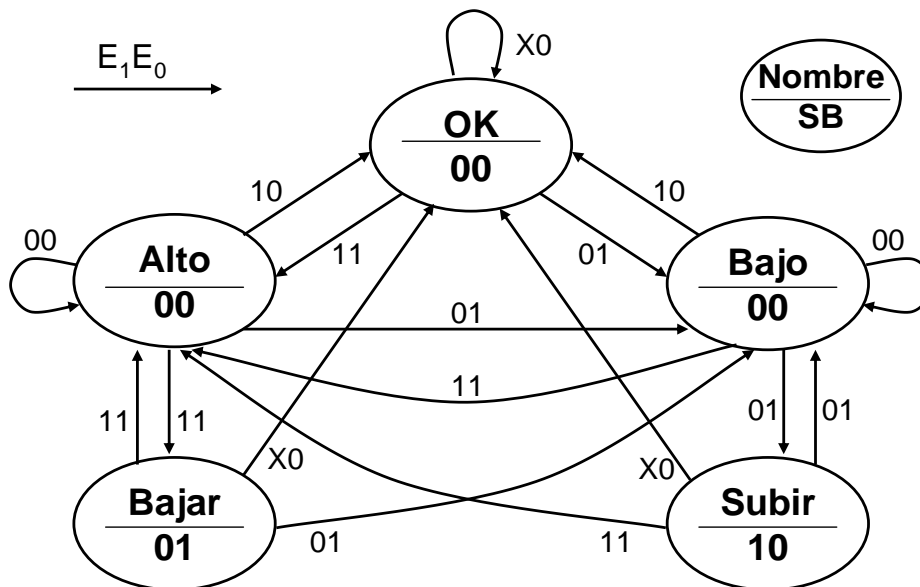
- "01" si se estima que el nivel de emisión es demasiado bajo,
- "10" si se estima que el nivel de emisión es adecuado,
- "11" si se estima que el nivel de emisión es demasiado alto.

Sólo se subirá el nivel de emisión si las dos últimas estimaciones válidas han sido de nivel demasiado bajo. Igualmente, se bajará el nivel de emisión si las dos últimas estimaciones válidas han sido de nivel demasiado alto. Una vez que cambie el nivel de emisión no se tendrán en cuenta las estimaciones anteriores al cambio (no hay solapamiento).

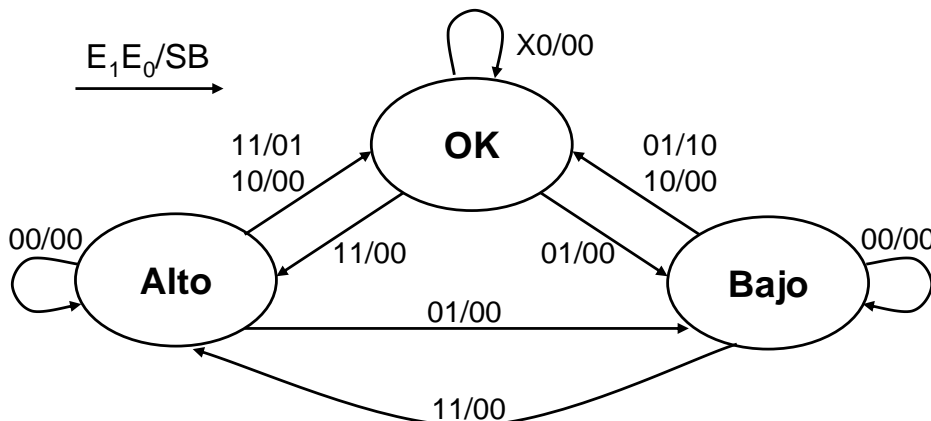
Las salidas del circuito son dos: S (subir) y B (bajar). Ambas se activan por nivel alto y durante un único ciclo de reloj cada vez que deban actuar.

a) Realice el diagrama de estados si la máquina de estados es de tipo Moore.

**Solución**



b) Realice el diagrama de estados si la máquina de estados es de tipo Mealy.



## FUNDAMENTOS DE COMPUTADORES EJERCICIOS U4: Circuitos Secuenciales

**U4.23.** Se facilita la tabla de transición entre estados de una determinada máquina de estados finita (FSM) y su correspondiente tabla de salida.

Tabla de Transición de estados						
E. Actual			Entr.	E. Siguiente		
$Q_2^n$	$Q_1^n$	$Q_0^n$	X	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$
0	0	0	0	0	1	0
0	0	0	1	0	1	0
0	0	1	0	0	0	0
0	0	1	1	0	1	0
0	1	0	0	0	0	1
0	1	0	1	1	0	1
0	1	1	0	1	0	0
0	1	1	1	0	0	0
1	0	0	0	0	0	0
1	0	0	1	1	0	1
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	0	0	0
1	1	0	1	0	0	0
1	1	1	0	0	0	1
1	1	1	1	0	0	1

Se pide:

a) Suponiendo que el biestable FF2 es del tipo JK, se pide utilizando los diagramas de Karnaugh correspondientes que se les facilita, minimizar las ecuaciones de estado para este biestable.

### Solución

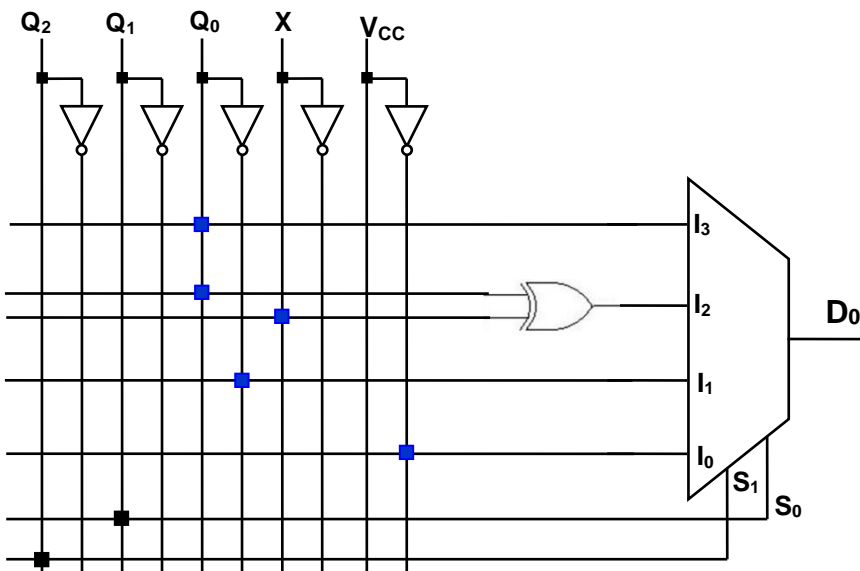
$Q_0X$ $Q_2Q_1$	00	01	11	10
00	0	0	0	0
01	0	1	0	1
11	X	X	X	X
10	X	X	X	X

$Q_0X$ $Q_2Q_1$	00	01	11	10
00	X	X	X	X
01	X	X	X	X
11	1	1	1	1
10	1	0	1	1

$$J_2 = Q_1 \overline{Q_0} X + Q_1 Q_0 \overline{X}$$

$$K_2 = Q_1 + Q_0 + \overline{X}$$

b) Utilice el esquema de la figura adjunta y el mínimo número de puertas lógicas adicionales para implementar la ecuación de estado para el biestable FF0 suponiendo que este sea de tipo D.



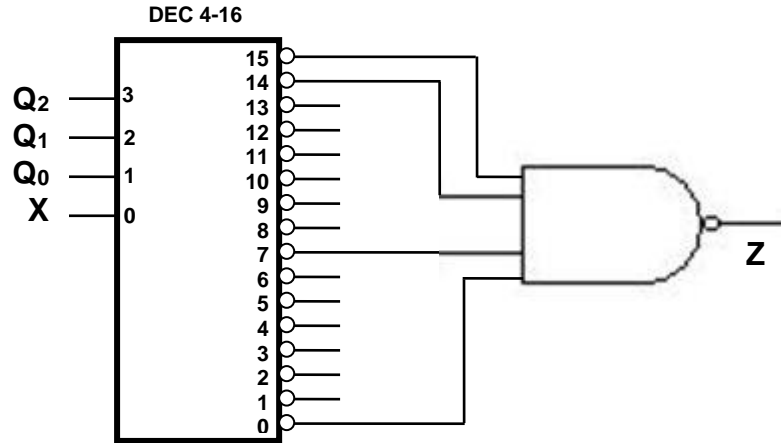


**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

c) Utilice el esquema de la figura adjunta con el decodificador 4-16 con salidas ACTIVAS EN BAJO y el mínimo número de puertas lógicas adicionales para implementar la ecuación de salida.

**NOTA:** Todas las entradas deben tener una señal conectada.

Tabla de Salida					
E. Actual			Entr.		Salida
$Q_2^n$	$Q_1^n$	$Q_0^n$	X		Z
0	0	0	0		1
0	0	0	1		0
0	0	1	0		0
0	0	1	1		0
0	1	0	0		0
0	1	0	1		0
0	1	1	0		0
0	1	1	1		1
1	0	0	0		0
1	0	0	1		0
1	0	1	0		0
1	0	1	1		0
1	1	0	0		0
1	1	0	1		0
1	1	1	0		1
1	1	1	1		1

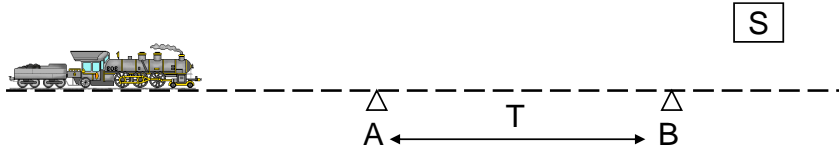


Señale si se trata de una FSM de Moore o de Mealy. Justifique brevemente la respuesta.

**Se trata de una máquina de Mealy, la salida Z no sólo depende del estado sino también de la entrada X, tal y como se observa en la tabla para los estados  $Q_2Q_1Q_0 = 000$  y  $Q_2Q_1Q_0 = 011$ .**

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.24.** Se desea diseñar un circuito que avise a los trenes que se acercan a una estación con exceso de velocidad. Para ello se cuenta con tres entradas. Dos son sensores de presencia, "A" y "B", que indican mediante un '1' si hay un tren encima de ellos (los sensores dan su salida libre de rebotes). También se dispone de un circuito temporizador que se activa automáticamente al pasar el tren por "A" y que activa "T" (entrada al circuito a diseñar) durante un único ciclo de reloj tras un tiempo fijo. Dicho tiempo es igual a la distancia (B-A) dividida entre la velocidad máxima permitida.



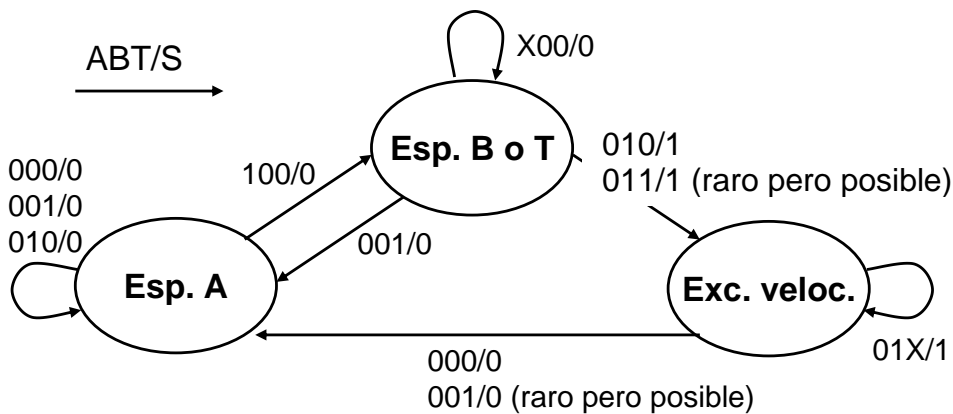
El funcionamiento del circuito ha de ser el siguiente. El tren siempre pasa primero por "A". Una vez que se detecte el tren, si llega "T" antes que "B" es que la velocidad es correcta y no se indica nada. Si llega "B" antes o a la vez que "T", hay exceso de velocidad. Esto se indica activando la única salida, "S", que debe permanecer activa mientras el tren pasa por "B".

**Nota:** Las entradas "A" y "B" siempre permanecen activas más de un ciclo de reloj cada vez, pero "T" sólo se activa durante un ciclo. Se puede asumir que antes de que llegue el próximo tren, "B" y "T" ya se habrán activado, que la pareja de variables "A" y "T" y "A" y "B" nunca pueden estar activas a la vez.

Se pide:

- a) Diseñar el diagrama de estados Mealy para el circuito explicado.

**Solución:**



- b) Hacer la asignación de estados y escribir la tabla de estados y de salida (sólo la tabla, sin minimizar ecuaciones)

ESTADO	Q <sub>1</sub>	Q <sub>0</sub>	Q <sub>1</sub> <sup>n</sup>	Q <sub>0</sub> <sup>n</sup>	A	B	T	Q <sub>1</sub> <sup>n+1</sup>	Q <sub>0</sub> <sup>n+1</sup>	S
Esp. A	0	0	0	0	0	0	0	0	0	0
Esp. B o T	0	1	0	0	0	0	1	0	0	0
Exc. veloc.	1	0	0	0	0	1	0	0	0	0
			0	0	1	0	0	0	1	0
			0	1	0	0	0	0	1	0
			0	1	0	0	1	0	0	0
			0	1	0	1	0	1	0	X
			0	1	0	1	1	1	0	X
			0	1	1	0	0	0	1	0
			1	0	0	0	0	0	0	X
			1	0	0	0	1	0	0	X
			1	0	0	1	0	1	0	1
			1	0	0	1	1	1	0	1

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.25.** Un terminal bancario interactivo ofrece al cliente dos posibilidades: Mostrar por pantalla los últimos movimientos asociados a una cuenta y mostrar por pantalla el saldo de dicha cuenta. Previo a la selección de cualquiera de las opciones, es necesario presionar un botón que indica "Comienzo de una nueva operación", tras lo cual aparecerá en pantalla un menú con las dos opciones descritas anteriormente, cada una de ellas asociada a un botón diferente. Sólo se puede pulsar un botón al tiempo, por lo que las operaciones no pueden seleccionarse simultáneamente. Si se presiona el botón de "Mostrar últimos movimientos", después de dos flancos activos de reloj, el terminal mostrará por pantalla el mensaje "Estos son los últimos movimientos solicitados". Si se presiona el botón de "Mostrar el saldo final", después de un flanco activo de reloj, el terminal mostrará por pantalla el mensaje "Este es el saldo final solicitado". Una vez iniciada cualquiera de las dos operaciones, sólo se puede ir al comienzo de una nueva operación en el primer ciclo de reloj de su ejecución presionando el botón "Comienzo de una nueva operación", no pudiendo interrumpirse en los restantes ciclos de reloj de ejecución. Una vez finalizada la opción seleccionada, el terminal quedará en espera de que se presione el botón de "Comienzo de una nueva operación".

Se pide realizar el diagrama de estados de un circuito Mealy que controle el funcionamiento del terminal. Los tres botones de operación serán las entradas del circuito:

Comienzo de una nueva operación:  $X_2$

Mostrar últimos movimientos:  $X_1$

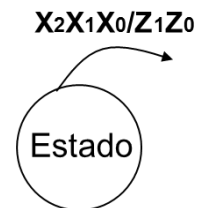
Actualizar libreta:  $X_0$

Los mensajes de fin de operación realizada se activarán mediante las salidas del circuito:

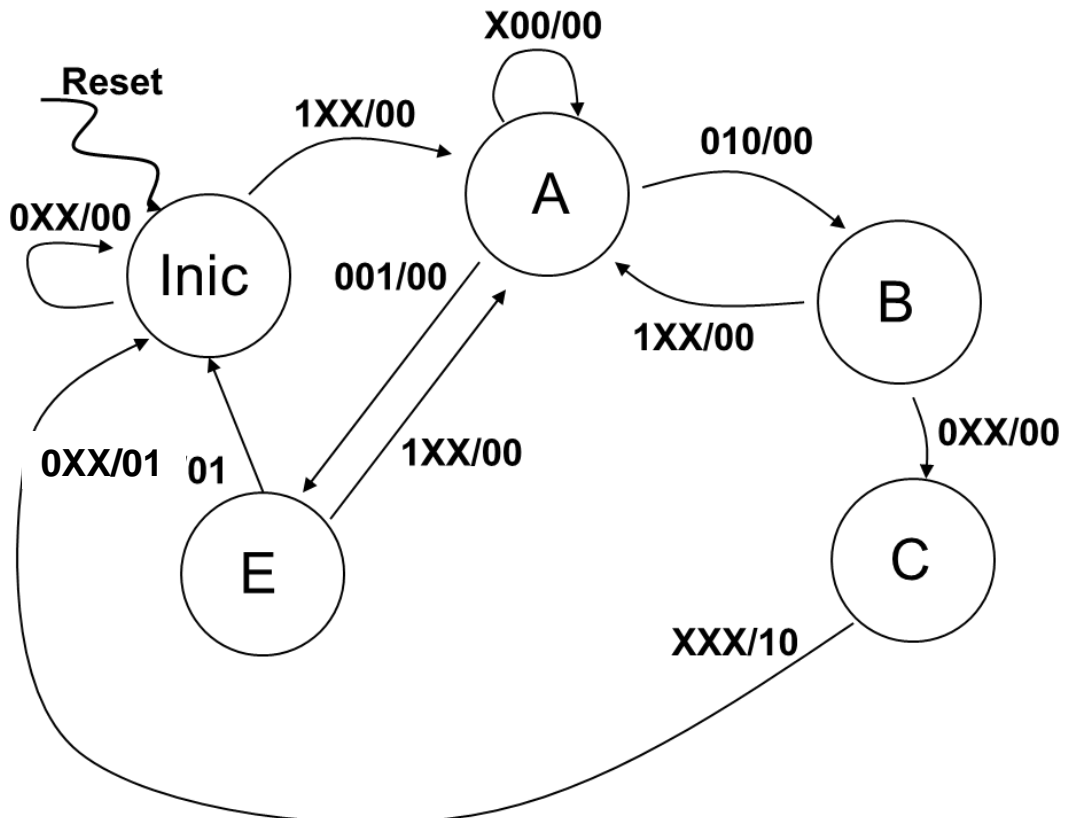
Estos son los últimos movimientos solicitados:  $Z_1$

Este es el saldo final solicitado:  $Z_0$

La nomenclatura a seguir es la mostrada. Utilizad los estados del diagrama adjunto, añadiendo más si fuera necesario o dejando en blanco los que no se necesiten.



**Solución:**



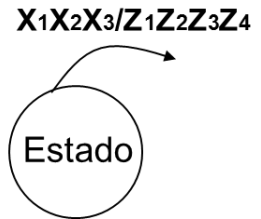
**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.26.** Realizar una máquina de Mealy que controle el funcionamiento de una máquina expendedora de helados. Las entradas se denotarán con  $X_i$  y las salidas con  $Z_i$ . La máquina, tras introducir una moneda del valor único ( $X_1$ ) expulsa un cucurucho ( $Z_1$ ). Tras ello, da la posibilidad al usuario de elegir un helado de fresa ( $Z_2$ ), de chocolate ( $Z_3$ ) o de fresa y chocolate ( $Z_4$ ). Para ello el cliente debe pulsar el botón correspondiente a "sabor fresa" ( $X_2$ ), "sabor chocolate" ( $X_3$ ), o ambos botones si desea el helado de sabor mixto. Una vez elegido el sabor, y tras un ciclo de reloj de espera (retardo) para dar tiempo al usuario a prepararse, se obtiene el helado colocando el cucurucho bajo el dispensador.

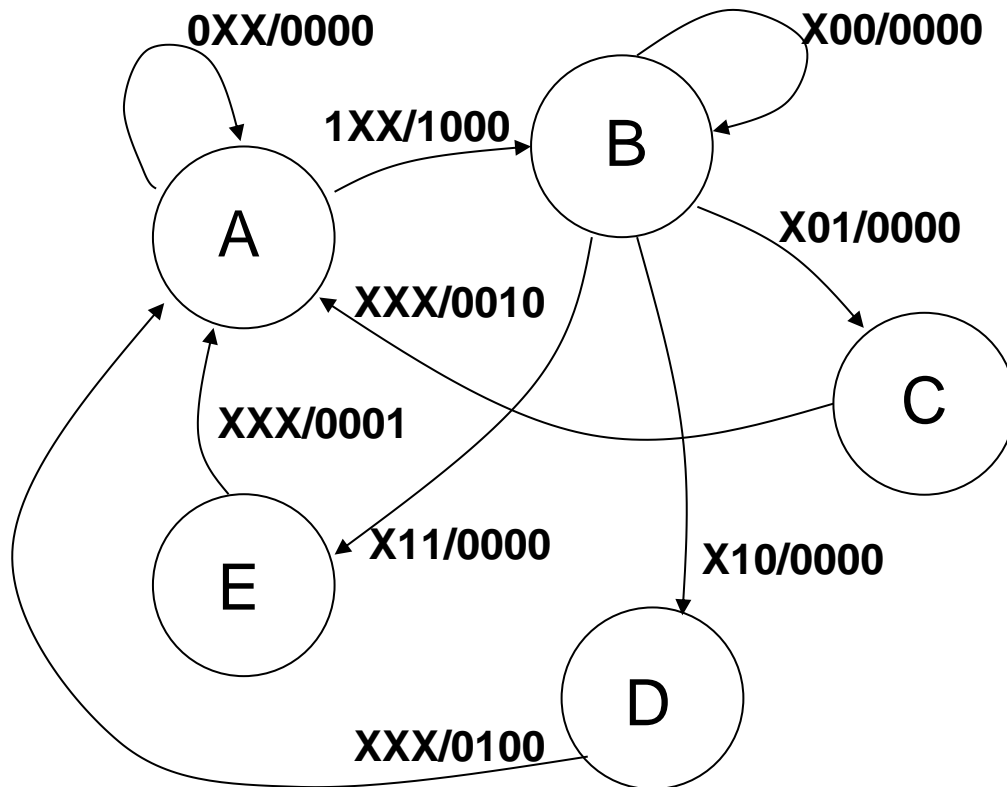
En el mismo ciclo de reloj que se dispensa el helado, el sistema vuelve al estado inicial y queda a la espera de un nuevo cliente.

En un FSM de Mealy contar un ciclo de reloj equivale a contar un flanco activo adicional.

La nomenclatura a seguir es la mostrada. Utilizar los estados del diagrama adjunto, añadiendo más si fuera necesario o dejando en blanco los que no se necesiten.



**Solución:**



**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.27.** La siguiente tabla representa las ecuaciones de estado y de salida de una máquina de estados. El estado viene definido por  $Q_2$ ,  $Q_1$  y  $Q_0$ , siendo A la única entrada aparte del reloj y el reset. Las salidas son X e Y. Se pide:

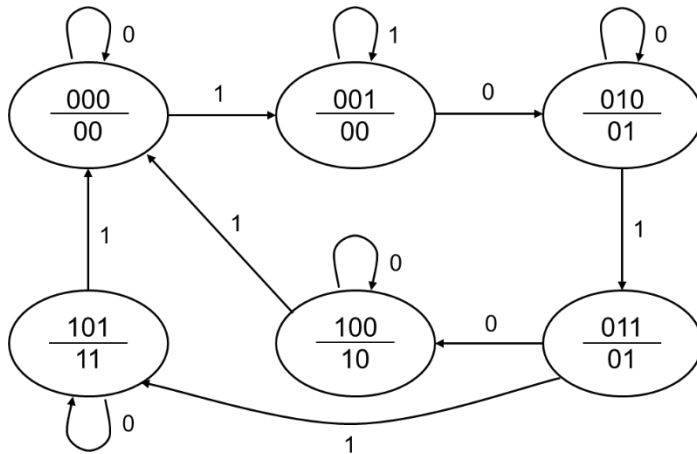
- a) Diga si la máquina es Mealy o Moore, justificando la respuesta (no habrá ninguna calificación sin justificación).
- b) Dibuje el diagrama de estados utilizando los estados del diagrama que se adjunta, añadiendo más si fuera necesario o dejando en blanco los que no se necesiten.
- c)  $Q_0$  se implementa con un biestable de tipo T. Se pide la expresión minimizada como suma de productos de  $T_0$  y de Y.

EST. ANTERIOR (n)				EST. SIGUIENTE (n+1)				
$Q_2$	$Q_1$	$Q_0$	A	$Q'_2$	$Q'_1$	$Q'_0$	X	Y
0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0	0
0	0	1	0	0	1	0	0	0
0	0	1	1	0	0	1	0	0
0	1	0	0	0	1	0	0	1
0	1	0	1	0	1	1	0	1
0	1	1	0	1	0	0	0	1
0	1	1	1	1	0	1	0	1
1	0	0	0	1	0	0	1	0
1	0	0	1	0	0	0	1	0
1	0	1	0	1	0	1	1	1
1	0	1	1	0	0	0	1	1

**Solución:**

a) Moore, ya que en todos los estados las salidas son las mismas independientemente de la entrada.

b)



c)

$$T_0 = \overline{Q_2} \overline{Q_0} A + \overline{Q_2} Q_0 \overline{A} + Q_2 Q_0 A$$

$$Y = Q_1 + Q_2 Q_0$$

## FUNDAMENTOS DE COMPUTADORES

### EJERCICIOS U4: Circuitos Secuenciales

**U4.28.** La siguiente tabla representa las ecuaciones de estado y de salida de una máquina de estados. El estado viene definido por  $Q_2$ ,  $Q_1$  y  $Q_0$ , siendo A y B las entradas aparte del reloj y el reset. La salida es Z. Las combinaciones no definidas en la tabla son combinaciones imposibles, que se deben utilizar para minimizar el circuito. Se pide:

E. Actual					E. Siguiente			
$Q_2$	$Q_1$	$Q_0$	A	B	$Q'_2$	$Q'_1$	$Q'_0$	Z
0	0	0	0	0	0	0	0	1
0	0	0	0	1	0	0	1	1
0	0	0	1	0	0	1	0	1
0	0	1	0	0	0	0	1	1
0	0	1	0	1	0	1	0	0
0	0	1	1	0	0	1	0	1
0	1	0	0	0	0	1	0	1
0	1	0	0	1	0	1	1	1
0	1	0	1	0	0	1	1	1
0	1	1	0	0	0	1	1	1
0	1	1	0	1	1	0	0	0
0	1	1	1	0	0	1	1	1
1	0	0	0	0	1	0	0	1
1	0	0	0	1	0	0	1	0
1	0	0	1	0	0	0	0	1

a) Diga si la máquina es Mealy o Moore, justificando la respuesta (no habrá ninguna calificación sin justificación).

b) Expresión minimizada **como suma de productos** de Z.

c) Si  $Q_0$  se implementa con un biestable tipo D, expresión minimizada **como producto de sumas** de la función  $D_0$ .

#### Solución:

a) Mealy, ya que en algunos estados (001, 011 y 100) la salida varía con las entradas.

b)  $Z = \overline{B} + \overline{Q_2} \overline{Q_0}$

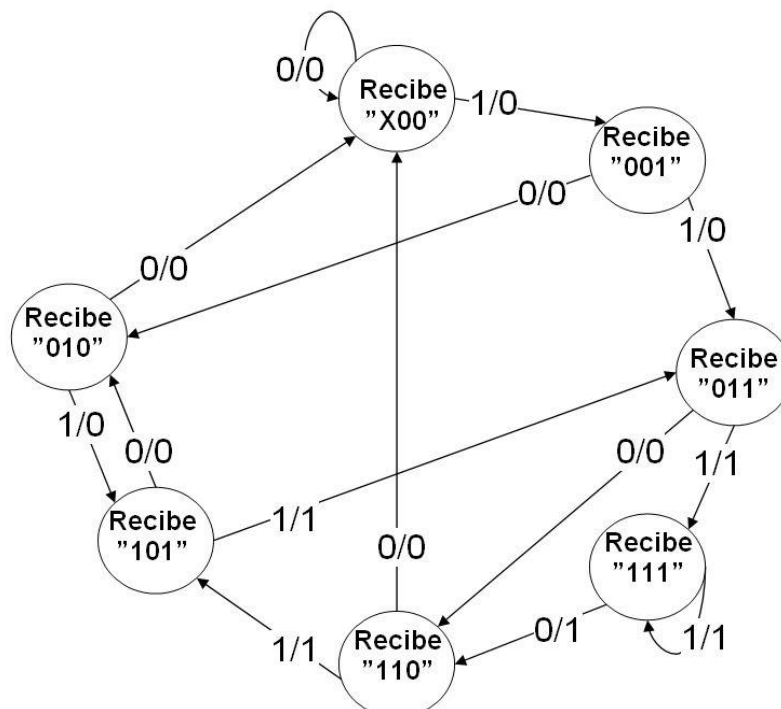
c)  $D_0 = (Q_0 + A + B) (\overline{Q_0} + \overline{B}) (Q_1 + \overline{A})$

**U4.29.** Un equipo de ingenieros ha desarrollado un aparato digital capaz de medir las pulsaciones del corazón. Cuando el número de pulsaciones es superior a un cierto valor umbral la salida del aparato se pone a "1", permaneciendo a "0" por debajo de dicho umbral. La salida del aparato se sincroniza con una señal de reloj, de forma que se puedan definir ciclos normales (salida 0) y ciclos de esfuerzo (salida 1). Un equipo de médicos ha llegado a la conclusión de que para que un deportista pueda afrontar un partido decisivo debe cumplirse que, en un entrenamiento previo, por cada 4 ciclos de reloj, el número de ciclos de exceso no debe superar el de ciclos normales.

Utilizando como entrada la salida digital sincronizada del aparato descrito, diseñar un circuito de Mealy que informe al entrenador sobre el ritmo de esfuerzo de sus jugadores. El circuito debe poseer una entrada que se debe activar en el caso de que no se cumpla el criterio médico. Es decir, la salida se debe poner a 1 si durante 4 ciclos en la entrada ha habido más unos que ceros (y se pone a uno en cuanto se llegue a tres "1" aunque no se hayan cumplido los cuatro ciclos).

Diseñe el diagrama de estados utilizando los estados necesarios de los diagramas adjuntos, añadiendo más si fuera necesario o dejando en blanco los que no se necesiten.

#### Solución:



**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.30.** La siguiente tabla representa las ecuaciones de estado y de salida de una máquina de estados. El estado viene definido por  $Q_2$ ,  $Q_1$  y  $Q_0$ , siendo  $A$  la única entrada aparte del reloj y el reset. La salida es  $X$ . Se pide:

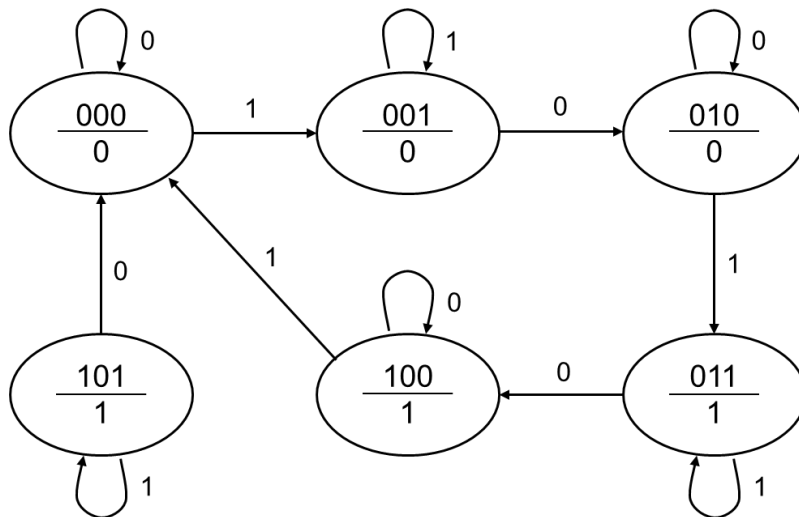
EST. ACTUAL (n)				EST. SIGUIENTE (n+1)			X
$Q_2$	$Q_1$	$Q_0$	A	$Q'_2$	$Q'_1$	$Q'_0$	
0	0	0	0	0	0	0	0
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	0	1	1	0	0	1	0
0	1	0	0	0	1	0	0
0	1	0	1	0	1	1	0
0	1	1	0	1	0	0	1
0	1	1	1	0	1	1	1
1	0	0	0	1	0	0	1
1	0	0	1	0	0	0	1
1	0	1	0	0	0	0	1
1	0	1	1	1	1	0	1

- a) Diga si la máquina es Mealy o Moore, justificando la respuesta (no habrá ninguna calificación sin justificación).
- b) Dibuje el diagrama de estados utilizando los estados del diagrama que se adjunta, añadiendo más si fuera necesario o dejando en blanco los que no se necesiten.
- c)  $Q_0$  se implementa con un biestable de tipo T. Se pide la expresión minimizada como suma de productos de  $T_0$  y de  $X$ .

Solución:

a) Moore, ya que en todos los estados las salidas son las mismas independientemente de la entrada.

b)

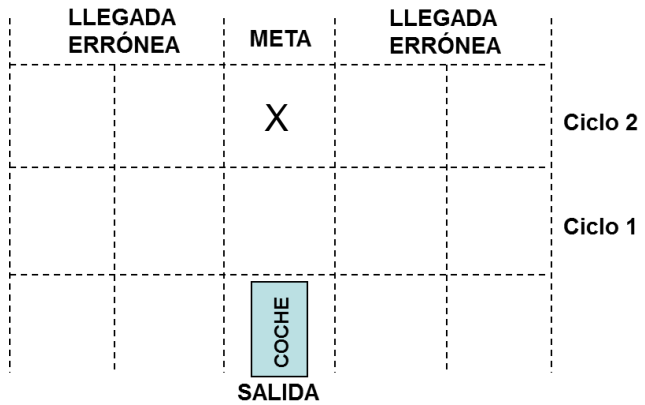


c)  $T_0 = \overline{Q_2} \overline{Q_0} A + Q_0 \overline{A}$  ;  $X = Q_2 + Q_1 Q_0$

## FUNDAMENTOS DE COMPUTADORES EJERCICIOS U4: Circuitos Secuenciales

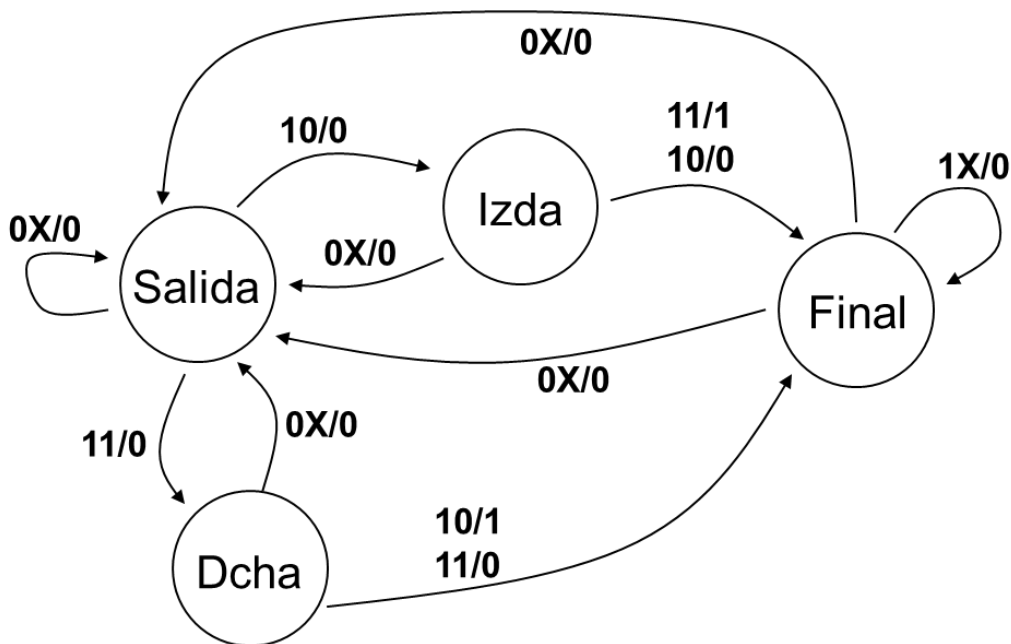
**U4.31.** Se diseña, utilizando un autómata de Mealy, un sencillo simulador para un coche que se mueve por un carril. El sistema tiene dos entradas de datos. Una de ellas,  $x_1$ , a "0" hace que el coche vuelva a la posición de inicio mientras que a "1" hace que el coche avance hacia delante. La otra entrada,  $x_2$ , a "0" hace que las ruedas delanteras del coche se muevan a la izquierda, mientras que a "1" hace que las ruedas delanteras de muevan a la derecha.

Cuando el coche avanza con las ruedas giradas en un sentido durante un ciclo de reloj, se desplaza al carril derecho o al izquierdo, dependiendo del sentido de giro. Para que el coche alcance la meta debe avanzar dos ciclos de reloj con los giros correctos de ruedas. La salida del autómata,  $z$ , se pone a "1" durante un único ciclo cuando el coche alcanza la meta (casilla X). Tras ello, habrá que devolver el coche al lugar de partida (no lo hace solo) para hacer una nueva simulación, al igual que si se llega de forma incorrecta al final (llegada errónea).



La nomenclatura a seguir es:  $x_1x_2 / z$ . Realizar el diagrama de estados utilizando los estados necesarios del diagrama adjunto, añadiendo más si fuera necesario o dejando en blanco los que no se necesiten.

### Solución:

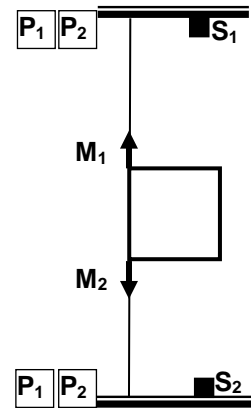




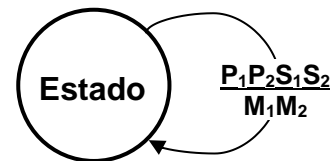
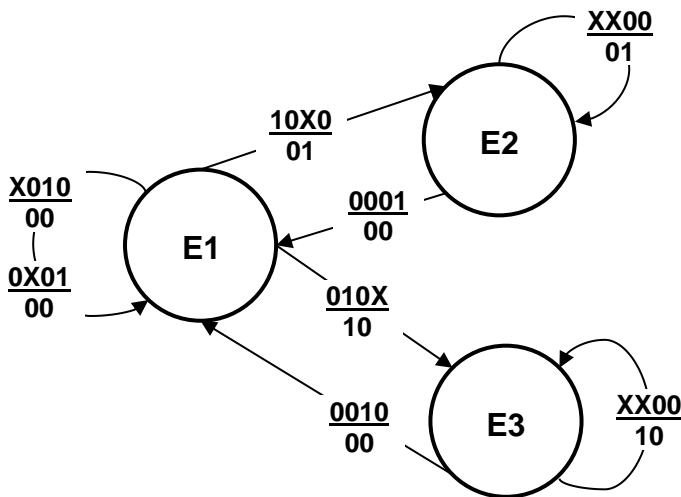
## FUNDAMENTOS DE COMPUTADORES EJERCICIOS U4: Circuitos Secuenciales

**U4.32.** Se quiere diseñar una máquina de estados de Mealy que realice el sistema de control de un ascensor montacargas utilizado para comunicar en un restaurante la cocina (abajo) con el comedor (arriba). El sistema dispone de dos pulsadores P1 y P2, para enviar el montacargas a la cocina o al comedor respectivamente. Dependiendo del pulsador el sistema de control activa el motor correspondiente M1 (subir) o M2 (bajar). La presencia de otros dos sensores S1 (en el comedor) y S2 (en la cocina), sirven para señalar que se ha alcanzado el destino buscado. Una vez que el montacargas está en marcha, el sistema no obedece a los pulsadores P1 y P2, hasta que alcanza su destino indicado por S1 ó S2. Una vez que el montacargas ha alcanzado el comedor o la cocina, se deshabilita el movimiento hacia dicha estancia.

Se pide el diseño del diagrama de estados, sólo para los casos que tengan sentido y/o que sean realmente posibles.



### Solución:



- E1: El montacargas está parado (cocina o comedor).
- E2: El montacargas está bajando hacia la cocina.
- E3: El montacargas está subiendo hacia el comedor.

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.33.** La tabla adjunta representa de forma conjunta la tabla de transición de una FSM configurada con 5 estados representados por  $Q_2Q_1Q_0$ , una única entrada  $X$  y dos salidas  $Z_1$  y  $Z_0$ .

ESTADO ACTUAL			ESTADO SIGUIENTE $Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$ // SALIDAS $Z_1 Z_0$			
$Q_2^n$	$Q_1^n$	$Q_0^n$	X = 0		X = 1	
0	0	0	1	1	0	// 0 0
1	0	0	1	1	0	// 1 0
1	0	1	1	0	0	// 0 1
1	1	0	1	1	0	// 0 1
1	1	1	1	0	0	// 1 1

**Nota:** Considere los estados no incluidos en la tabla como estados sin especificar, a los que bajo circunstancia alguna el sistema puede llegar.

a) Implementar las ecuaciones de transición de los tres biestables suponiendo que  $Q_2$  es un FF-JK,  $Q_1$  es un FF-T y  $Q_0$  es FF-D.

**Solución:**

$Q_0X$ $Q_2Q_1$	00	01	11	10
00	1	1	X	X
01	X	X	X	X
11	x	x	x	x
10	x	x	x	x

$$J_2 = 1$$

$Q_0X$ $Q_2Q_1$	00	01	11	10
00	x	x	X	X
01	X	X	X	X
11	0	1	1	0
10	0	0	0	0

$$K_2 = Q_1X$$

$Q_0X$ $Q_2Q_1$	00	01	11	10
00	1	0	X	X
01	X	X	X	X
11	0	1	1	1
10	1	0	1	0

$$T_1 = \overline{Q_1} \overline{Q_0} \overline{X} + Q_1X + Q_1Q_0 + Q_0X$$

$Q_0X$ $Q_2Q_1$	00	01	11	10
00	0	1	X	X
01	X	X	X	X
11	0	1	0	0
10	0	1	1	0

$$D_0 = \overline{Q_0} X + \overline{Q_1} X$$

b) Implementar las ecuaciones de salida  $Z_1$  y  $Z_0$ .

$Q_0X$ $Q_2Q_1$	00	01	11	10
00	0	0	X	X
01	X	X	X	X
11	0	0	1	1
10	1	1	0	0

$$Z_1 = Q_2 \overline{Q_1} \overline{Q_0} + Q_1Q_0$$

$Q_0X$ $Q_2Q_1$	00	01	11	10
00	0	0	X	X
01	X	X	X	X
11	1	1	1	1
10	0	0	0	1

$$Z_0 = Q_0 \overline{X} + Q_1$$

c) Señalar justificando necesariamente la respuesta si es una FSM de Moore o de Mealy

Es una FSM de Mealy porque la salida ( $Z_0$ ) depende de la entrada como se manifiesta en las ecuación del apartado anterior.

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U4: Circuitos Secuenciales**

**U4.34.** La tabla adjunta representa de forma conjunta la tabla de transición de una FSM configurada con 5 estados representados por  $Q_2Q_1Q_0$ , una única entrada  $X$  y dos salidas  $Z_1$  y  $Z_0$ .

ESTADO ACTUAL			ESTADO SIGUIENTE $Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$ // SALIDAS $Z_1 Z_0$			
$Q_2^n$	$Q_1^n$	$Q_0^n$	$X = 0$		$X = 1$	
0	0	0	0	1	0	// 0 0
0	0	1	1	0	0	// 0 0
0	1	0	1	0	0	// 0 0
0	1	1	1	0	0	// 0 1
1	0	0	0	1	0	// 1 1

**Nota:** Considere los estados no incluidos en la tabla como estados sin especificar, a los que bajo circunstancia alguna el sistema puede llegar.

a) Implementar las ecuaciones de transición de los tres biestables suponiendo que  $Q_2$  es un FF-JK,  $Q_1$  es un FF-T y  $Q_0$  es FF-D.

**Solución:**

$Q_0X$ $Q_2Q_1$	00	01	11	10
00	0	0	0	1
01	1	0	0	1
11	X	X	X	X
10	x	x	X	X

$$J_2 = Q_1 \overline{X} + Q_0 \overline{X}$$

$Q_0X$ $Q_2Q_1$	00	01	11	10
00	x	x	x	x
01	x	x	x	x
11	X	X	X	X
10	1	1	X	X

$$K_2 = 1$$

$Q_0X$ $Q_2Q_1$	00	01	11	10
00	1	0	0	0
01	1	1	1	1
11	X	X	X	X
10	1	0	X	X

$$T_1 = \overline{Q_0} \overline{X} + Q_1$$

$Q_0X$ $Q_2Q_1$	00	01	11	10
00	0	1	1	0
01	0	1	0	0
11	X	X	X	X
10	0	1	X	X

$$D_0 = \overline{Q_0} X + \overline{Q_1} X$$

b) Implementar las ecuaciones de salida  $Z_1$  y  $Z_0$ .

$Q_0X$ $Q_2Q_1$	00	01	11	10
00	0	0	1	0
01	0	0	0	0
11	X	X	X	X
10	1	1	X	X

$$Z_1 = \overline{Q_1} Q_0 X + Q_2$$

$Q_0X$ $Q_2Q_1$	00	01	11	10
00	0	0	0	0
01	0	0	1	1
11	X	X	X	X
10	1	1	X	X

$$Z_0 = Q_1 Q_0 + Q_2$$

c) Señalar justificando necesariamente la respuesta si es una FSM de Moore o de Mealy

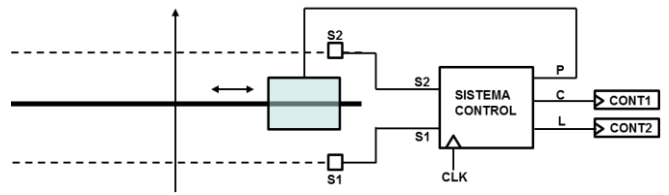
Es una FSM de Mealy porque la salida ( $Z_1$ ) depende de la entrada  $X$ , como se manifiesta en la ecuación del apartado anterior.

## FUNDAMENTOS DE COMPUTADORES

### EJERCICIOS U5: Registros, Contadores y Máquinas de Estado

**U4.35.** Se desea diseñar el sistema de control de una puerta corredera de salida de un almacén que se abre y se cierra automáticamente al pasar vehículos (ver figura). El funcionamiento del sistema es el siguiente:

- Los vehículos circulan exclusivamente en la dirección y sentido indicados por la flecha vertical, a la misma velocidad constante y siempre mantienen entre ellos una distancia igual o superior a 4 m.
- Dos sensores de infrarrojos, S1 y S2, separados por una distancia de 4 metros, detectan cuándo un vehículo está sobre las líneas anteriores y posteriores de la puerta respectivamente (líneas discontinuas), generando una salida de valor "1" mientras que se detecte el vehículo.
- La puerta se abre cuando un vehículo llega a la línea de S1 y se cierra cuando sobrepasa (deja de detectar) la línea de S2.



- El motor de la puerta está controlado por la señal P, de modo que se abre para P=1 y se cierra para P=0, el motor se para de forma automática cuando la puerta alcanza la posición de abierto (P=1) o de cerrado (P=0).
- Se desea contabilizar cuántos vehículos pasan por la puerta de longitud inferior a 4 metros y de longitud superior o igual a 4 metros, para lo que se emplean los contadores CONT1 y CONT2 respectivamente, conectados como se muestra en la figura.

Se pide diseñar el sistema de control de la puerta que recibe las entradas S1 y S2 de los sensores y produce las salidas P, C y L para el correcto funcionamiento del sistema, utilizando una máquina de Moore.

El reset asíncrono inicial, sirve también para inicializar ambos contadores. Se hace notar que los contadores se activan con las señales C y L por flanco de subida.

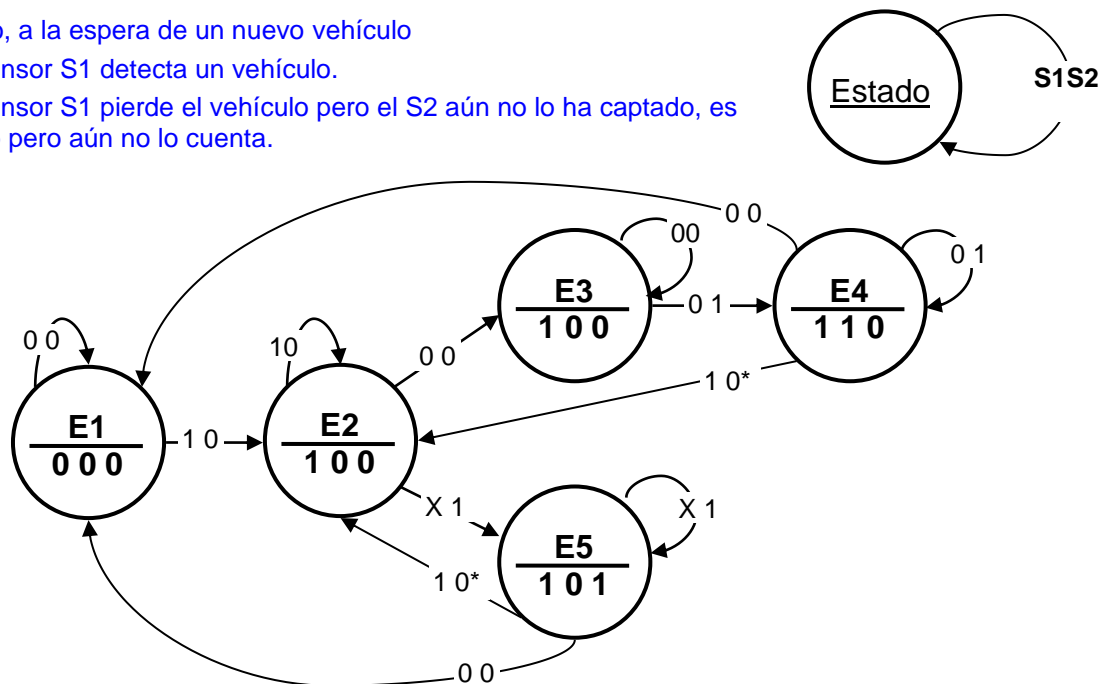
Diseñar sólo los casos que sean realmente posibles para la entradas.

### Solución:

**E1:** Inicio, a la espera de un nuevo vehículo

**E2:** El sensor S1 detecta un vehículo.

**E3:** El sensor S1 pierde el vehículo pero el S2 aún no lo ha captado, es corto pero aún no lo cuenta.



**E4:** El sensor S2 detecta el vehículo perdido por S1. Cuenta una unidad < 4 m.

**E5:** El sensor S2 detecta un coche pero el S1 lo sigue detectando (11) o lo acaba de perder (01). Cuenta una unidad  $\geq 4$  m.

\* Este caso contempla la llegada de un nuevo vehículo a justo 4 metros del anterior (raro pero posible)

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

**U4.36.** La tabla adjunta representa de forma conjunta la tabla de transición de una FSM configurada con 4 estados representados por  $Q_1Q_0$ , una única salida  $Z$  y dos entrada  $X_1$  y  $X_0$ . Se pide:

EST. ACTUAL		ESTADO SIGUIENTE: $Q_1^{n+1} Q_0^{n+1}$ // SALIDA Z			
$Q_1^n$	$Q_0^n$	$X_1X_0 = 00$	$X_1X_0 = 01$	$X_1X_0 = 10$	$X_1X_0 = 11$
0	0	01 // 0	11 // 0	01 // 0	01 // 0
0	1	10 // 0	00 // 0	01 // 0	11 // 0
1	0	10 // 1	11 // 1	11 // 1	10 // 1
1	1	01 // 0	11 // 0	01 // 0	10 // 0

a) Señalar si es una FSM de Moore o de Mealy.

Es una FSM de Moore, porque la salida ( $Z = Q_1 \overline{Q_0}$ ) no depende de ninguna de las entradas.

b) Escriba las ecuaciones para la transición de estado (ec. de excitación), para el biestable  $Q_1$ , suponiendo que es un FF-JK

$X_1X_0$ $Q_1Q_0$	00	01	11	10
00	0	1	0	0
01	1	0	1	0
11	X	X	X	X
10	X	X	X	X

$X_1X_0$ $Q_1Q_0$	00	01	11	10
00	X	X	X	X
01	X	X	X	X
11	1	0	0	1
10	0	0	0	0

$$J_1 = Q_0 \overline{X_1} \overline{X_0} + Q_0 X_1 X_0 + \overline{Q_0} \overline{X_1} X_0$$

$$K_1 = Q_0 \overline{X_0}$$

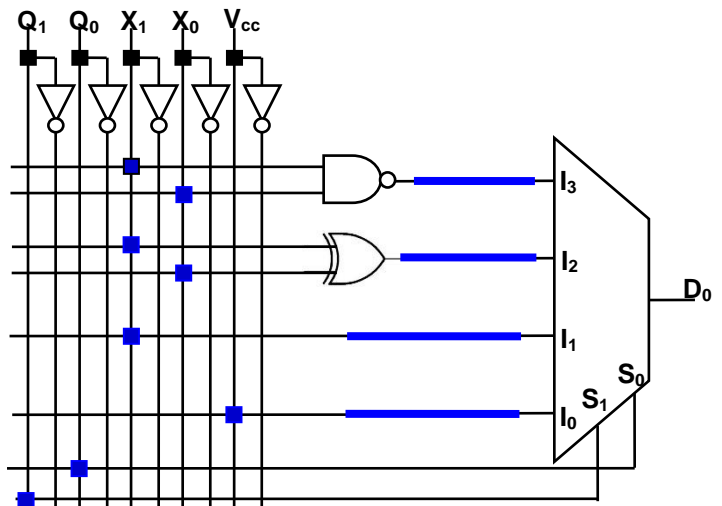
c) Escriba la ecuación para la transición de estado (ec. de excitación), para el biestable  $Q_0$ , suponiendo que es un FF-D. Dibuje (implemente) dicha ecuación utilizando el multiplexor 4-1 de la figura adjunta y el mínimo número de puertas lógicas necesarias escogidas entre las señaladas en el esquema.

$X_1X_0$ $Q_1Q_0$	00	01	11	10
00	1	1	1	1
01	0	0	1	1
11	1	1	0	1
10	0	1	0	1

→  $I_0$   
 →  $I_1$   
 →  $I_3$   
 →  $I_2$

$$D_0 = \overline{Q_1} \overline{Q_0} + \overline{Q_1} X_1 + X_1 \overline{X_0} + Q_1 \overline{X_1} X_0 + Q_1 Q_0 \overline{X_1} =$$

$$= (\overline{Q_1} + Q_0 + X_1 + X_0) (Q_1 + \overline{Q_0} + X_1) (\overline{Q_1} + \overline{X_1} + \overline{X_0})$$



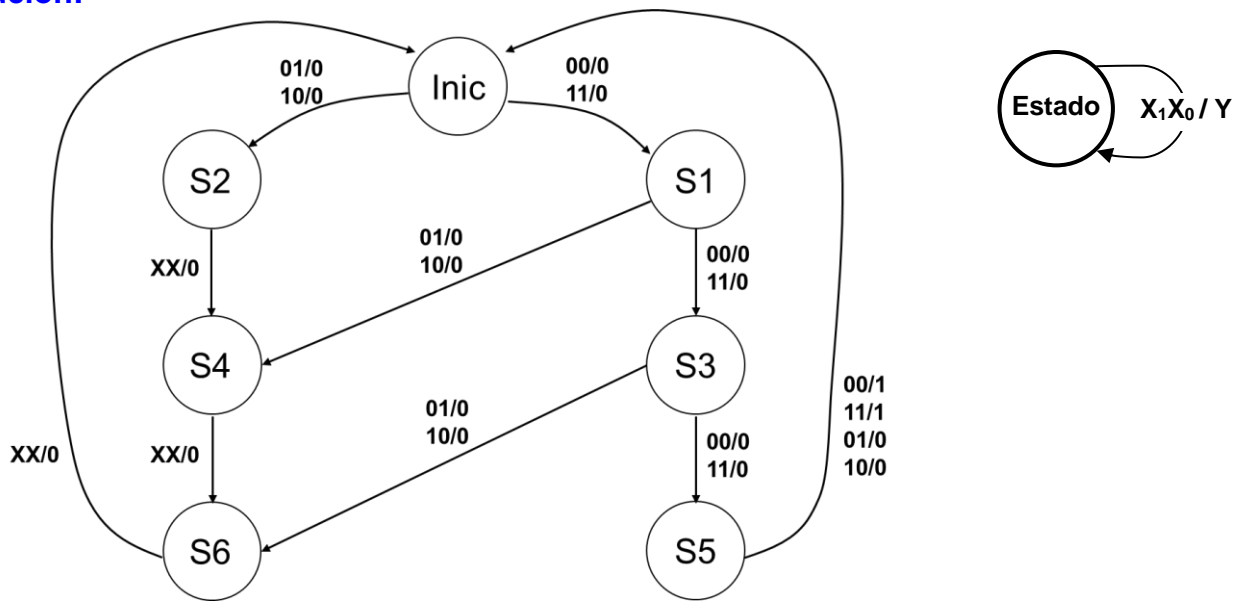
## FUNDAMENTOS DE COMPUTADORES

### EJERCICIOS U5: Registros, Contadores y Máquinas de Estado

**U4.37.** Se pide diseñar un circuito, utilizando un autómata de Mealy, que compare entradas serie de paquetes de cuatro bits en dos canales y que proporcione una salida 1 cuando los cuatro bits de cada paquete coincidan. Por tanto, tendremos dos entradas  $X_1$  y  $X_0$  que van aceptando los bits uno a uno en cada ciclo de reloj y cuando se llega al cuarto bit el sistema produce una salida  $Y = 1$  si los cuatro bits recibidos en los dos canales coinciden, siendo la salida  $Y = 0$  en los restantes casos. Una vez completada la lectura de los cuatro bits se comienza con otros cuatro y así sucesivamente. Por ejemplo:

$X_1 \rightarrow 0111\ 0101\ 1110\dots$   
 $X_0 \rightarrow 0101\ 0101\ 1000\dots$   
 $Y \rightarrow 0000\ 0001\ 0000\dots$

**Solución:**



**Inic:** Estado inicial sin memoria, esperando el 1<sup>er</sup> bit de 4

**S1:** Recibido 1<sup>er</sup> bit, ambos son iguales.

**S2:** Recibido 1<sup>er</sup> bit, ya son números distintos.

**S3:** Recibido 2<sup>o</sup> bit, hasta ahora son números iguales.

**S4:** Recibido 2<sup>o</sup> bit, ya son números distintos.

**S5:** Recibido 3<sup>er</sup> bit, hasta ahora son números iguales.

**S6:** Recibido 3<sup>er</sup> bit, ya son números distintos.

## FUNDAMENTOS DE COMPUTADORES

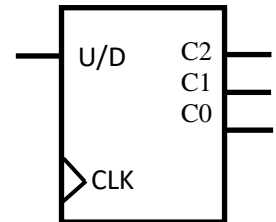
### EJERCICIOS U5: Registros, Contadores y Máquinas de Estado

**U4.38.** Se pretende diseñar un contador cíclico de números de 3 bits con las siguientes características:

- Sólo cuenta números primos. (Con tres bits serán 2, 3, 5 y 7)
- Tiene una entrada síncrona, denominada U/D, que permite seleccionar si cuenta de forma ascendente (U/D=1) o descendente (U/D=0)
- La salida se actualiza únicamente con los flancos de subida del reloj
- Si se encontrara en un estado que no pertenece a la secuencia, el siguiente estado sería el número primo más próximo, en función del valor de U/D.

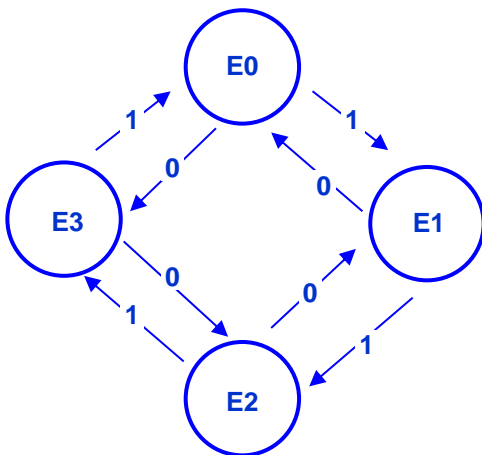
Se pide:

- Representar el diagrama de estados (se valorará el uso del menor número de estados posible).
- Diseñar el contador, utilizando el menor número de FF tipo D posible. Sólo es necesario indicar las ecuaciones de estado de cada biestable y las ecuaciones de salida, no hace falta dibujar el esquema resultante.



### Solución:

La secuencia de números a contar, es decir, los números primos, son 2, 3, 5 y 7. Dado que los estados diferentes son 4, uno por cada número, se pueden codificar con sólo 2 FF. Con 2 FF, sólo hay cuatro combinaciones posibles, por tanto el sistema nunca puede caer en un estado que represente un número que no sea primo, es decir no es necesario diseñar un sistema antibloqueo. Por contra, para generar la salida del contador habrá que decodificar los estados.



#### Asignación y codificación de estados:

##### Nombre Codificación Valor de la salida

E0	00	010 (2)
E1	01	011 (3)
E2	10	101 (5)
E3	11	111 (7)

Entrada y Est. Actual			Est. Siguiete		Salidas		
U/D	Q <sub>1</sub> <sup>n</sup>	Q <sub>0</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n+1</sup>	Q <sub>0</sub> <sup>n+1</sup>	C2	C1	C0
0	0	0	1	1	0	1	0
0	0	1	0	0	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	0	1	1	1
1	0	0	0	1	0	1	0
1	0	1	1	0	0	1	1
1	1	0	1	1	1	0	1
1	1	1	0	0	1	1	1

Dado que el contador se implementa con FF tipo D, las ecuaciones de estado coinciden con las del estado siguiente:

$$D_1 = Q_1^{n+1} = \sum m(0,3,5,6) = \overline{U/D} \cdot \overline{Q_1} \cdot \overline{Q_0} + \overline{U/D} \cdot Q_1 \cdot Q_0 + U/D \cdot Q_1 \cdot \overline{Q_0} + U/D \cdot \overline{Q_1} \cdot Q_0$$

$$D_0 = Q_0^{n+1} = \overline{Q_0}$$

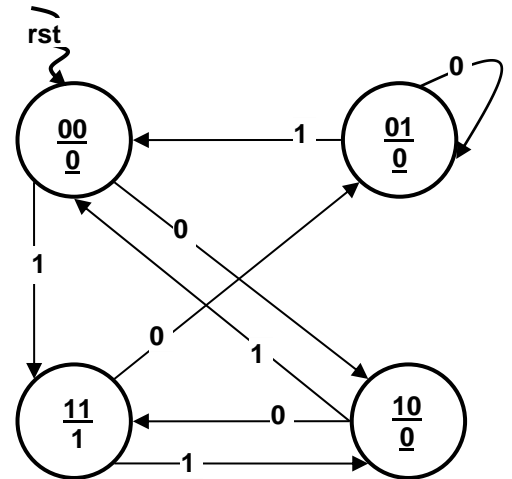
$$C_2 = Q_1^n \quad C_1 = \overline{Q_1^n} + Q_0^n \quad C_0 = Q_1^n + Q_0^n$$

### NOTA:

Este ejercicio también se puede hacer usando tres FF y enviando los estados que no pertenecen a la secuencia al número primo más próximo, según dice el enunciado. En este caso no habría que decodificar el estado, pues podría ser directamente la salida del contador. Esta Solución no sería la óptima, pues no usa el mínimo número de biestables, aunque también se ha tenido en cuenta en la corrección.

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

**U4.39.** El diagrama de estados adjunto representa una FSM de Moore. Sabiendo que para cada estado se señalan los valores de las variables  $Q_1Q_0 / Z$ , se pide:



- Escribir la tabla de transición de estados correspondiente.
- Encontrar las ecuaciones de excitación para cada FF, suponiendo que  $Q_1$  es un FF-D, mientras que  $Q_0$  es un FF-JK y la ecuación para la función de salida  $Z$ .
- Dibujar el circuito para  $Q_1$  utilizando un MUX 4-1, con las variables  $Q_1Q_0$  como señales de control, tomando  $Q_1$  como la más significativa.

**Solución:**

a)

Est. Actual		Est. Siguiente: $Q_1^{n+1} Q_0^{n+1}$		SALIDA Z
$Q_1^n$	$Q_0^n$	X = 0	X = 1	
0	0	1 0	1 1	0
0	1	0 1	0 0	0
1	0	1 1	0 0	0
1	1	0 1	1 0	1

b)

X	0	1
$Q_1Q_0$ 00	1	1
01	0	0
11	0	1
10	1	0

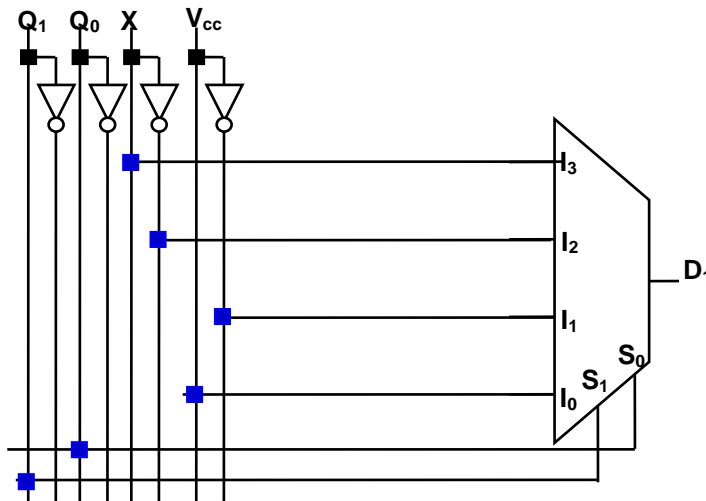
X	0	1
$Q_1Q_0$ 00	0	1
01	X	X
11	X	X
10	1	0

X	0	1
$Q_1Q_0$ 00	X	X
01	0	1
11	0	1
10	X	X

$$D_1 = \overline{Q_1} \overline{Q_0} + \overline{Q_0} \overline{X} + Q_1 Q_0 X \quad // \quad J_0 = Q_1 \overline{X} + \overline{Q_1} X \quad K_0 = X$$

$$Z = Q_1 Q_0$$

c)





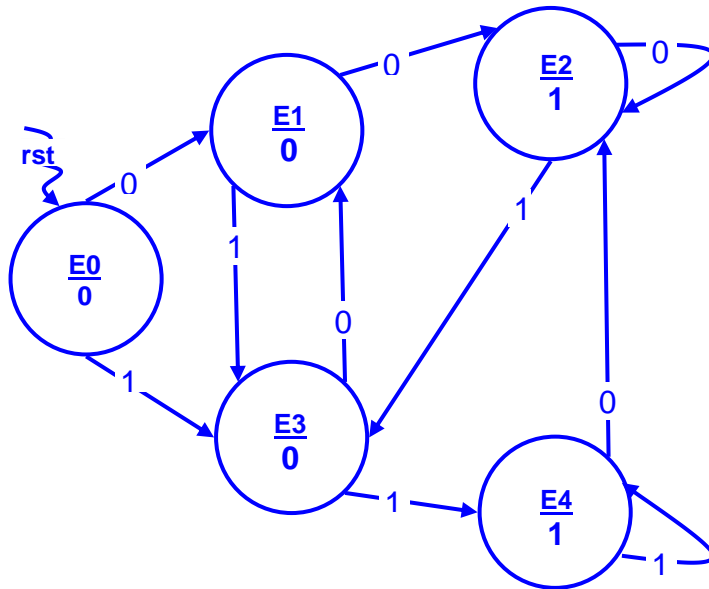
## FUNDAMENTOS DE COMPUTADORES

### EJERCICIOS U5: Registros, Contadores y Máquinas de Estado

**U4.40.** Diseñar a) una FSM de Moore y b) una FSM de Mealy, para un sistema que dispone de una única entrada de datos en serie X, y de una única salida Z. La FSM es un detector de secuencia que activa la salida ( $Z = '1'$ ), cuando los dos valores previos de la entrada han sido bien dos '1' o bien dos '0', en caso contrario la salida permanece inactiva ( $Z = '0'$ ).

**Solución :**

a) FSM de Moore



**E0:** Estado inicial tras el reset. Estado sin memoria previa

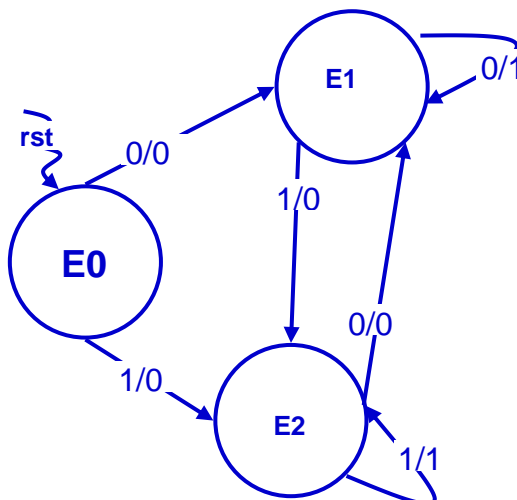
**E1:** Recibe un primer '0'

**E2:** Recibe un segundo '0' consecutivo, salida en '1'

**E3:** Recibe un primer '1'

**E4:** Recibe un segundo '1' consecutivo, salida en '1'

b) FSM de Mealy



**E0:** Estado inicial tras el reset. Estado sin memoria previa

**E1:** Recibe un primer '0', ceros sucesivos y consecutivos, salida a 1

**E2:** Recibe un primer '1', unos sucesivos y consecutivos, salida a 1

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

**U4.41.** En la tabla 1, se recoge la de transición de estados de una determinada máquina de estados finita (FSM), cuyos cinco estados vienen representados por los valores dados para Q<sub>2</sub>Q<sub>1</sub>Q<sub>0</sub>. La tabla también recoge el valor de la única entrada X y de su dos salidas asociadas Z<sub>1</sub> y Z<sub>0</sub>.

- a) Encontrar la ecuación de excitación (mínima) para el biestable FF<sub>2</sub>, si se supone que es tipo-D.
- b) Encontrar las ecuaciones de excitación (mínimas) para el biestable FF<sub>0</sub>, si se supone que es tipo-JK.
- c) Señalar **justificando necesariamente la respuesta** si la FSM es del tipo Moore o Mealy.

Estado Actual			X	Estado Siguiete			Salidas	
Q <sub>2</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	Q <sub>0</sub> <sup>n</sup>		Q <sub>2</sub> <sup>n+1</sup>	Q <sub>1</sub> <sup>n+1</sup>	Q <sub>0</sub> <sup>n+1</sup>	Z <sub>1</sub>	Z <sub>0</sub>
0	0	0	0	0	0	0	1	0
0	0	0	1	1	0	1	1	0
0	0	1	0	0	1	0	0	1
0	0	1	1	0	1	1	0	1
0	1	0	0	1	0	0	0	0
0	1	0	1	1	0	1	0	0
1	0	0	0	0	0	1	1	0
1	0	0	1	0	0	0	1	1
1	0	1	0	0	0	1	0	0
1	0	1	1	1	0	0	0	0

**SOLUCIÓN:**

a)  $D_2 = \overline{Q_2} \overline{Q_0} X + Q_2 Q_0 X + Q_1$

b)  $J_0 = \overline{Q_2} X + Q_2 \overline{X}$   
 $K_0 = Q_2 X + \overline{Q_2} \overline{X}$

- c) Es una FSM de Mealy, como se puede comprobar de la salida Z<sub>0</sub>, en donde para el estado Q<sub>2</sub> = '1', Q<sub>1</sub> = '0' y Q<sub>0</sub> = '0', el valor de la salida Z<sub>0</sub> cambia en función de la entrada X.

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

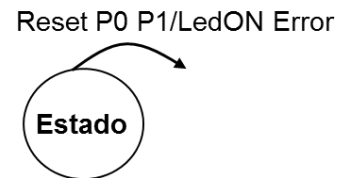
**U4.42.** Se pretende diseñar una FSM que detecte una secuencia de pulsado de teclas, concretamente la secuencia 0-1-0. Para ello se dispone de dos pulsadores, P0 y P1. P0 es el pulsador que se utiliza para introducir los "0" y P1 el que se utiliza para introducir los "1". El sistema dispondrá también de una entrada de Reset síncrona con la señal de reloj, de forma que cada vez que se active esta entrada se volverá al estado inicial.

La FSM dispondrá de dos salidas: **Led-ON** que se activará (valdrá "1") cuando se detecte la secuencia buscada y **Error**, que sólo se activará cuando por equivocación se pulsen P0 y P1 a la vez, permaneciendo en este caso en el estado actual.

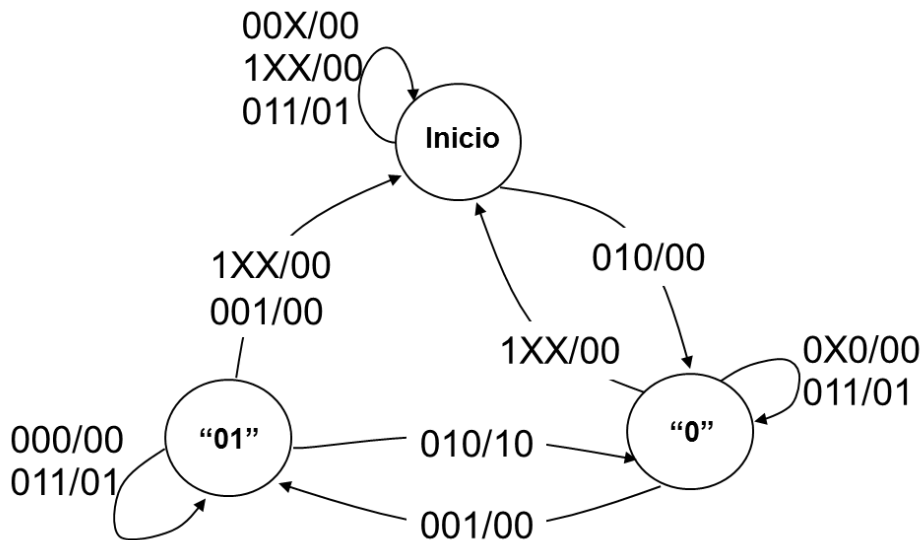
Se permitirá el solapamiento de secuencias.

Diseñe el diagrama de estados utilizando los estados necesarios del diagrama adjunto, añadiendo más si fuera necesario o dejando en blanco los que no se necesiten.

La nomenclatura a seguir es:



SOLUCIÓN:



Inicio: Estado inicial o "Sin Memoria Relevante"

"0": Se ha recibido un cero (válido) como primer dígito

"01": Se ha recibido un uno (válido) como segundo dígito

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

**U4.43.** En la siguiente tabla se recoge la transición de estados de una determinada máquina de estados finita (FSM), cuyos estados vienen representados por los valores dados para Q<sub>1</sub>Q<sub>0</sub>. La tabla también recoge los valores de las entradas E<sub>1</sub>E<sub>0</sub> y de sus dos salidas asociadas Z<sub>1</sub> y Z<sub>0</sub>.

- Encontrar las ecuaciones de excitación (mínimas) para el biestable FF<sub>0</sub>, si se supone que es tipo-JK.
- Señalar justificando necesariamente la respuesta si la FSM es del tipo Moore o Mealy.
- Dibujar el diagrama de estados de la FSM.

Nota: NO se pide dibujar ningún tipo de circuito.

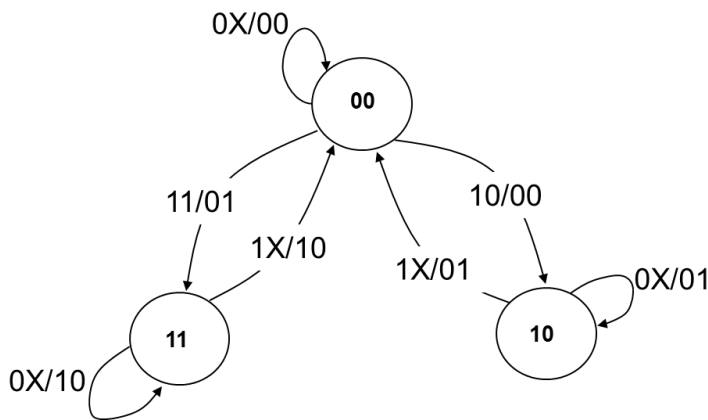
Q <sup>n</sup> <sub>1</sub> Q <sup>n</sup> <sub>0</sub>	Q <sup>n+1</sup> <sub>1</sub> Q <sup>n+1</sup> <sub>0</sub> / Z <sub>1</sub> Z <sub>0</sub>		
	E <sub>1</sub> E <sub>0</sub> =0X	E <sub>1</sub> E <sub>0</sub> =10	E <sub>1</sub> E <sub>0</sub> =11
<b>00</b>	00/00	10/00	11/01
<b>10</b>	10/01	00/01	00/01
<b>11</b>	11/10	00/10	00/10

Solución

a)  $J_0 = \overline{Q_1} E_1 E_0$   
 $K_0 = E_1$

b) Es una FSM de Mealy, como se puede comprobarse en la salida Z<sub>0</sub>, en donde para el estado Q<sub>1</sub> = '0', Q<sub>0</sub> = '0', el valor de la salida Z<sub>0</sub> cambia en función de las entradas E<sub>1</sub>E<sub>0</sub>.

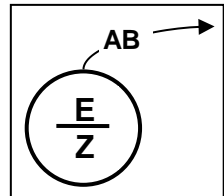
c)



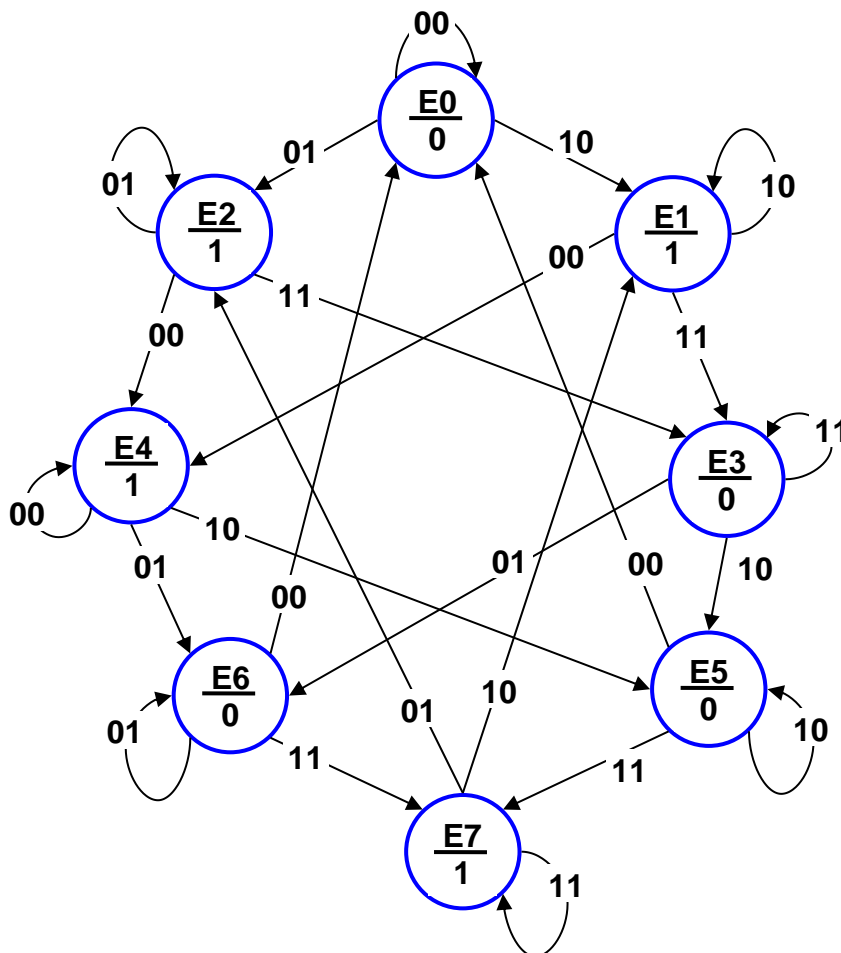
**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

**U4.44.** Se desea diseñar una máquina de estados finita de Moore, que sirva para controlar el sistema de encendido de la luz de alarma en un recinto de seguridad.

- En dos lugares distintos del recinto se dispone de dos pulsadores A y B, de manera que se pueda encender y apagar la luz desde cada uno de ellos. Cada pulsador produce un '1' lógico mientras está pulsado, y un '0' lógico cuando no lo está.
- Se desea que, cada vez que se pulse cualquier pulsador, la luz (Z) cambie de estado: si está apagada se debe encender, y viceversa.
- Se debe tener en cuenta el caso en el que, mientras se mantiene pulsado un pulsador, se pueda pulsar el otro. Por ejemplo, si estando apagada la luz, alguien pulsa A se enciende la luz. Pero si mientras está pulsado A alguien pulsa B, entonces se apagará nuevamente la luz.
- Para reducir el número de transiciones y con ello facilitar el diseño, se puede considerar que la frecuencia del reloj es lo suficientemente alta como para que sea imposible un cambio de estado simultáneo de los dos pulsadores en el mismo ciclo de reloj.



**Solución**



**Explicación del diseño:**

- |  |   |
|--|---|
| <b>E0:</b> A estado OFF, B estado OFF. Luz apagada   | <b>E4:</b> A estado OFF, B estado OFF. Luz encendida. |
| <b>E1:</b> A estado ON, B estado OFF, Luz encendida. | <b>E5:</b> A estado ON, B estado OFF, Luz apagada.    |
| <b>E2:</b> A estado OFF, B estado ON. Luz encendida. | <b>E6:</b> A estado OFF, B estado ON. Luz apagada.    |
| <b>E3:</b> A estado ON, B estado ON. Luz apagada.    | <b>E7:</b> A estado ON, B estado ON. Luz encendida.   |

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

**U4.45.** La tabla siguiente recoge la transición de estados de una determinada máquina de estados finita (FSM), cuyos estados vienen representados por los valores dados para  $Q_2Q_1Q_0$ . La tabla también recoge los valores de la entrada E y de sus dos salidas asociadas Z1 y Z0.

- Encuentre las ecuaciones de excitación (mínimas) para el biestable FF0, si se supone que es tipo-JK.
- Encuentre la ecuación de excitación (mínima) para el biestable FF1, si se supone que es tipo-T.
- Señale **justificando necesariamente la respuesta** si la FSM es del tipo Moore o Mealy.
- Utilizando el esquema adjunto, dibuje el diagrama de estados de la FSM.

Nota: NO se pide dibujar ningún tipo de circuito.

$Q_2Q_1Q_0$	$Q^{n+2}Q^{n+1}Q^{n+0} / Z_1Z_0$	
	E=0	E=1
<b>000</b>	010/01	011/01
<b>010</b>	110/00	011/00
<b>011</b>	010/00	111/00
<b>110</b>	110/10	011/10
<b>111</b>	110/11	111/11

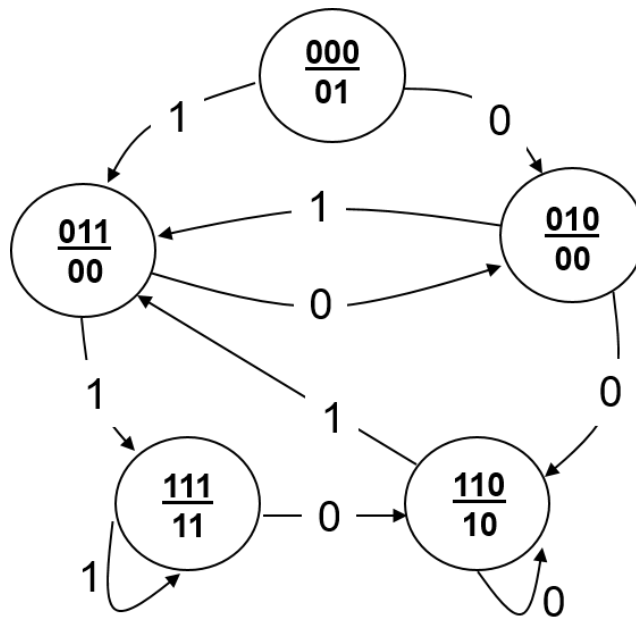
**Solución**

d)  $J_0 = E$   
 $K_0 = \overline{E}$

e)  $T_1 = \overline{Q_1}$

f) Es una FSM de Moore, porque, como puede verse en la tabla, para cada estado las dos salidas  $Z_1Z_0$  no dependen de la entrada E, sino únicamente del propio estado en que se encuentran.

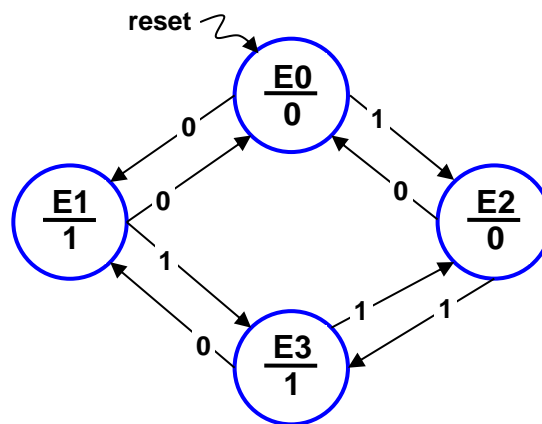
g)



**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

**U4.46.** Se pide construir una máquina de estados finita de Moore, que, desde un valor inicial de reset, atiende secuencialmente a una cadena de bits y complementa los bits en la posición par, sin modificar el resto. Es decir, para una secuencia de entradas  $b_0, b_1, b_2, b_3, b_4, b_5, b_6, \text{etc.}$ .....la salida debe ser  $\overline{b_0}, b_1, \overline{b_2}, b_3, \overline{b_4}, b_5, \overline{b_6}, \text{etc.}$  La operación debe mantenerse mientras que no se pulse un nuevo reset. Se pide diseñar el diagrama de estados de la FSM señalada.

**Solución:**



**Explicación del diseño:**

**E0:** Estado inicial, recibe un bit valor '0' en orden impar => la salida es como la entrada.

**E1:** Recibe un bit de valor '0' en orden par => la salida es complemento de la entrada.

**E2:** Recibe un bit de valor '1' en orden par => la salida es complemento de la entrada.

**E3:** Recibe un bit de valor '1' en orden impar => la salida es como la entrada.

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

U4.47. Dada la tabla de transición adjunta se pide:

- Calcular la ecuación de transición para  $Q_1$  suponiendo que sea un flip flop tipo JK
- Justificando necesariamente la respuesta, señalar si es una FSM de Moore o de Mealy.

ESTADO ACTUAL		ENTRADAS		ESTADO SIGUIENTE		SALIDAS	
$Q_1^n$	$Q_0^n$	$X_1$	$X_0$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Z_1$	$Z_0$
0	0	1	0	0	0	1	0
0	0	1	1	1	0	0	0
1	0	0	0	0	0	0	1
1	0	0	1	1	0	0	1
1	0	1	0	1	1	0	1
1	1	0	0	1	0	1	0
1	1	0	1	0	0	1	0

**Solución**

a)

Tabla  $J_1$

$X_1X_0$ $Q_1Q_0$	00	01	11	10
00	X	X	1	0
01	X	X	X	X
11	X	X	X	X
10	X	X	X	X

Tabla  $K_1$

$X_1X_0$ $Q_1Q_0$	00	01	11	10
00	X	X	X	X
01	X	X	X	X
11	0	1	X	X
10	1	0	X	0

Ecuaciones Excitación:

$$J_1 = X_0$$

$$K_1 = \overline{Q_0} \overline{X_1} \overline{X_0} + Q_0 X_0$$

Ecuación Transición:  $Q_1^{n+1} = \overline{Q_1} J_1 + Q_1 \overline{K_1} \Rightarrow Q_1^{n+1} = \overline{Q_1} X_0 + Q_1 (\overline{Q_0} \overline{X_1} \overline{X_0} + Q_0 X_0)$

$$Q_1^{n+1} = Q_0 \overline{X_0} + \overline{Q_0} X_0 + Q_1 X_1$$

**Nota:** Se puede obtener directamente la ecuación de transición solicitada, planteando una única función lógica combinacional, es decir una única tabla de Karnaugh:  $Q_1^{n+1} = f(Q_1, Q_0, X_1, X_0)$

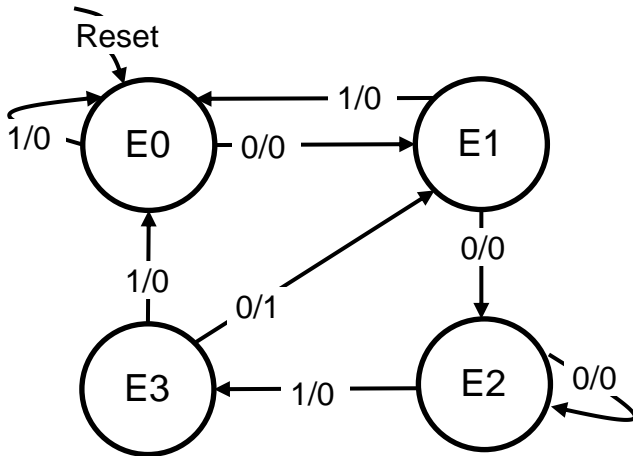
b) Es una FSM de Mealy. La salida  $Z_1$  en el estado  $Q_1Q_0 = 00$ , presenta distintos valores para diferentes combinaciones de las entradas.



**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

**U4.48.** Por una entrada de datos en serie sincronizada con un reloj, se espera encontrar la secuencia de bits "0010" con solapamiento. Se pide diseñar el diagrama de estados de una máquina de estados finita de Mealy que sirva para detectar dicha secuencia binaria. Señalar de forma breve, no más de una línea, el significado de cada uno de los estados definidos.

**Solución**



Descripción de estados:

- E0.** Sin memoria a la espera de un primer bit válido '0'.
- E1.** Encuentra en la secuencia un primer bit válido '0'.
- E2.** Encuentra en la secuencia un segundo bit válido '00'.
- E3.** Encuentra en la secuencia un tercer bit válido '001'.

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

U4.49. Dada la tabla de transición adjunta para un determinado circuito secuencial, se pide:

ESTADO ACTUAL			ENTRADA	ESTADO SIGUIENTE			SALIDA
$Q_2^n$	$Q_1^n$	$Q_0^n$	$X_0$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Z_0$
0	0	0	0	1	0	0	1
0	0	0	1	0	1	0	0
0	1	0	0	1	0	1	0
0	1	0	1	1	1	0	0
1	0	1	0	0	1	0	1
1	0	1	1	1	1	1	1
1	1	0	0	1	0	1	0
1	1	0	1	1	1	0	1
1	1	1	0	1	1	0	1
1	1	1	1	0	0	0	1

a. Calcule **las ecuaciones de excitación** del biestable  $Q_0$ , suponiendo que éste sea un flip-flop tipo J-K.

Mapa Karnaugh para  $J_0$

$Q_2Q_1$	$Q_0X_0$	00	01	11	10
00	00	0	0	X	X
01	01	1	0	X	X
11	11	1	0	X	X
10	10	X	X	X	X

Mapa Karnaugh para  $K_0$

$Q_2Q_1$	$Q_0X_0$	00	01	11	10
00	00	X	X	X	X
01	01	X	X	X	X
11	11	X	X	1	1
10	10	X	X	0	1

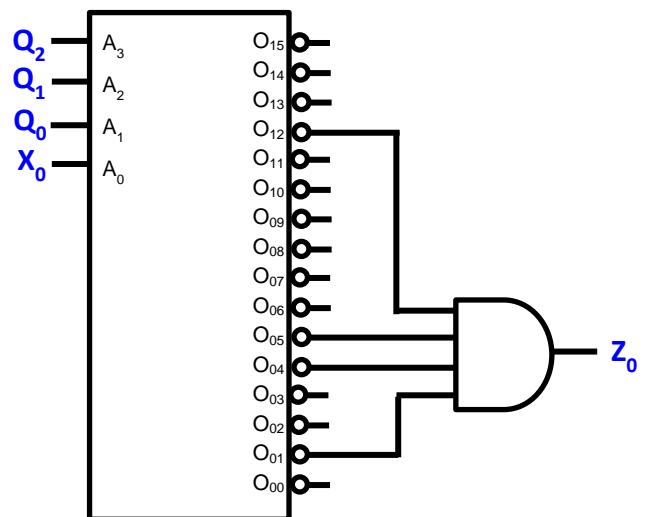
Ecuaciones Excitación:

$$J_0 = Q_1 \overline{X_0}$$

$$K_0 = Q_1 + \overline{X_0}$$

b. Implemente la ecuación de salida  $Z_0$  utilizando el decodificador 4-16 de la figura adjunta, en el que las salidas son activas en bajo. Utilice las puertas lógicas adicionales que sean necesarias, pero se valorará la utilización del menor número de puertas con el menor número de entradas que sean necesarias.

**NOTA:** En la resolución del ejercicio, todas las entradas del decodificador deben estar conectadas a alguna señal o valor.



c. **Justificando necesariamente la respuesta**, señalar si es una FSM de Moore o de Mealy.

**Es una FSM de Mealy.** La salida  $Z_0$  para el estado  $Q_2Q_1Q_0 = 000$  y  $Q_2Q_1Q_0 = 110$ , presenta distintos valores para los dos valores de la entrada, es decir la salida depende también del valor de la entrada.

## FUNDAMENTOS DE COMPUTADORES

### EJERCICIOS U5: Registros, Contadores y Máquinas de Estado

**U4.50.** Se pretende diseñar un circuito secuencial que controle el riego en un invernadero. Para ello se dispone de una serie de sensores, que son:

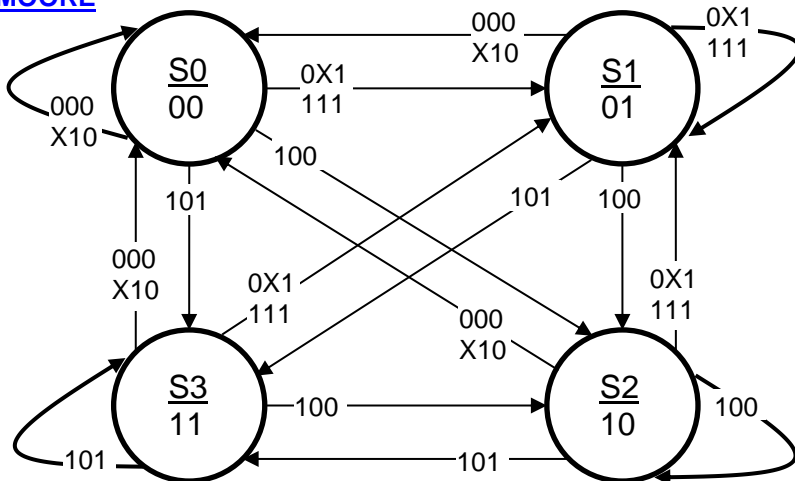
- Sensor de humedad ( $S_H$ ). Colocado en el suelo, está programado para que saque un 1 si el nivel de humedad de la tierra está por debajo de un cierto valor y se hace necesario regar. Si está a cero no se debe regar.
- Sensor de temperatura ( $S_T$ ). Colocado en el interior del invernadero, está programado para que saque un 1 si la temperatura está por debajo de un cierto valor. En este caso NO se debe regar por problemas de congelación, independientemente del valor del sensor de humedad.
- Sensor de luz ( $S_L$ ). Colocado en el exterior del invernadero, está programado para que su salida valga 1 si la iluminación solar está por debajo de un cierto valor, en ese caso deberá encender una iluminación interna del invernadero.

Las salidas del circuito son la activación del riego, R, y la activación de la iluminación, L.

Se pide sólo el diseño del diagrama de estados del circuito, para los dos tipos de máquinas de estado Moore y Mealy. Indique necesariamente y de forma breve, un comentario que ayude a entender el significado de cada uno de los estados definidos.

En los diseños, indique las variables en el orden declarado, es decir  $S_H S_T S_L$  para los sensores y R L para las salidas.

#### MOORE



En el diseño Moore, cada posible estado de las salidas se asocia a un único estado. Es decir:

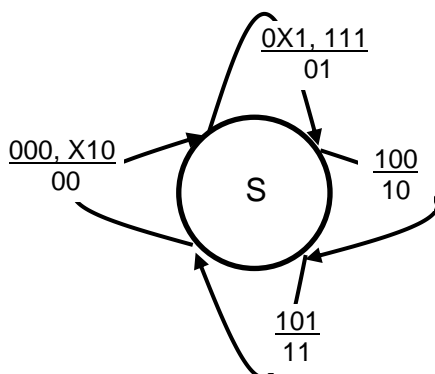
**S0.** No hay ni Riego ni Luz.

**S1.** No hay Riego pero si Luz.

**S2.** No hay Luz pero si Riego.

**S3.** Hay Riego y Luz.

#### MEALY



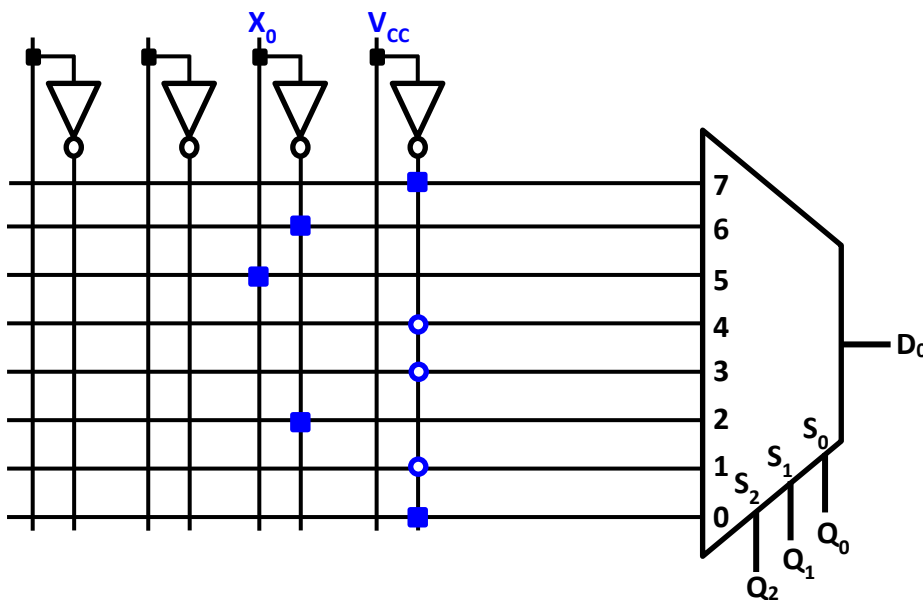
Tanto para el diseño Moore como para Mealy, en el sistema propuesto, las salidas no dependen del estado anterior, sino tan sólo del valor de los sensores, en este caso las entradas al sistema. Para el diseño Mealy, con un único estado sirve para resolver el circuito secuencial.

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

U4.51. Dada la tabla de transición adjunta se pide:

ESTADO ACTUAL			ENTRADA	ESTADO SIGUIENTE			SALIDAS	
$Q_2^n$	$Q_1^n$	$Q_0^n$	$X_0$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Z_1$	$Z_0$
0	0	0	0	1	0	0	0	0
0	0	0	1	0	1	0	0	0
0	1	0	0	1	0	1	0	1
0	1	0	1	1	1	0	0	1
1	0	1	0	0	1	0	0	0
1	0	1	1	1	1	1	1	0
1	1	0	0	1	0	1	1	0
1	1	0	1	1	1	0	1	0
1	1	1	0	1	1	0	0	0
1	1	1	1	0	0	0	0	0

- a. Utilizando el mínimo número de elementos de los facilitados en la figura adjunta, implemente la ecuación de excitación del biestable  $Q_0$ , suponiendo que sea un flip-flop tipo D.



**Nota:** Los círculos pueden estar conectados indistintamente a GND o a  $V_{cc}$ .

- b. Calcular la ecuación de transición para  $Q_2$  suponiendo que sea un flip-flop tipo T. Utilizar la tabla adjunta.

Mapa Karnaugh para  $Q_2^{n+1}$

$Q_2^n Q_1^n$	$Q_0^n X_0^n$ 00	01	11	10
00	1	0	X	X
01	1	1	X	X
11	0	0	1	0
10	X	X	0	1

$$Q_2^{n+1} = Q_1 Q_0 X_0 + \overline{Q_2} \overline{X_0} + \overline{Q_1} \overline{X_0} + \overline{Q_2} Q_1$$

- c. Justificando necesariamente la respuesta, señalar si es una FSM de Moore o de Mealy.

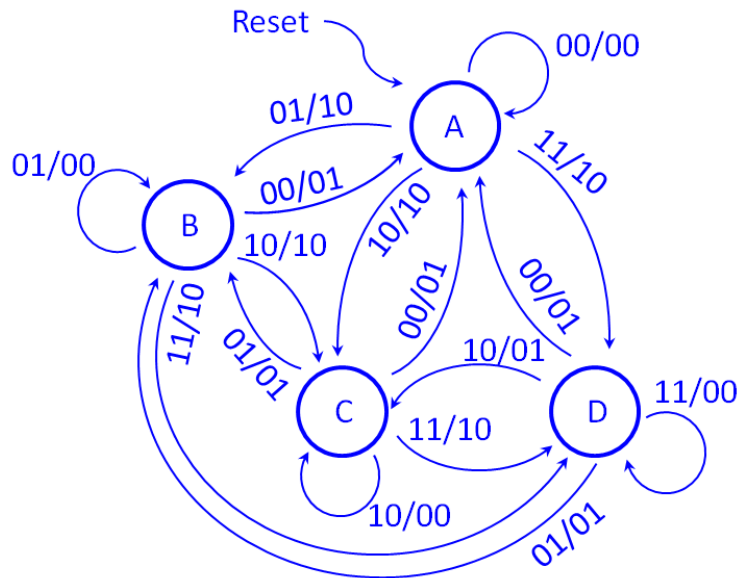
**Es una FSM de Mealy.** La salida  $Z_1$  para el estado  $Q_1 Q_0 = 101$ , presenta distintos valores para los dos valores de la entrada, es decir la salida depende también del valor de la entrada.

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

**4.52.** Un circuito secuencial tiene dos entradas y dos salidas. Las entradas,  $A_1A_0$ , representan números binarios de dos bits que se introducen en el circuito de forma síncrona con la señal de reloj. Las salidas son  $X_1X_0$ .

El funcionamiento del circuito es que si el número actual es menor que el anterior se activa la salida  $X_0$  ( $X_0=1$ ), si es mayor se activa  $X_1$  ( $X_1=1$ ) y en cualquier otro caso ambas salidas permanecen a cero.

**Se pide,** representar el diagrama de estados de la máquina descrita como una máquina de Mealy. Suponer que el estado inicial, tras el reset, se interpreta como que el último número que ha llegado es  $A_1A_0=00$ . Realizar una breve descripción del significado de cada uno de los estados. Utilizar la notación  $A_1A_0/X_1X_0$



- Estado A: El último número recibido ha sido el 00
- Estado B: El último número recibido ha sido el 01
- Estado C: El último número recibido ha sido el 10
- Estado D: El último número recibido ha sido el 11

**4.53.** Dado el diagrama de estados representado en la figura de la derecha, obtener la tabla de transiciones de estados, incluyendo las salidas. En dicha tabla, representar también las funciones de entrada de los biestables necesarios para implementar el circuito, siendo tipo JK el que contiene el bit de estado de más peso, tipo T el de menor peso y a elección del alumno el resto, si los hubiera.

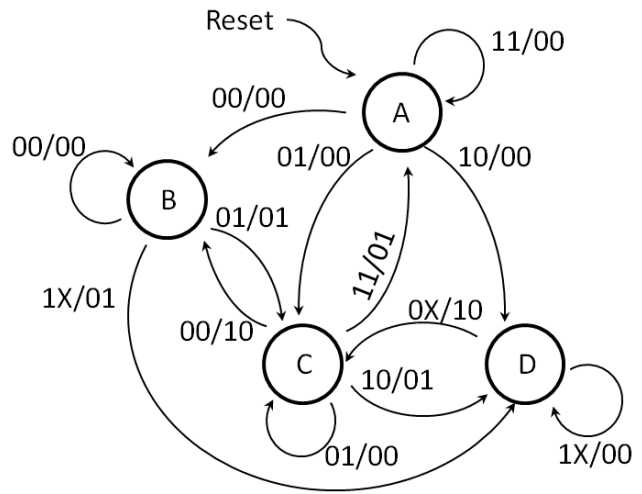
Para representar la tabla de transiciones lo primero que hay que hacer es codificar cada estado. Esta codificación puede ser cualquiera. Dado que hay cuatro estados, basta con dos bits, que se corresponderán a su vez con sendos biestables,  $Q_1Q_0$ .

La codificación elegida es:

Estado	$Q_1$	$Q_0$
A	0	0
B	0	1
C	1	0
D	1	1

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

Q <sub>1</sub>	Q <sub>0</sub>	X <sub>1</sub>	X <sub>0</sub>	Q <sup>+</sup> <sub>1</sub>	Q <sup>+</sup> <sub>0</sub>	Z <sub>1</sub>	Z <sub>0</sub>	J <sub>1</sub>	K <sub>1</sub>	T <sub>0</sub>
0	0	0	0	0	1	0	0	0	X	1
0	0	0	1	1	0	0	0	1	X	0
0	0	1	0	1	1	0	0	1	X	1
0	0	1	1	0	0	0	0	0	X	0
0	1	0	0	0	1	0	0	0	X	0
0	1	0	1	1	0	0	1	1	X	1
0	1	1	0	1	1	0	1	1	X	0
0	1	1	1	1	1	0	1	1	X	0
1	0	0	0	0	1	1	0	X	1	1
1	0	0	1	1	0	0	0	X	0	0
1	0	1	0	1	1	0	1	X	0	1
1	0	1	1	0	0	0	1	X	1	0
1	1	0	0	1	0	1	0	X	0	1
1	1	0	1	1	0	1	0	X	0	1
1	1	1	0	1	1	0	0	X	0	0
1	1	1	1	1	1	0	0	X	0	0



4.54. Dada una máquina de estados finita (FSM), se adjunta su tabla de transición de estados y la tabla de verdad para las dos salidas Z<sub>1</sub> y Z<sub>0</sub>. Esta máquina tiene cinco estados, que están codificados por los valores Q<sub>2</sub>Q<sub>1</sub>Q<sub>0</sub>, correspondientes al estado de tres biestables. La FSM tiene una única entrada denominada E.

Se pide:

- Determinar las ecuaciones de excitación (mínimas) para el biestable FF2, si se supone que es tipo J-K.
- Determinar la ecuación de excitación (mínima) para el biestable FF1, si se supone que es tipo D.
- Determinar la ecuación de excitación (mínima) para el biestable FF0, si se supone que es tipo T.
- Indicar, razonando necesariamente la respuesta, si se trata de una FSM de Moore o de Mealy.

**Nota:** En estos tres apartados NO se pide dibujar ningún tipo de circuito.

- Implemente el circuito para las salidas Z<sub>1</sub> y Z<sub>0</sub>, utilizando una memoria de 16 posiciones con un ancho del bus de datos de 4 bits. Se pide tanto el esquema, con todas las conexiones, como el contenido del programa que deberá tener programada la memoria.

Estado Actual			E	Estado Siguiente			Salidas	
Q <sub>2</sub> <sup>n</sup>	Q <sub>1</sub> <sup>n</sup>	Q <sub>0</sub> <sup>n</sup>		Q <sub>2</sub> <sup>n+1</sup>	Q <sub>1</sub> <sup>n+1</sup>	Q <sub>0</sub> <sup>n+1</sup>	Z <sub>1</sub>	Z <sub>0</sub>
0	0	0	0	0	0	0	1	0
0	0	0	1	1	1	1	1	0
0	0	1	0	0	1	1	0	1
0	0	1	1	0	1	1	0	1
0	1	1	0	1	0	0	0	0
0	1	1	1	1	1	1	0	1
1	0	0	0	1	0	0	1	1
1	0	0	1	0	0	0	1	1
1	1	1	0	0	0	0	0	0
1	1	1	1	1	0	0	0	0

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

a)

Estado Actual				Estado Siguiete			FF2	
$Q_2^n$	$Q_1^n$	$Q_0^n$	E	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	$J_2$	$K_2$
0	0	0	0	0	0	0	0	X
0	0	0	1	1	1	1	1	X
0	0	1	0	0	1	1	0	X
0	0	1	1	0	1	1	0	X
0	1	1	0	1	0	0	1	X
0	1	1	1	1	1	1	1	X
1	0	0	0	1	0	0	X	0
1	0	0	1	0	0	0	X	1
1	1	1	0	0	0	0	X	1
1	1	1	1	1	0	0	X	0

$Q_2Q_1 \backslash Q_0E$	00	01	11	10
00	0	1	0	0
01	X	X	1	1
11	X	X	X	X
10	X	X	X	X

$Q_2Q_1 \backslash Q_0E$	00	01	11	10
00	X	X	X	X
01	X	X	X	X
11	X	X	0	1
10	0	1	X	X

$$J_2 = \underline{Q_1} + \overline{Q_0} \cdot E$$

$$K_2 = \overline{Q_0} \cdot E + \underline{Q_0} \cdot \overline{E} = Q_0 \oplus E$$

b)

Estado Actual				Estado Siguiete			D
$Q_2^n$	$Q_1^n$	$Q_0^n$	E	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	D
0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1
0	0	1	0	0	1	1	1
0	0	1	1	0	1	1	1
0	1	1	0	1	0	0	0
0	1	1	1	1	1	1	1
1	0	0	0	1	0	0	0
1	0	0	1	0	0	0	0
1	1	1	0	0	0	0	0
1	1	1	1	1	0	0	0

$Q_2Q_1 \backslash Q_0E$	00	01	11	10
00	0	1	1	1
01	X	X	1	0
11	X	X	0	0
10	0	0	X	X

$$D_1 = \underline{Q_2} \cdot E + \overline{Q_2} \cdot \overline{Q_1} \cdot Q_0$$

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**

c)

Estado Actual				Estado Siguiete			
$Q_2^n$	$Q_1^n$	$Q_0^n$	E	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	T
0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1
0	0	1	0	0	1	1	0
0	0	1	1	0	1	1	0
0	1	1	0	1	0	0	1
0	1	1	1	1	1	1	0
1	0	0	0	1	0	0	0
1	0	0	1	0	0	0	0
1	1	1	0	0	0	0	1
1	1	1	1	1	0	0	1

$Q_2Q_1 \backslash Q_0E$	00	01	11	10
00	0	1	0	0
01	X	X	0	1
11	X	X	1	1
10	0	0	X	X

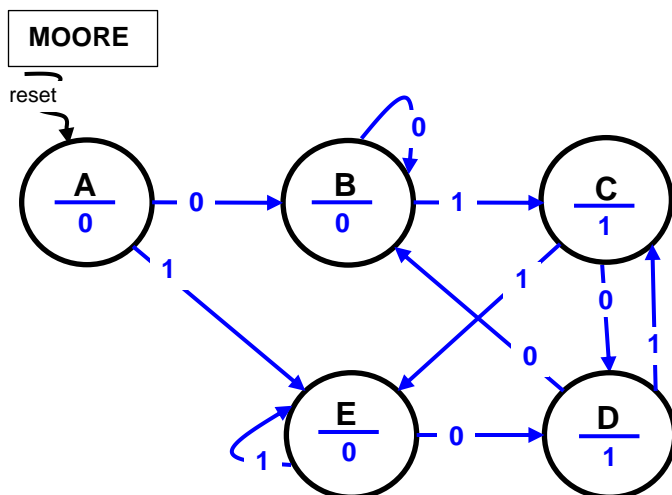
$$T_0 = \underline{Q_2 \cdot Q_0} + \underline{Q_1 \cdot \bar{E}} + \underline{\bar{Q}_2 \cdot \bar{Q}_0 \cdot E}$$

e) Es una máquina de Mealy, porque para un mismo estado (el 011) existen dos salidas 00 y 01.

4.55. Se quiere diseñar una máquina de estados finita que detecte la secuencia consecutiva de dos bits "10" ó "01" siempre que se produzca. El sistema debe poner su salida a 1 siempre que se presente una cualquiera de las dos secuencias señaladas. Considere que entre dos secuencias consecutivas puede haber solapamiento.

Se pide utilizando los diagramas adjuntos, total o parcialmente, el diseño de sendas máquinas de estados **a)** con un diseño Moore y **b)** con un diseño Mealy.

Es necesario indicar brevemente el significado de cada uno de los estados definidos.

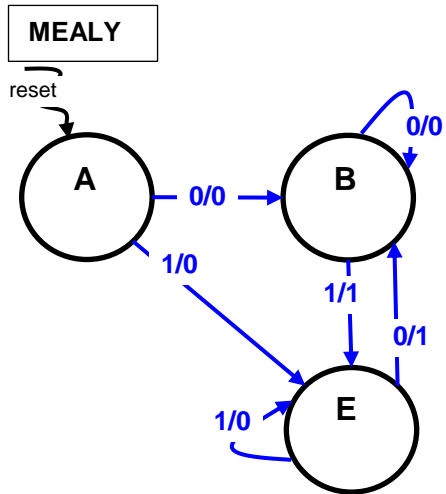


**Breve descripción de los estados**

- A: Inicio sin memoria. Salida 0
- B: 1er bit válido secuencia "01"
- C: 2º bit válido secuencia "01". Salida 1.
- D: 2º bit válido secuencia "10". Salida 1.
- E: 1er bit válido secuencia "10"



**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**



**Breve descripción de los estados**

**A:** Inicio sin memoria. Salida 0

**B:** 1<sup>er</sup> bit válido secuencia "01" con salida '0' y 2<sup>o</sup> bit válido secuencia "10" con salida 1.

**E:** 1<sup>er</sup> bit válido secuencia "10" con salida '0' y 2<sup>o</sup> bit válido secuencia "01" con salida 1.

**FUNDAMENTOS DE COMPUTADORES**  
**EJERCICIOS U5: Registros, Contadores y Máquinas de Estado**