

# Elementos básicos de la lógica secuencial

Fundamentos de Computadores  
Escuela Politécnica Superior. U.A.M

# Índice de la Unidad 3

## U3. Elementos básicos de la lógica secuencial.

U3.1. Circuitos secuenciales.

U3.2. Cerrojos. Tipos de cerrojos.

U3.3. Flip-Flops. Tipos de Flip-Flops.

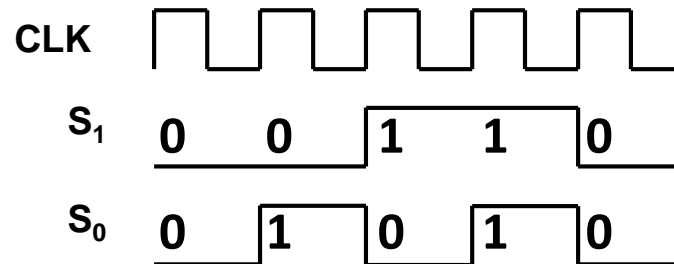
U3.4. Circuitos con Flip-Flops. Cronogramas de temporales.

U3.5. Registros. Registros de desplazamiento.

# Circuitos secuenciales

## Motivación:

Se quiere construir un circuito que cuente las transiciones que sucedan en una única señal de entrada denominada CLK



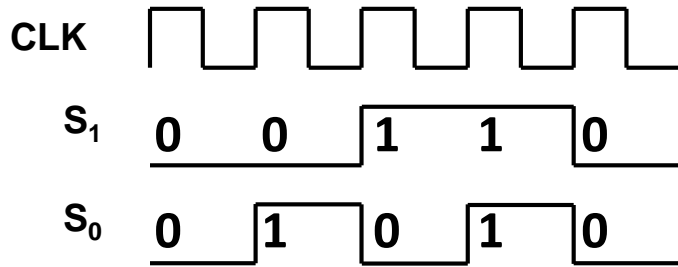
Para las funciones  $S_1$  y  $S_0$ , un circuito combinacional no sirve porque para una misma entrada siempre se alcanza una misma salida.

## Solución:

Se necesita un nuevo tipo de circuitos en los que las "nuevas" salidas dependan de las entradas pero también de las "viejas" salidas.

# Circuitos secuenciales

## COMBINACIONAL



CLK	S <sub>1</sub>	S <sub>0</sub>
0	0	0
1	0	1
0	0	0
1	0	1

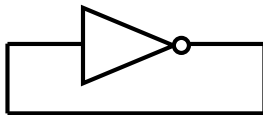
## SECUENCIAL

S <sub>1</sub>	S <sub>0</sub>	CLK	S' <sub>1</sub>	S' <sub>0</sub>
0	0	f	0	1
0	1	f	1	0
1	0	f	1	1
1	1	f	0	0

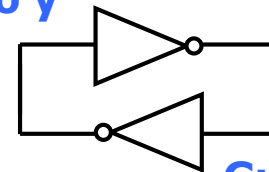
## Solución:

Un circuito secuencial se fundamenta en sistemas realimentados (la señal de salida es a su vez una entrada) y estables.

**Elemento lógico realimentado e inestable**



**Elemento lógico realimentado y estable**



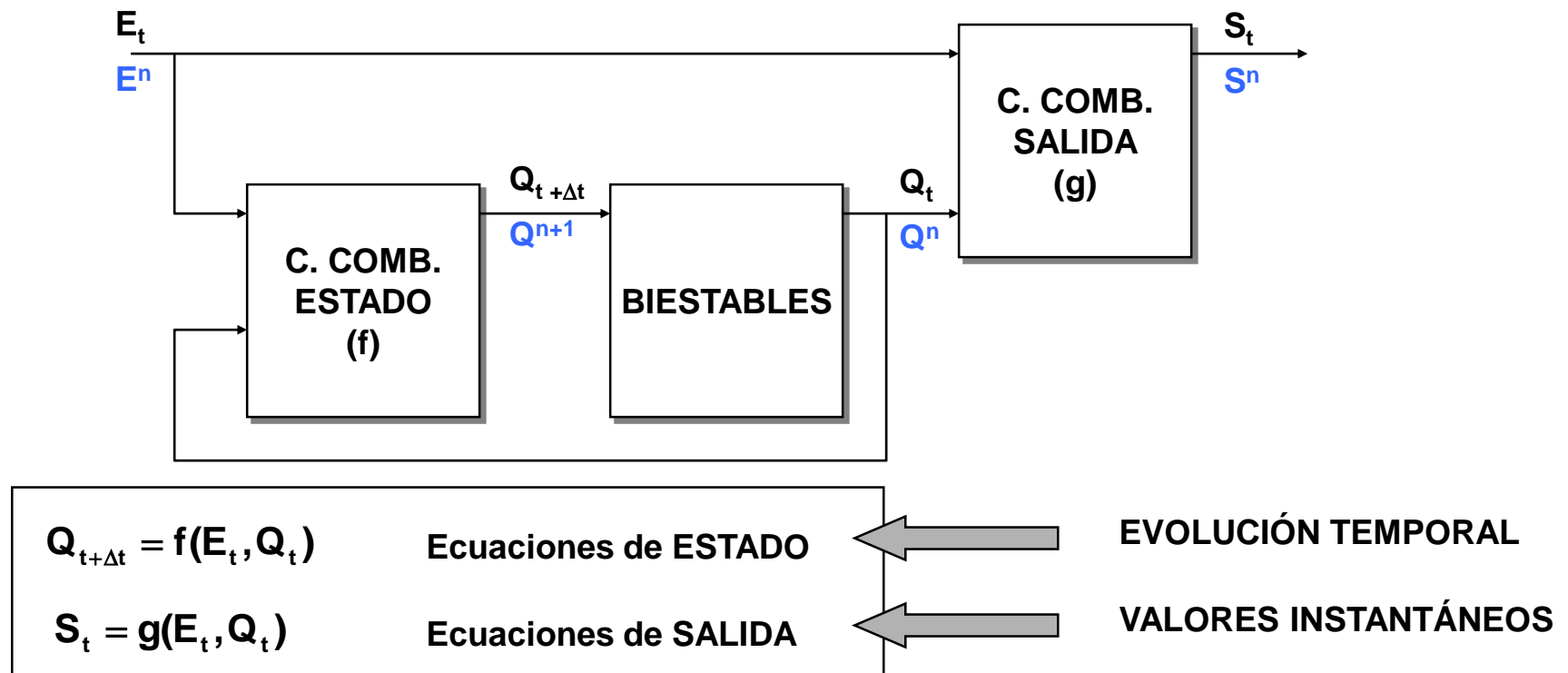
**Guarda (memoriza) un '0' ó un '1'**

# Circuitos secuenciales

## Definición

Circuito secuencial es aquel en el que las salidas dependen de las entradas y de su estado anterior.

- ✓ El valor del estado anterior se almacena en unos elementos con capacidad de memorización.
- ✓ Cada bit de información del estado se guarda en un **biestable**.



# Secuenciales asíncronos y síncronos

**ASÍNCRONOS**


Cambia de estado y de salida frente a un cambio de las entradas adecuado

**SÍNCRONOS**

Cambia de estado cuando se produce un evento de una señal especial que entra a los biestables y se denomina señal de reloj

**Clases**

Nivel  
(latch)

Alto 

Bajo 

Flanco  
(flip-flop)

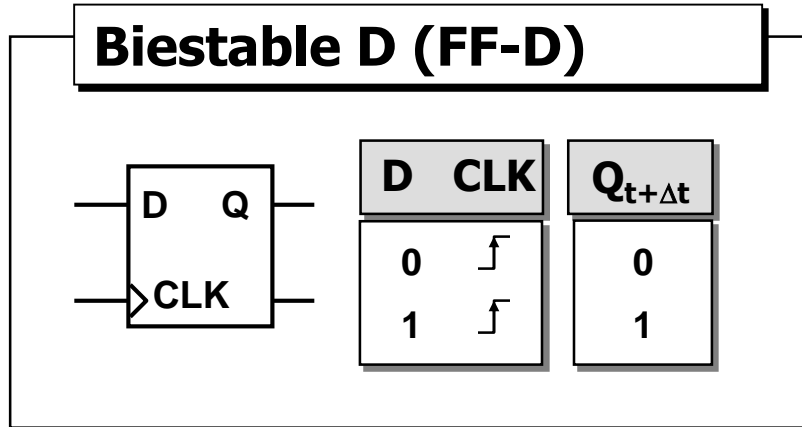
Subida 

Bajada 

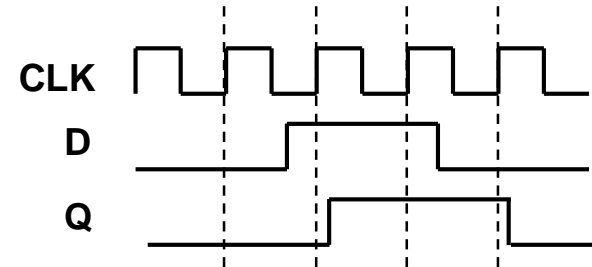
Puede haber cambio de estado sin cambio de entradas

Los más habituales

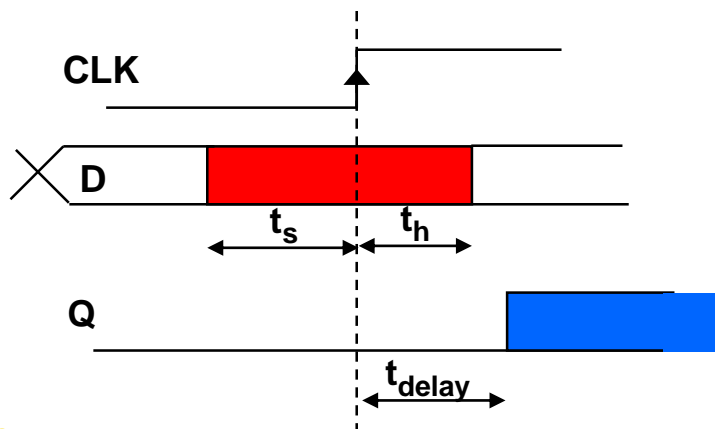
# Biestable D (flip flop D)



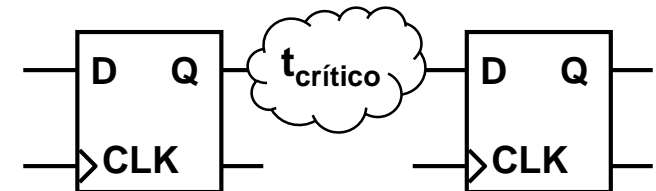
Cronograma del funcionamiento de un biestable D:



Tiempos de inserción de las señales de dato:  $t_{\text{setup}}$ ,  $t_{\text{hold}}$  y  $t_{\text{delay}}$



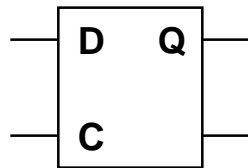
Frecuencia máxima operación



$$F_{\text{max}} = \frac{1}{(t_{\text{delay}} + t_{\text{crítico}} + t_{\text{setup}})}$$

# Otros biestables

## Biestable latch D



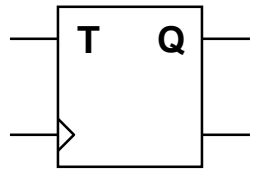
D	C	$Q^{n+1}$
X	0	$Q^n$
0	1	0
1	1	1

Cerrado

Modo transparente

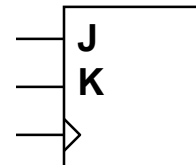
Síncrono por nivel

## Biestable FF-T



T	CLK	$Q^{n+1}$
0	⌋	$Q^n$
1	⌋	$/Q^n$

## Biestable FF-JK



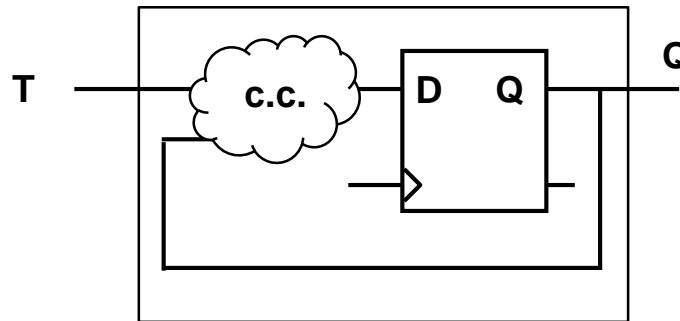
J	K	CLK	$Q^{n+1}$
0	0	⌋	$Q^n$
0	1	⌋	0
1	0	⌋	1
1	1	⌋	$/Q^n$



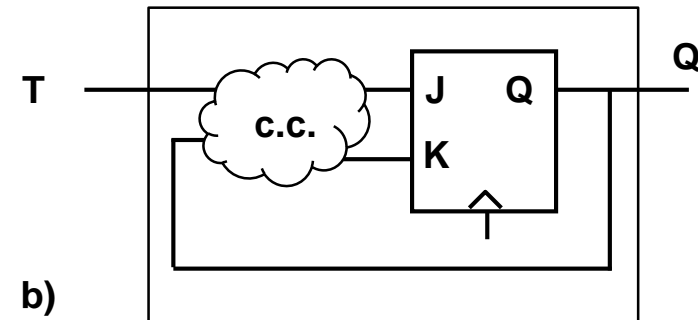
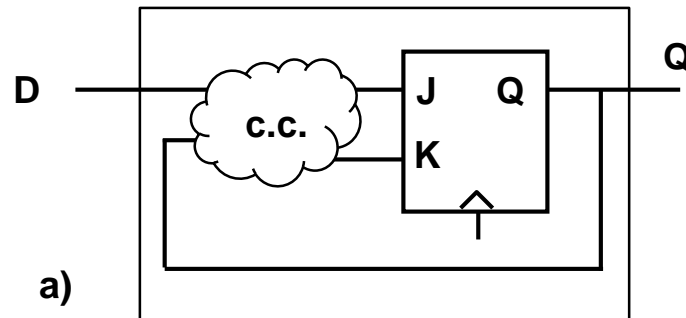
# Conversión entre biestables

Ejemplo: A partir de un biestable D, construir un biestable T

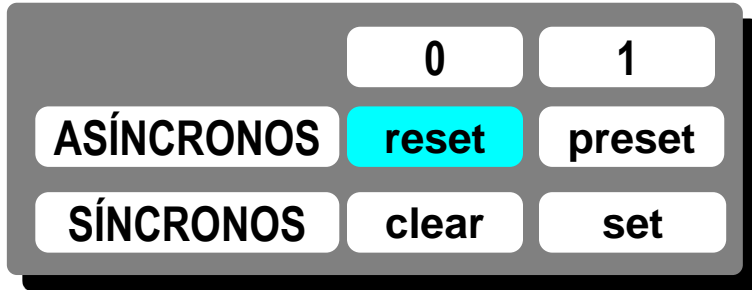
T	$Q^n$	$Q^{n+1}$	D
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	0



Ejemplos: A partir de un biestable JK, construir **a)** un biestable D y **b)** un biestable T



# Inicialización en un biestable



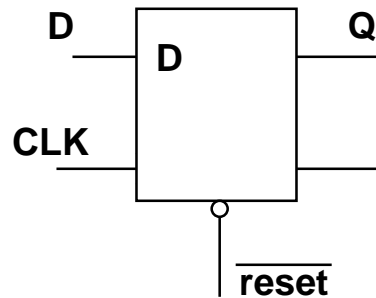
El valor inicial puede ser '0' ó '1'

La inicialización asíncrona es inmediata

La inicialización síncrona espera al primer flanco activo de reloj

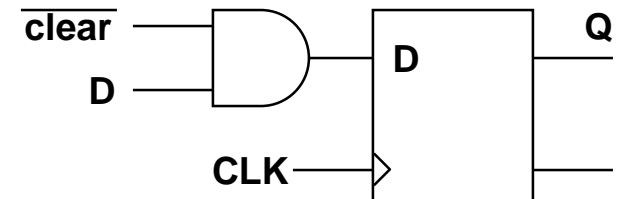
Las señales de inicialización suelen ser activas por nivel bajo

Ejemplo:  
Biestable D con reset



La inicialización síncrona se puede considerar como parte de la funcionalidad

Ejemplo:  
Biestable D con clear

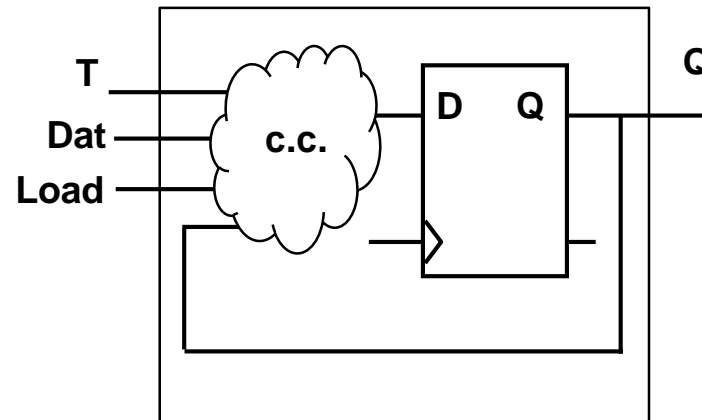


# Aplicación: Carga de un biestable

En los biestables síncronos, existe la posibilidad de cargar a '0' ó a '1' por medio de una entrada especial denominada entrada de carga "L" (Load). Similar al *enable* en los circuitos combinatoriales.

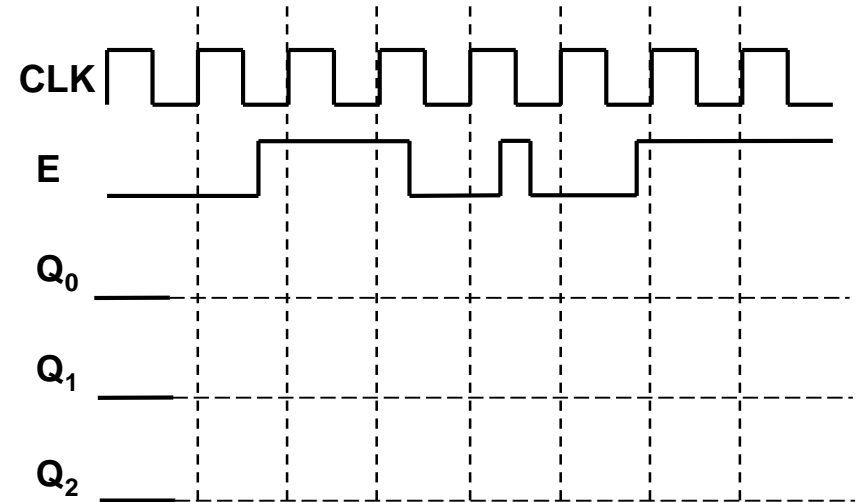
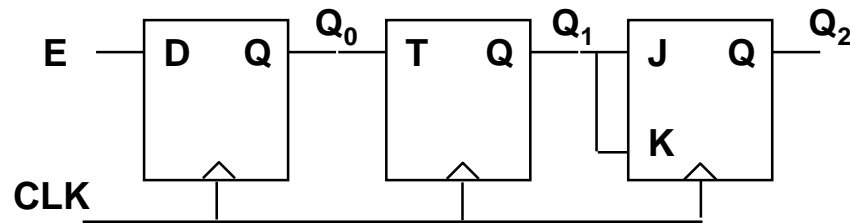
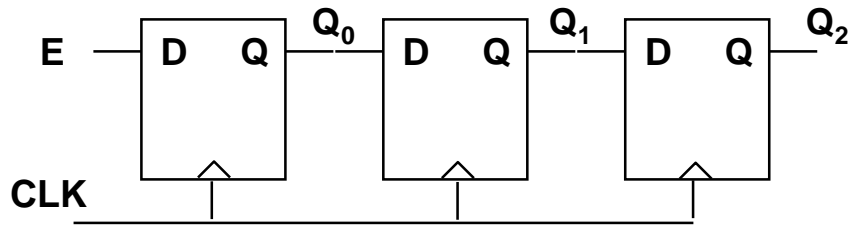
Ejemplo: A partir de un biestable D, construir un biestable T con entrada de carga

L	Dat	T	$Q^{n+1}$
1	0	X	0
1	1	X	1
0	X	0	$Q^n$
0	X	1	$/Q^n$



# Cronograma temporal con Flip-Flops

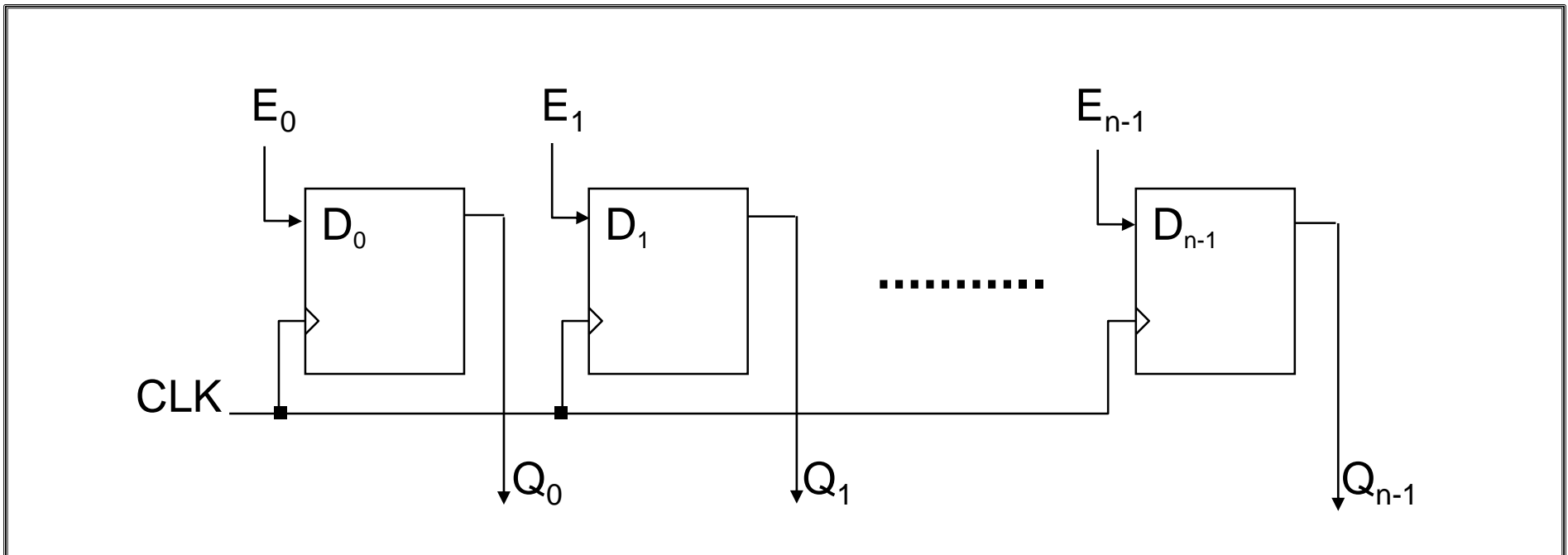
Ejemplo: Completar el cronograma de la figura para cada uno de los dos ejemplos propuestos.



# Registros

## Registro:

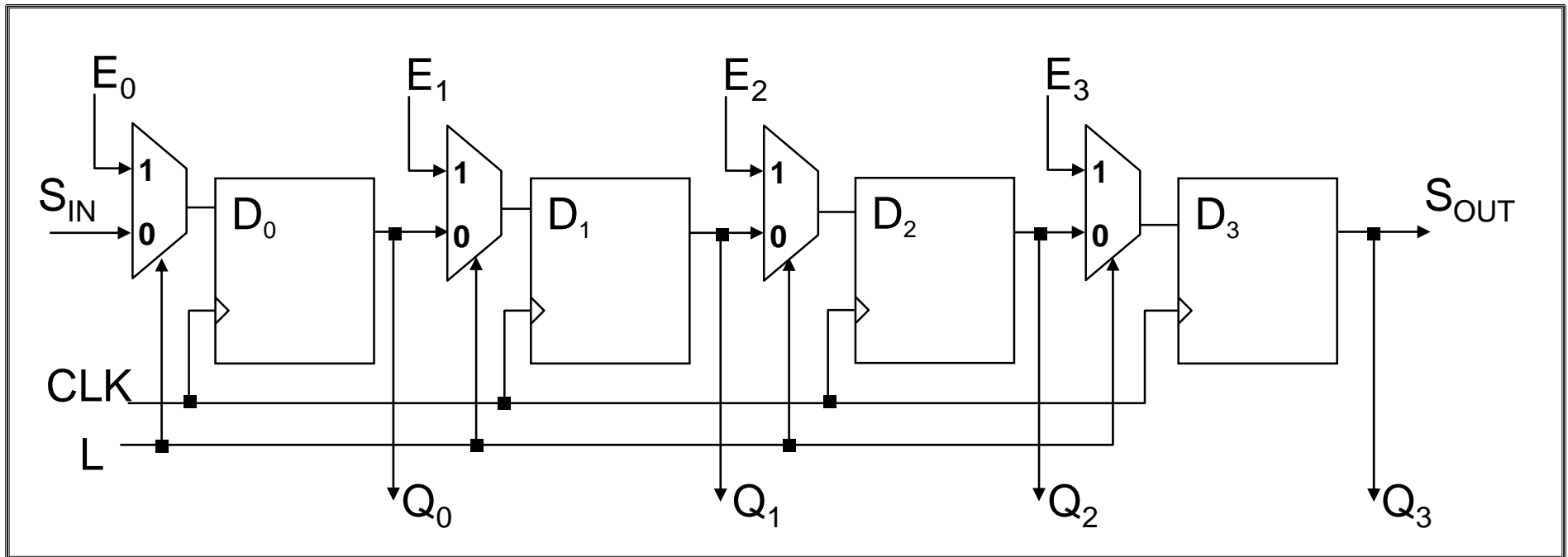
- ✓ Sistema secuencial formado por un conjunto de biestables del mismo tipo que comparten la misma señal de reloj.



**Ejemplo:** Registro de n bits

# Registros

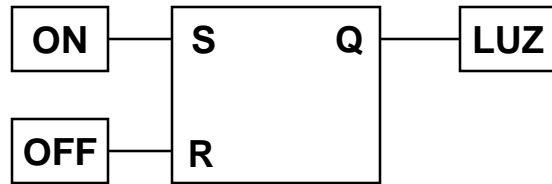
- ✓ **Registro de desplazamiento:** La salida de un biestable se conecta a la entrada del biestable de orden superior.
- ✓ **Registro con entrada de carga:** Una señal de carga, L (load) permite cargar síncronamente en el registro cualquier valor deseado.



**Ejemplo:** Registro de desplazamiento (4bits) con entrada de carga

# ANEXO

## Biastable RS asíncrono



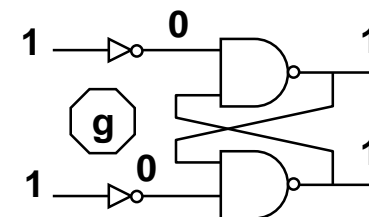
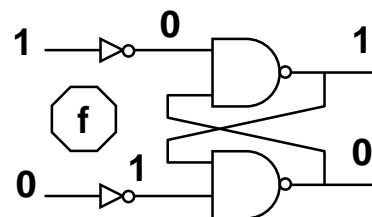
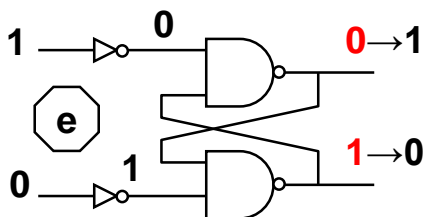
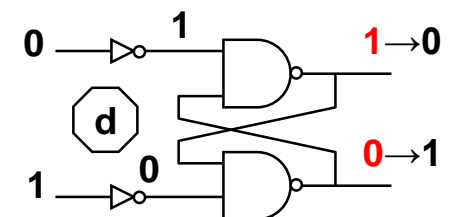
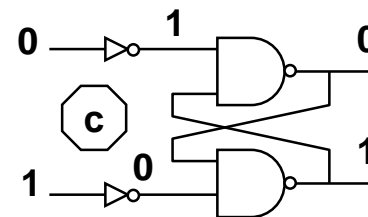
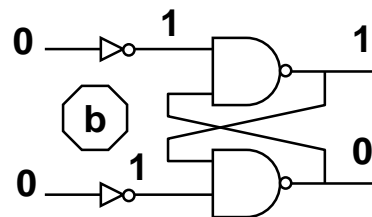
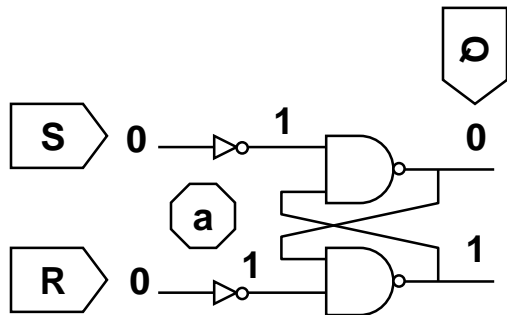
S	R	$Q_t$	$Q_{t+\Delta t}$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

a, b) Mantener estado

c, d) Apagar (Reset)

e, f) Encender (Set)

g) Inscripción prioritaria

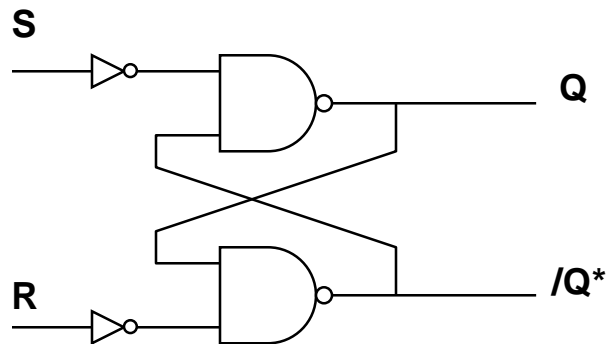


# ANEXO

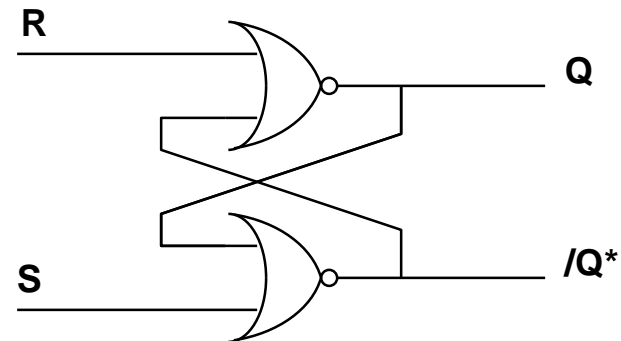
## Biastable RS asíncrono

Con  $R=S=1$ , las salidas no son complementarias y dependen del diseño interno del biastable.

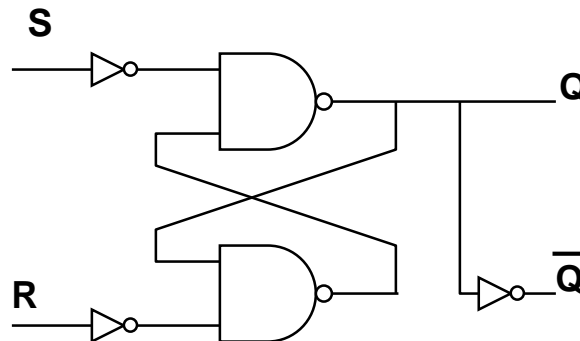
### Inscripción prioritaria



### Borrado prioritario



**¿Cómo hacer que  $/Q^*$  sea  $/Q$  siempre?**

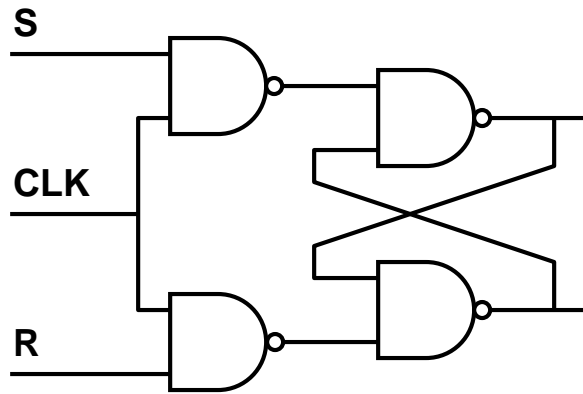




# ANEXO

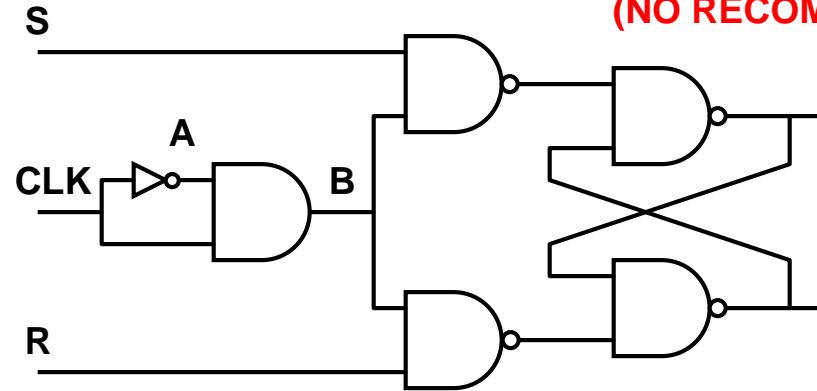
## Biestables RS síncronos

### Activo por nivel



### Activo por flanco (edge-triggered)

(NO RECOMENDADO)



### Activo por flanco (master-slave)

