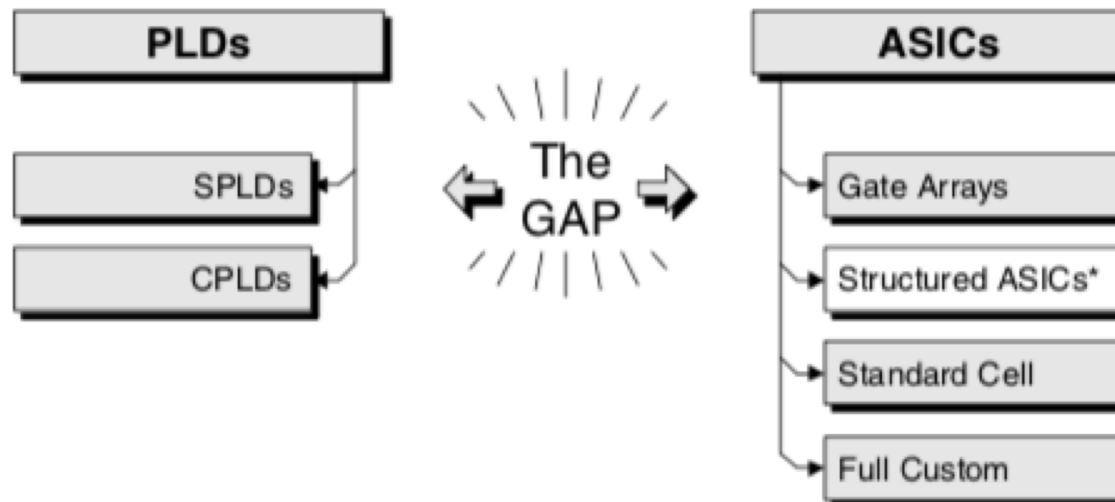


Sistemas Electrónicos Digitales

Tema #2 2. FPGAs

Matrices de puertas programables (FPGA)

- Los CPLD's tienen una densidad no demasiado elevada de lógica.
- Las FPGA's son circuitos programables con mayor densidad.
- La arquitectura es totalmente distinta.
- Sus bloques lógicos son menos eficientes que los de los CPLD's, pero contiene un número muy superior.
- Desarrollada por Xilinx Inc.



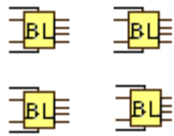
Fabricantes

- En el mercado existen varios fabricantes de estos dispositivos. Los más importantes son:
- FPGA basada en SRAM:
 - Altera: Familias Cyclone, Arria y Stratix
 - Xilinx: Familias XC3000,4000,5000, Spartan, Artix, Kintex, Virtex
- FPGA basada en FLASH o antifusibles:
 - Microsemi: Familias Igloo, ProASIC, Fusionsed
 - Microsemi: Familias Axelerator, Sx, Ex, Mx

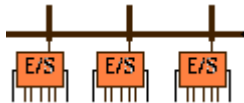
FPGA: Características básicas

- Arquitectura basada en los siguientes elementos:
 - **Bloques lógicos programables:** más pequeños que los de un CPLD, pero mucho más numerosos, distribuidos por todo el chip.
 - **Bloques de E/S:** programables, rodean por completo el CHIP.
 - **Matriz de interconexión:** mas que una matriz, es un mar de conexiones que se distribuyen por todo el chip

FPGA: Arquitectura básica



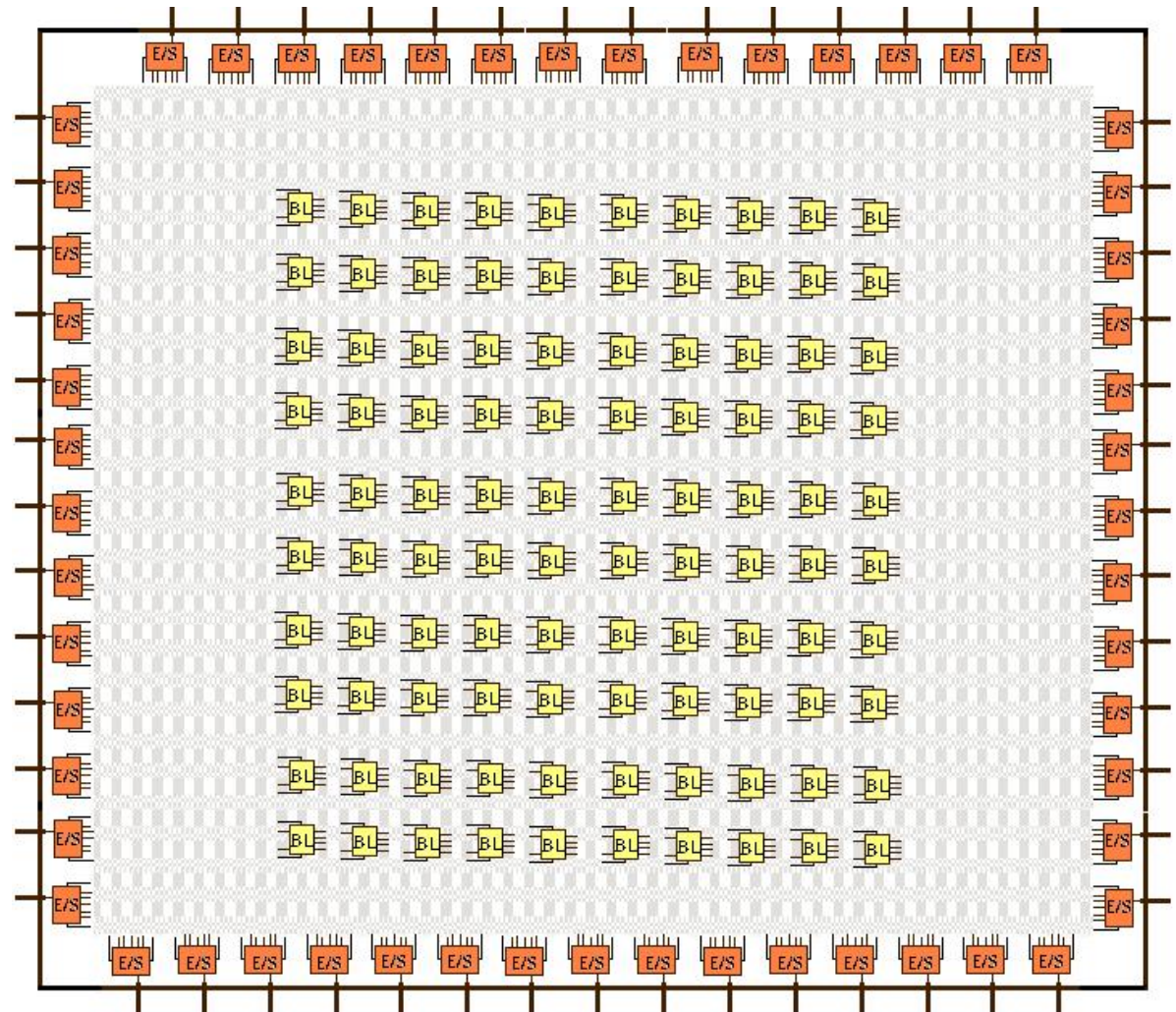
Bloques lógicos



Bloques E/S

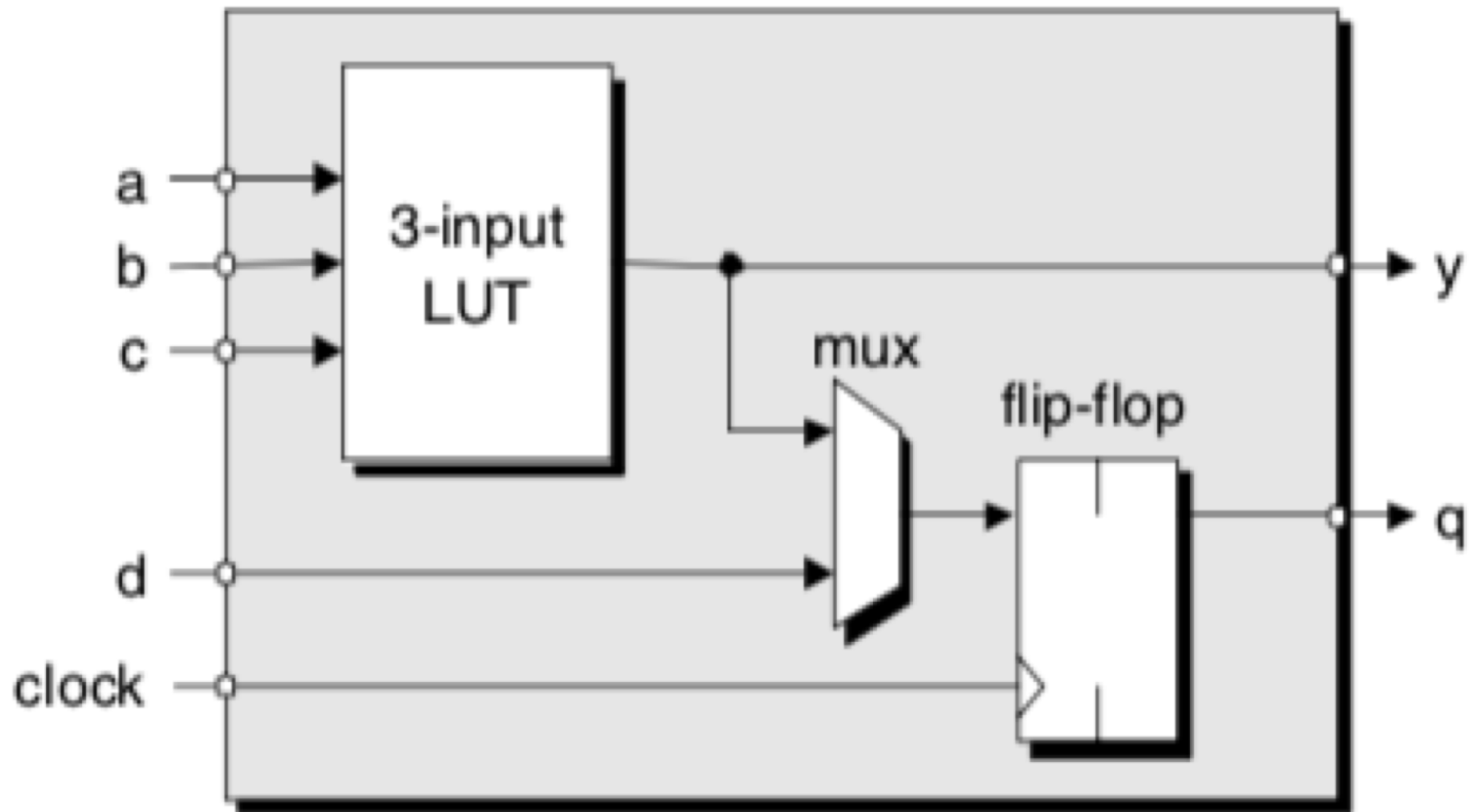


Matriz de
conexión



FPGA: Arquitectura básica (II)

Bloque lógico programable simple

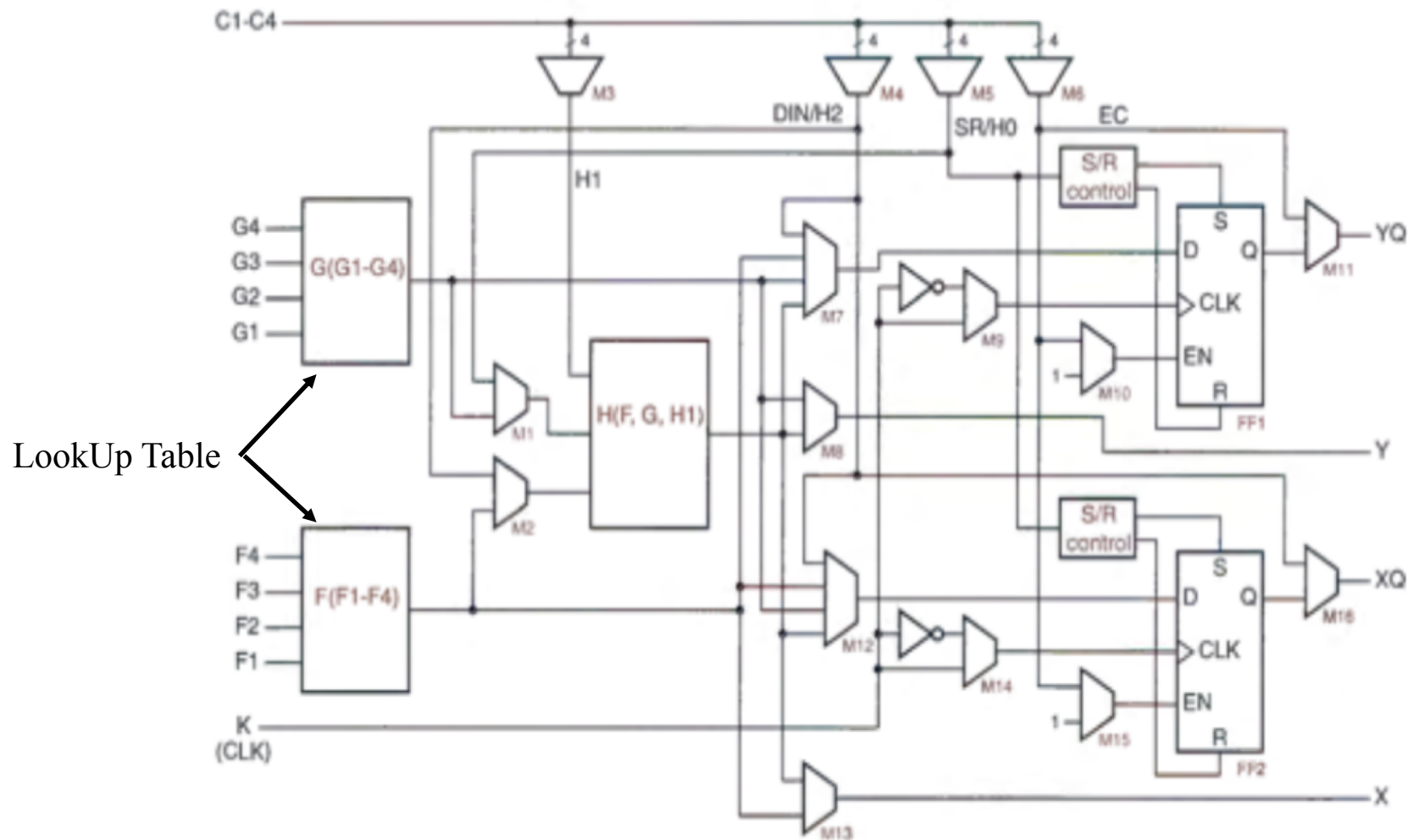


Bloques lógicos (XC4000)

- Xilinx los denomina CLB.
- Elemento clave: los generadores de funciones.
 - Pueden generar funciones de 4 variables.
 - Formados por SRAM (F, G:16x1 y H:8x1).
 - Se puede usar como RAM (RAM distribuida)
- Muchos multiplexores para configuración.
- Dos biestables D.

Bloques lógicos (II) (XC4000)

- Arquitectura de un CLB.

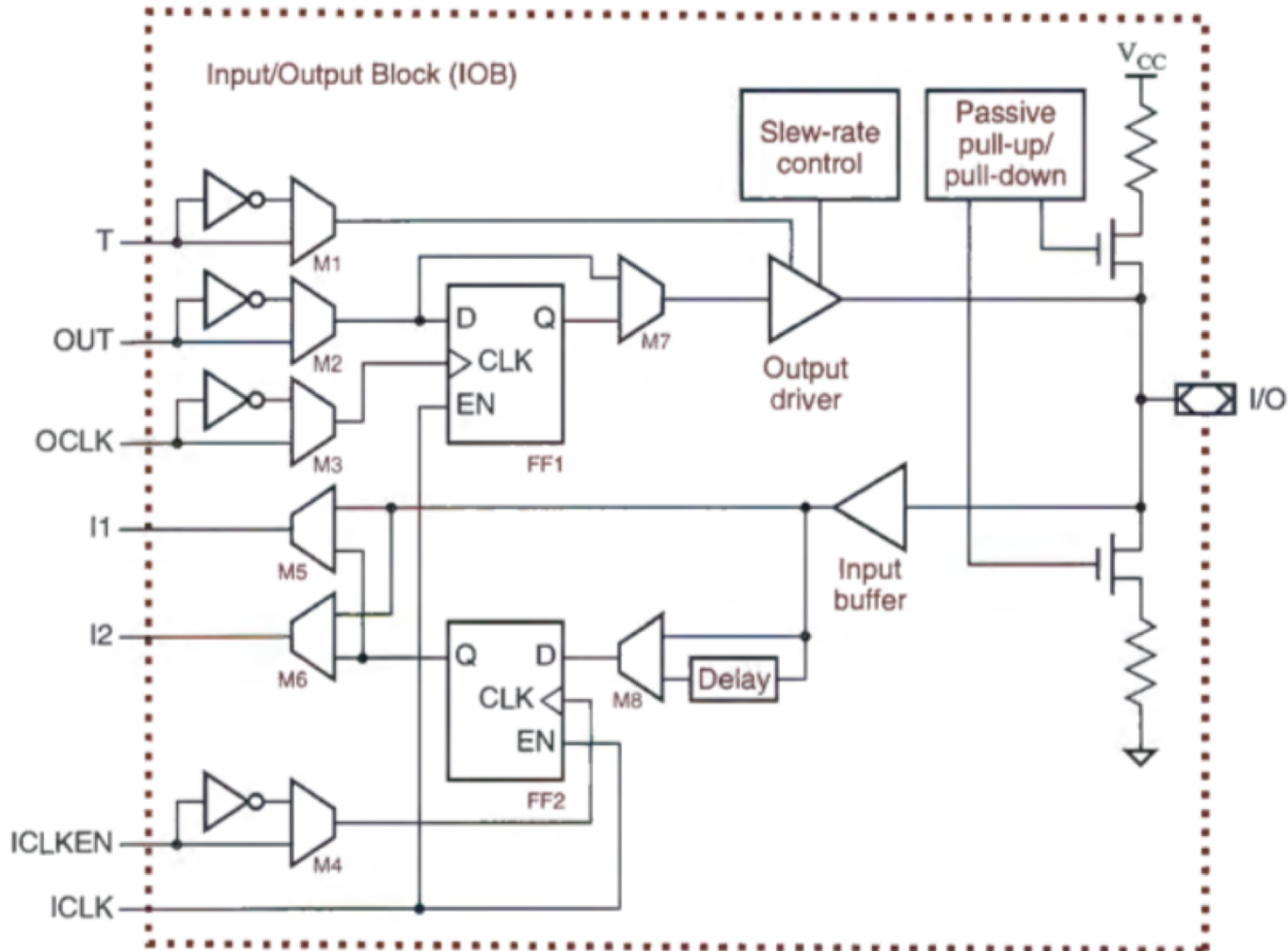


Bloques E/S (XC4000)

- Bidireccionales.
- Contienen abundante lógica.
 - Más que un CPLD.
 - Formados por SRAM (F, G:16x1 y H:8x1).
- Muchos multiplexores para configuración.
- Dos biestables D.

Bloques E/S (II) (XC4000)

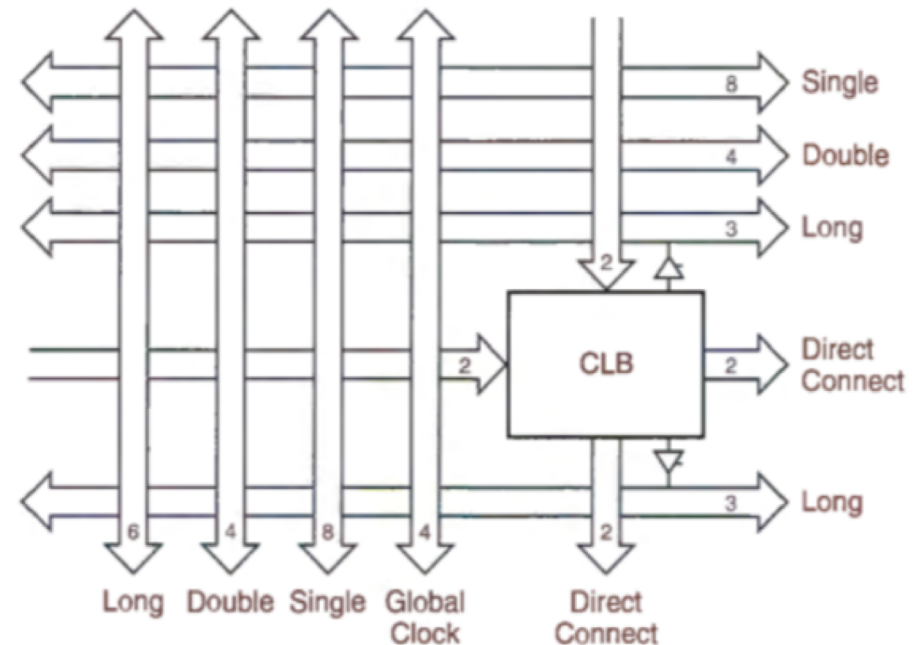
- Arquitectura de un bloque de E/S.



Matriz de conexión

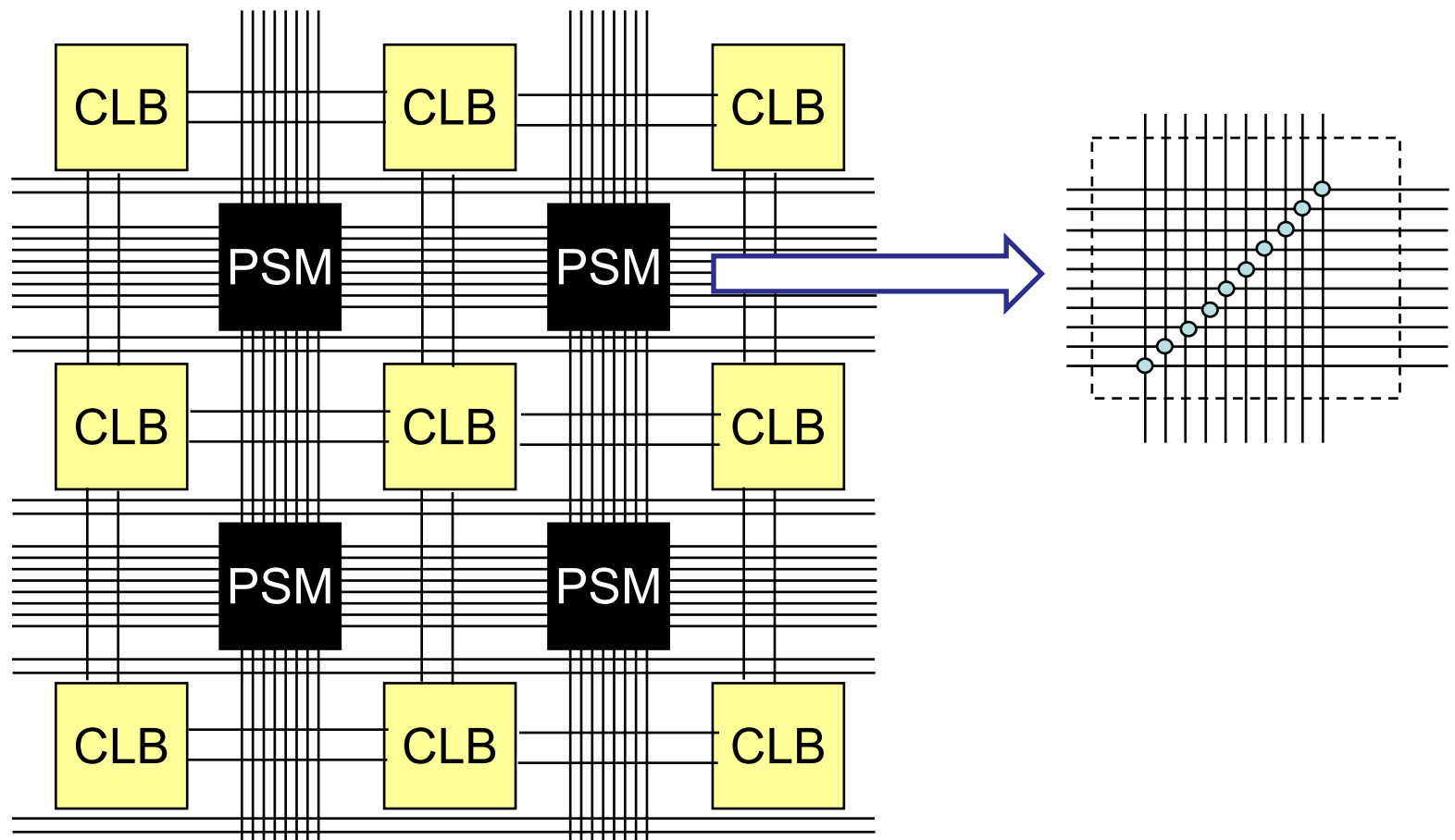
Formada por:

- Líneas de interconexión:
 - Horizontales
 - Verticales.
 - Con diversas longitudes: cortas, medianas y largas.
- Matrices programables:
 - Extienden o aíslan segmentos longitudinales.
 - Conectan líneas verticales y horizontales.



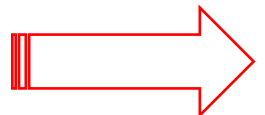
Matriz de conexión (II)

- Ejemplo de arquitectura
- PSM: Programmable Switch Matrix



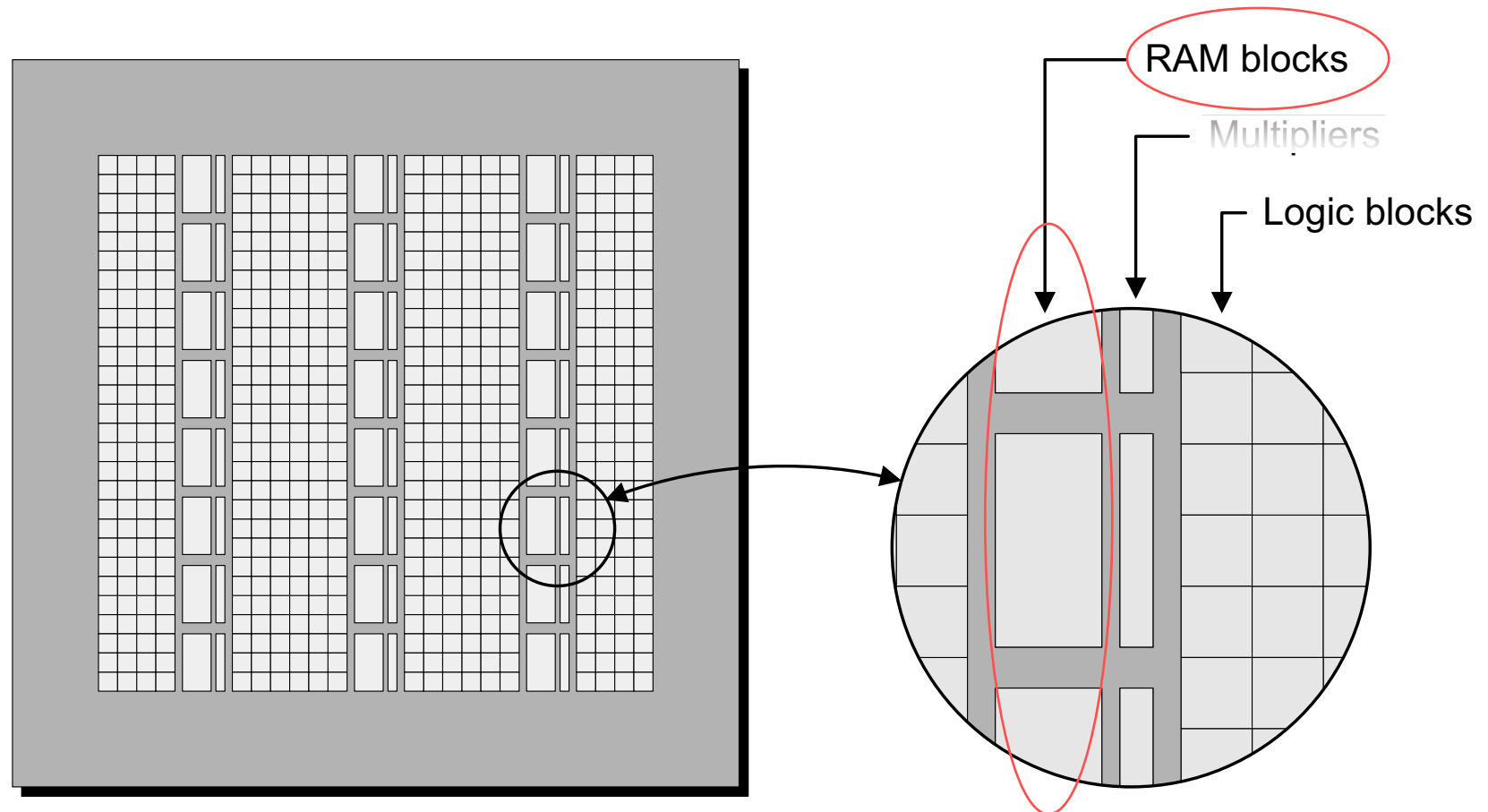
Arquitecturas avanzadas

- La familia XC4000 es una arquitectura fuera de fabricación.
- Todas las familias de FPGA's comparten en cierto grado esta arquitectura básica.
- Los nuevos diseños agregan elementos que permiten mayor capacidad de procesamiento o versatilidad.
- A continuación tenemos ejemplos de dichas mejoras.



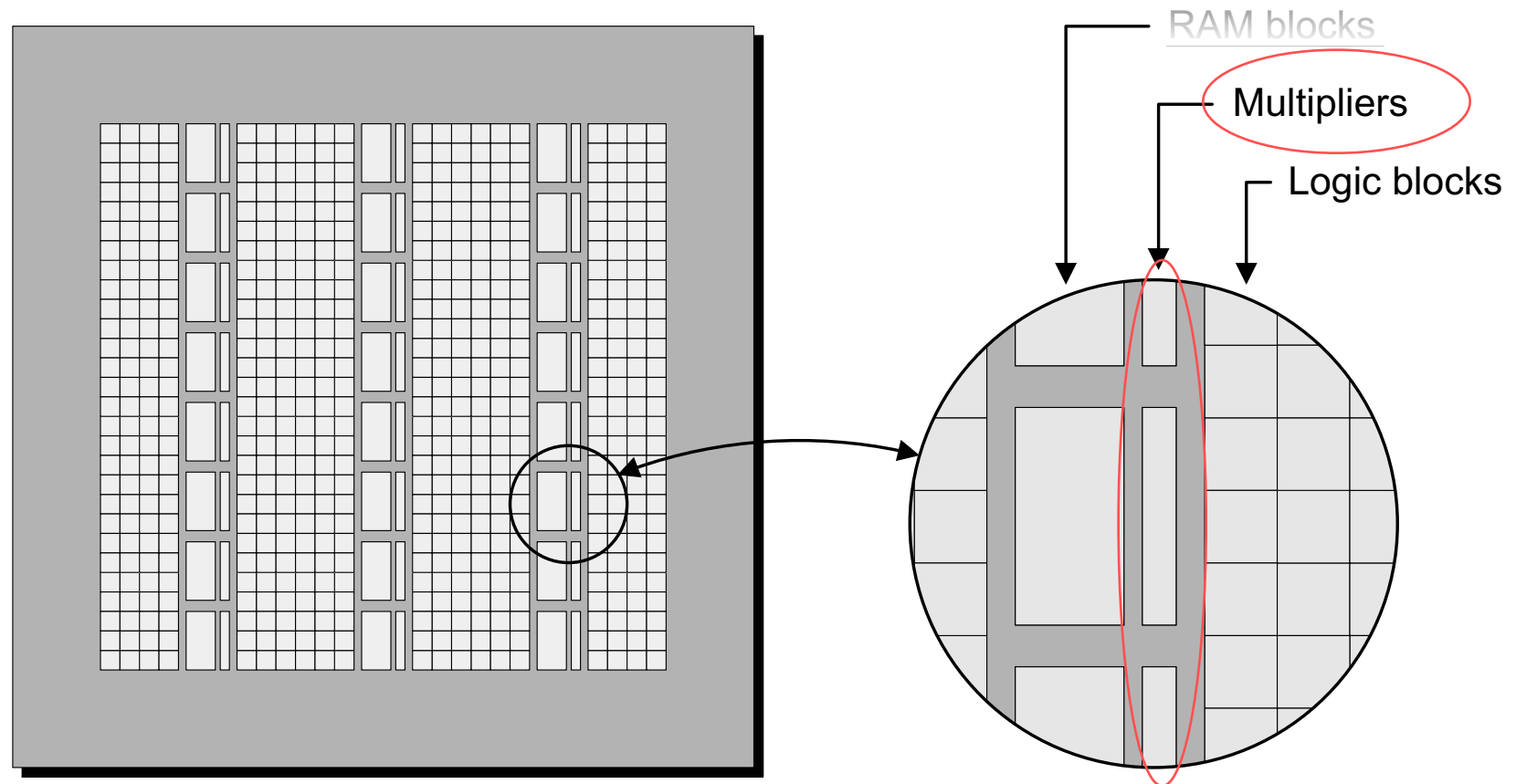
Memoria RAM en bloque

- A partir de la arquitectura Spartan 3.



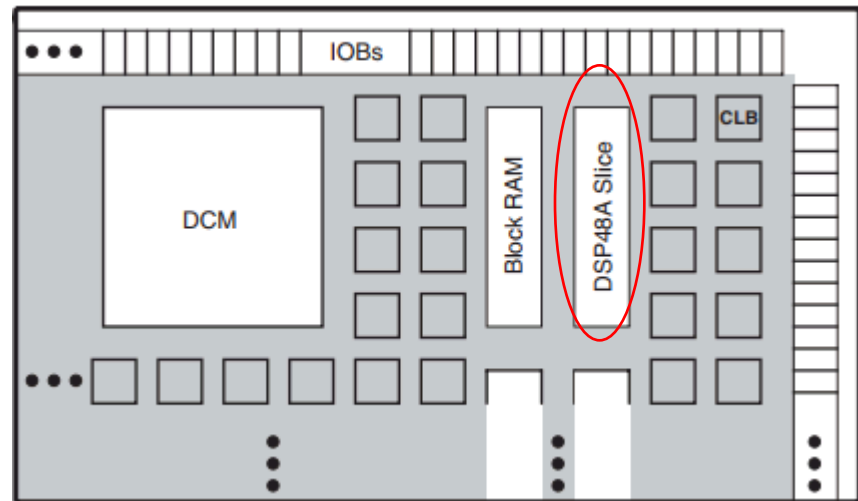
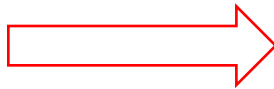
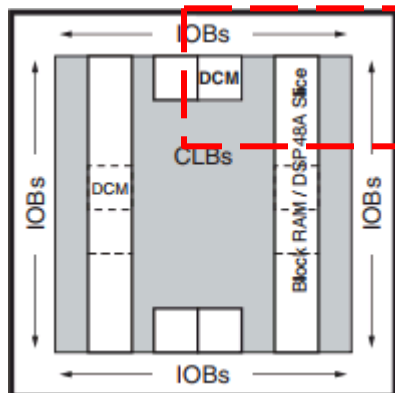
Multiplicadores embebidos

- A partir de la arquitectura Spartan 3.



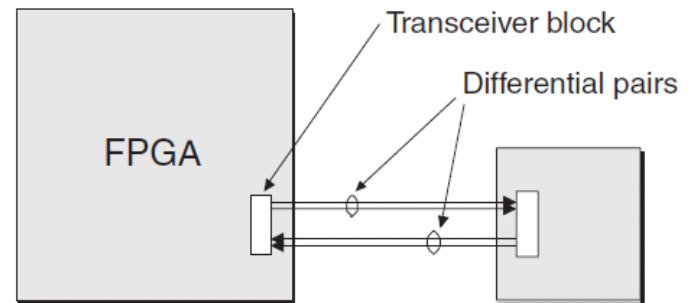
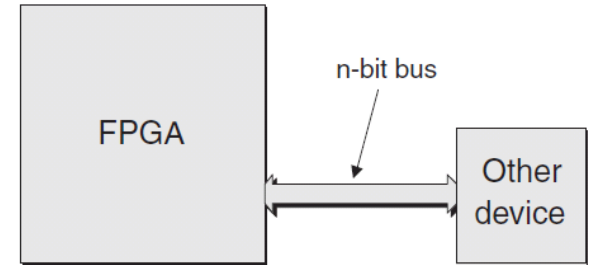
DSP Slices

- A partir de la arquitectura Spartan-3A DSP, se incorporan circuitos multiplicadores/sumadores para el procesamiento de señal.



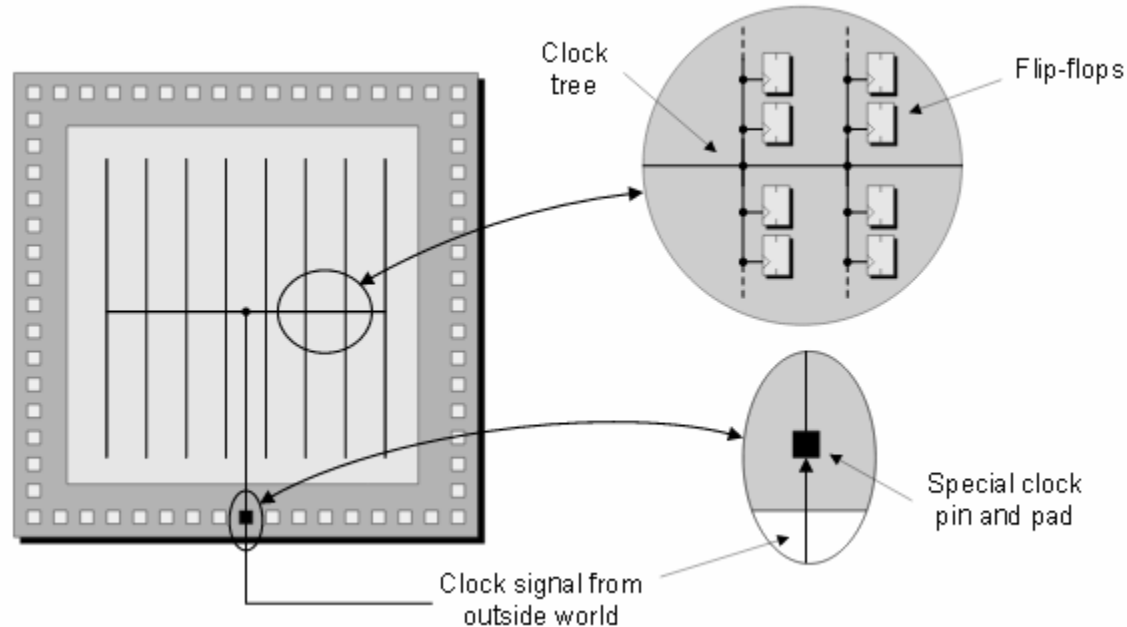
Transceptores Gigabit

- Para comunicar la FPGA con otros dispositivos, podemos usar buses (muchas líneas).
- Los transceptores gigabit comunican los dispositivos con dos pares de líneas diferenciales (Tx y Rx) a altísimas velocidades.



Señal de reloj (I)

- El reloj es externo al dispositivo y entra por una patilla específica.
- Las líneas de reloj van separadas de la matriz de conexión.

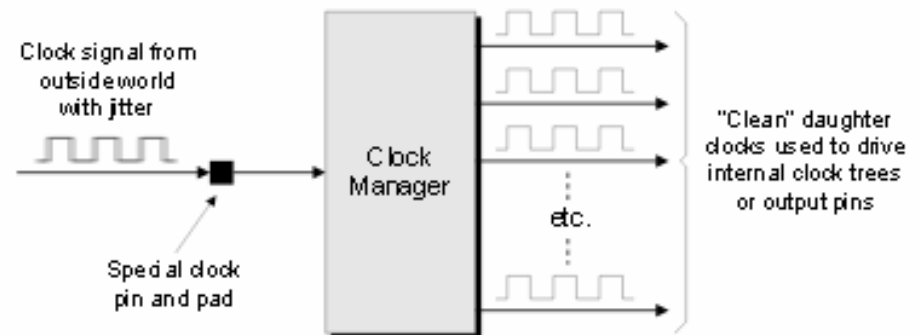
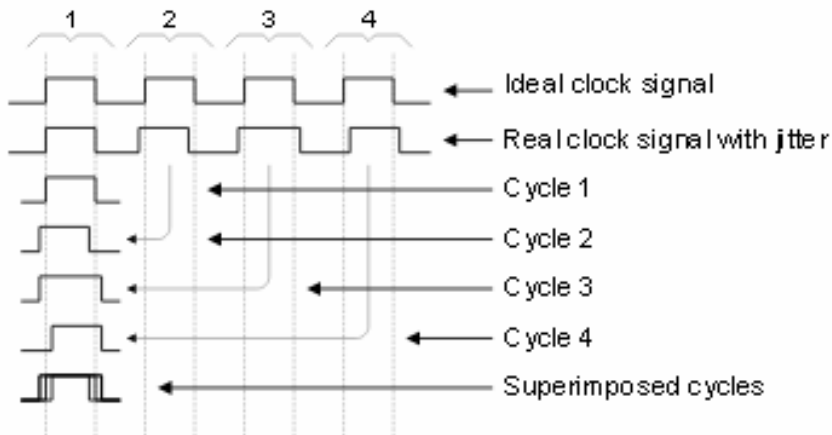


Señal de reloj (II). DCM.

- DCM (Digital Clock Manager) es un circuito que maneja las señales de reloj de la FPGA.
 - Crea los relojes “hijos”.
 - Elimina el “jitter” (pulsos desiguales).
 - Sincroniza todos los relojes.
 - Crea relojes múltiplos o divisores del original.
 - Crea relojes desplazados en fase.
 - Elimina retardos mediante realimentación.

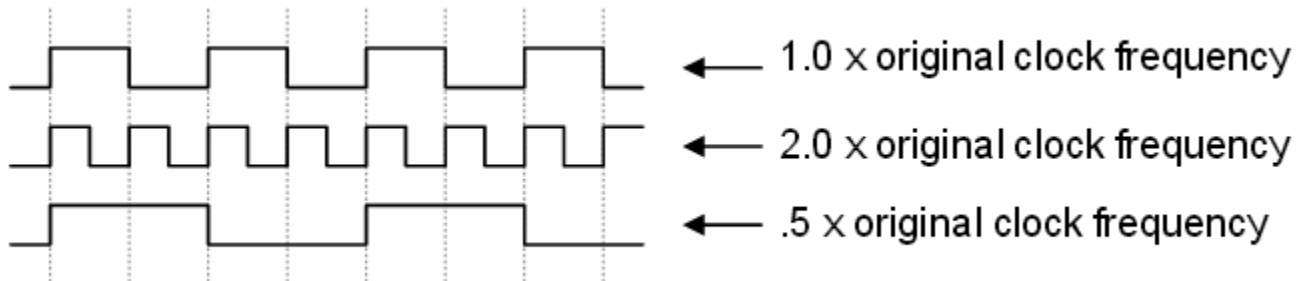
Señal de reloj (III). DCM.

- DCM.
 - Crea los relojes “hijos”.
 - Elimina el “jitter” (pulsos desiguales).



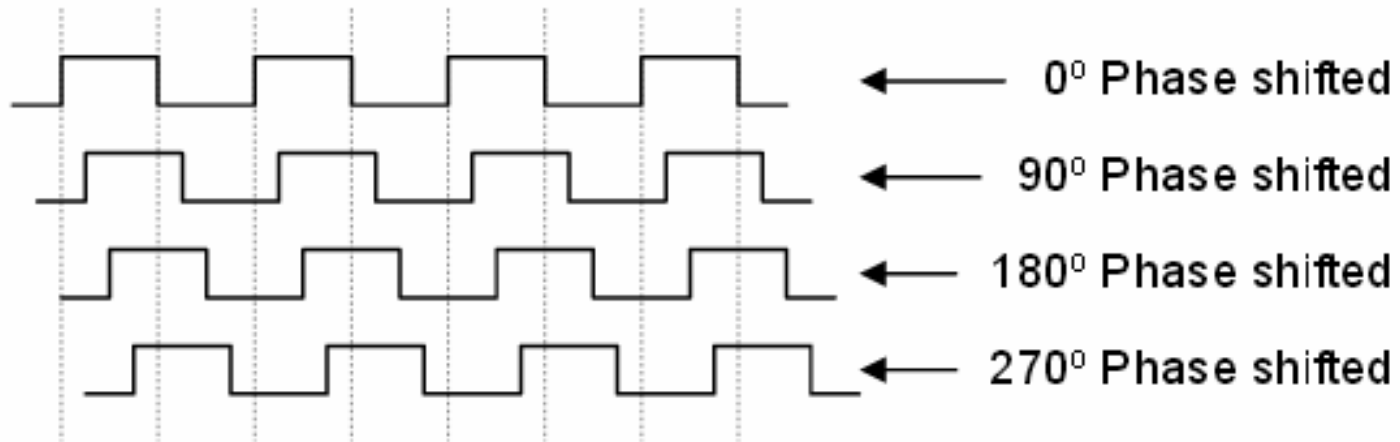
Señal de reloj (IV). DCM.

- DCM.
 - Crea relojes múltiplos o divisores del original.



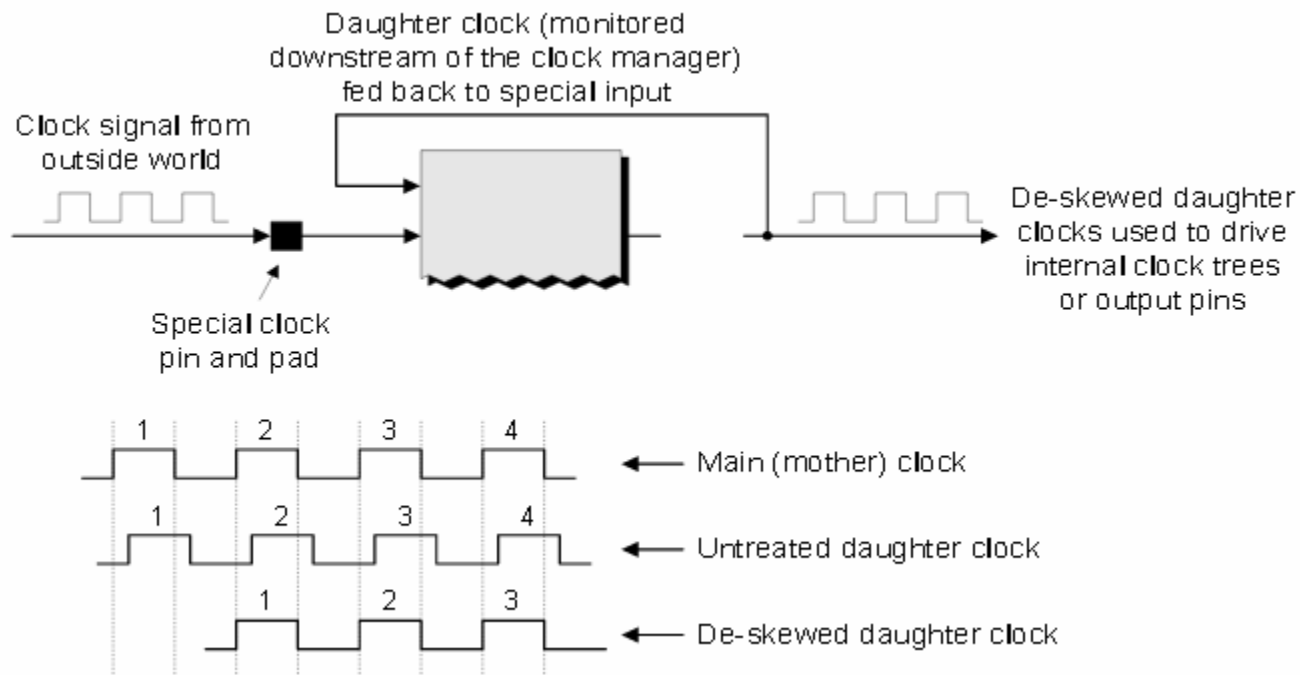
Señal de reloj (V). DCM.

- DCM.
 - Crea relojes desplazados en fase.



Señal de reloj (IV). DCM.

- DCM.
 - Elimina retardos mediante realimentación.



E/S configurables.

- Conforme aumenta la miniaturización de los dispositivos, disminuye la tensión de alimentación (core voltage, actualmente 1.2V).
- Incorporan bancos de E/S configurables con diferentes valores de nivel (5, 3.3, 2.5, 1.8 V)

