

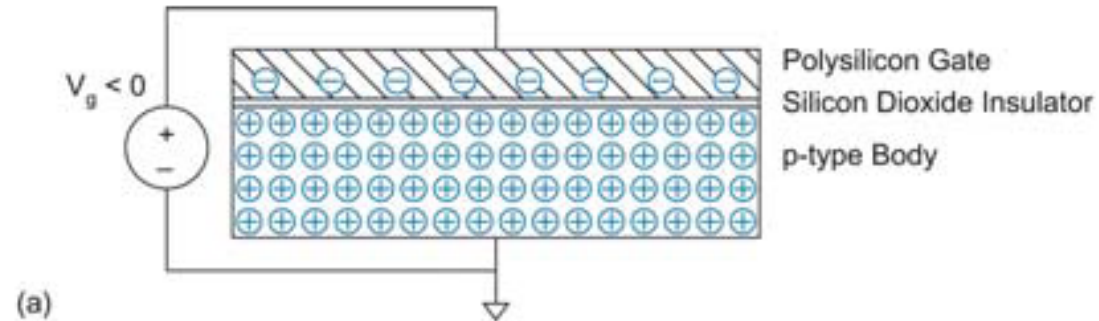
Tema 9: Estructuras MIS, transistores MOSFET (introducción, zonas de funcionamiento). Fabricación.

Lecturas recomendadas:

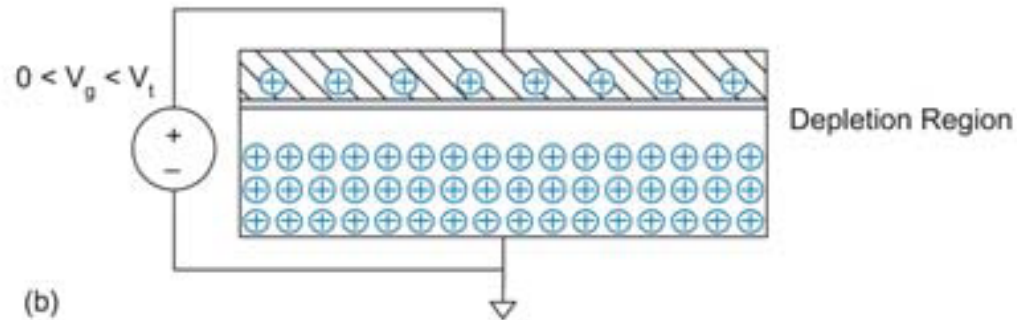
- “Circuitos Microelectrónicos”, 4ª ed. Cap.5,
Sedra/Smith. Ed. Oxford**
- “Circuitos Microelectrónicos”, 5ª ed. Cap.4,
Sedra/Smith. Ed. McGraw-Hill**

ESTRUCTURA MOS

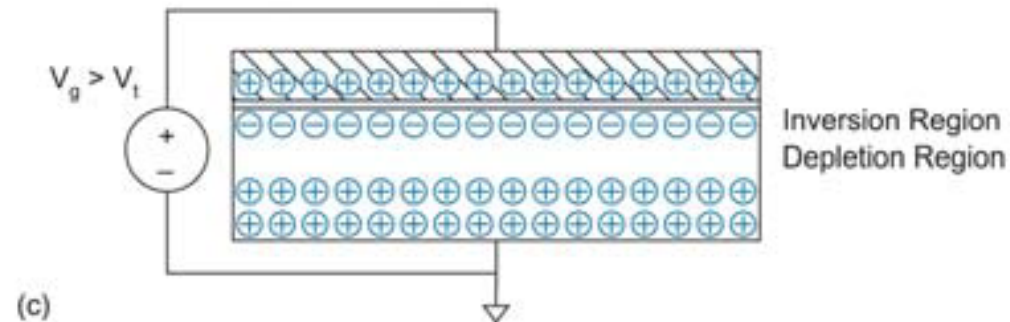
acumulación



vaciamiento



inversión

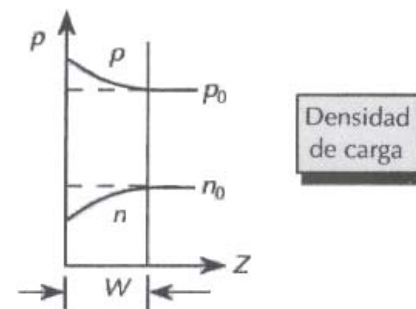


V_t : tensión umbral (de inversión)

REGIONES DE FUNCIONAMIENTO (semiconductor de tipo P)

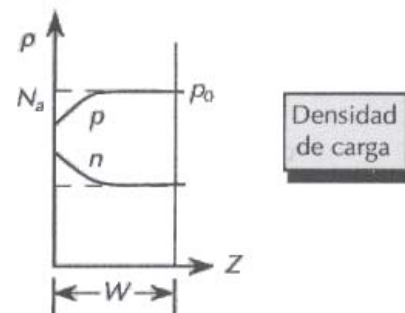
$$V < 0$$

Acumulación



$$0 < V < V_T$$

Agotamiento



$$V > V_T$$

Inversión

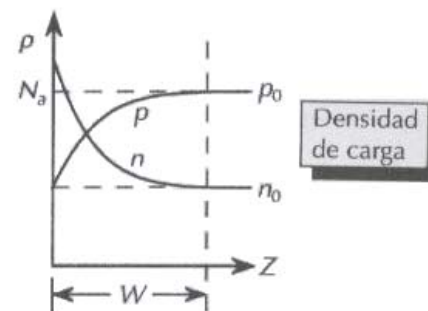


DIAGRAMA DE BANDAS

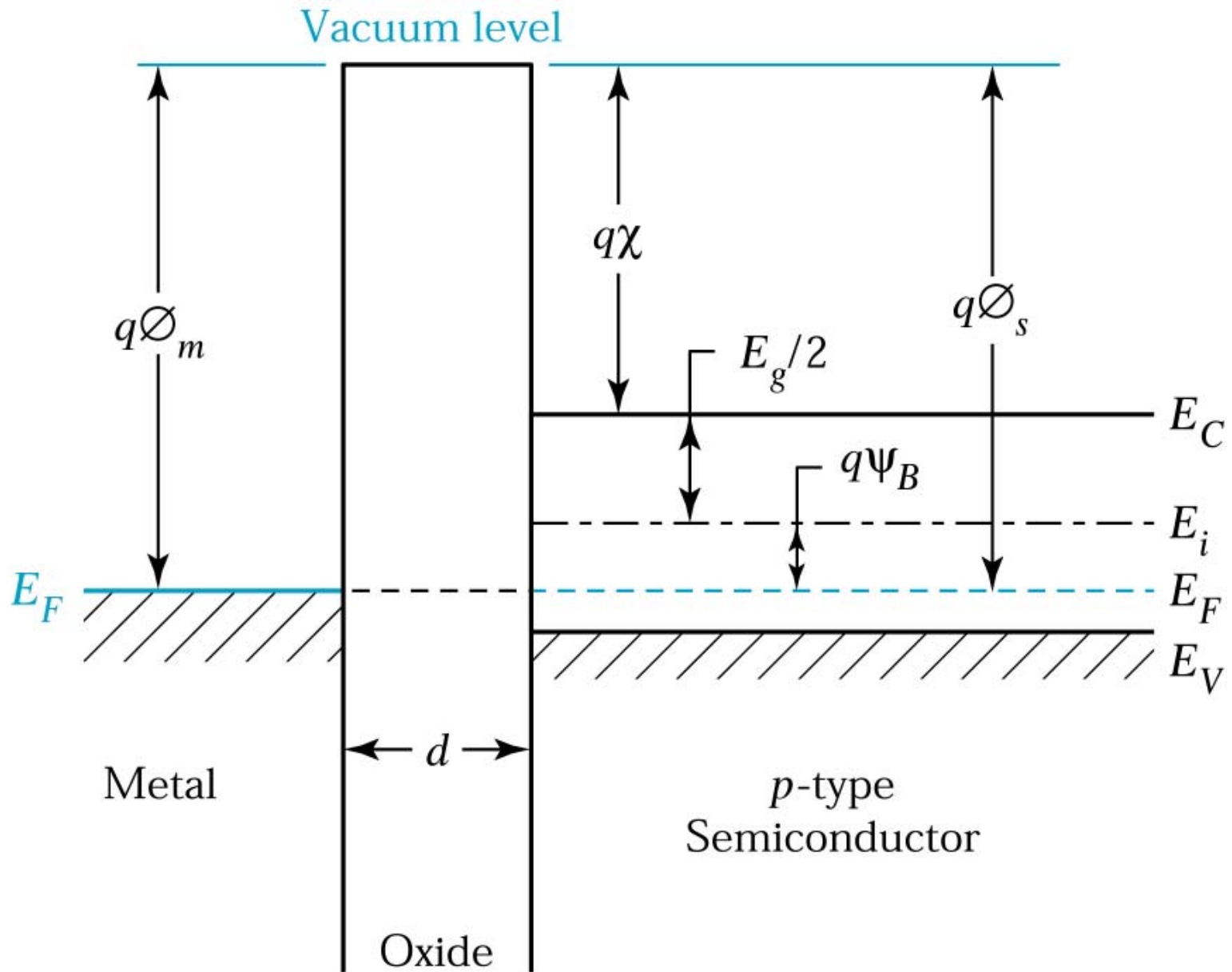


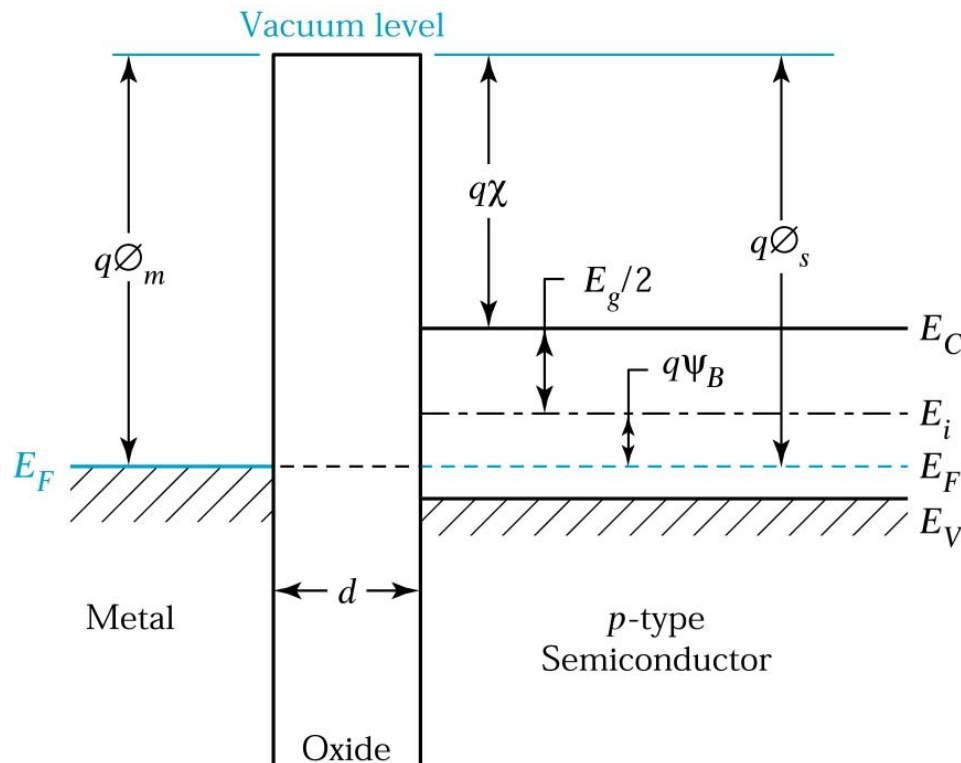
DIAGRAMA DE BANDAS

$q\phi_m$: función de trabajo del metal

$q\phi_s$: función de trabajo del semiconductor

$q\chi$: afinidad electrónica del semiconductor

$q\psi_B$: diferencia entre nivel de Fermi e intrínseco: $q\psi_B \equiv q\phi_F \equiv E_i - E_F$



- **Tipo P:** $N_A \gg N_D \Rightarrow p = n_i e^{\frac{E_i - E_F}{kT}}$
 $N_A \gg n_i \Rightarrow p \approx N_A$

$$\phi_F = V_T \ln \frac{N_A}{n_i}$$

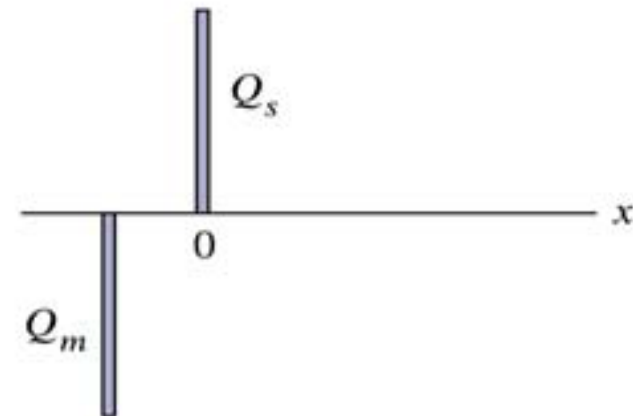
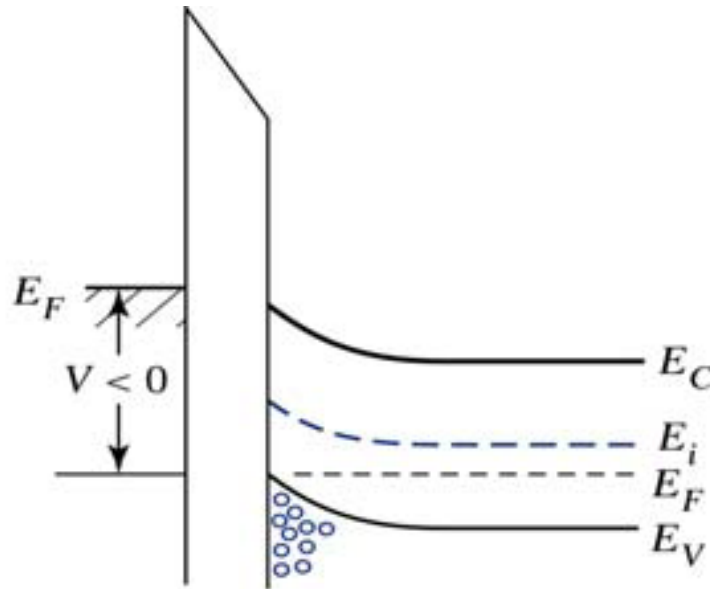
- **Tipo N:** $N_D \gg N_A \Rightarrow n = n_i e^{\frac{E_F - E_i}{kT}}$
 $N_D \gg n_i \Rightarrow n \approx N_D$

$$\phi_F = -V_T \ln \frac{N_D}{n_i}$$

Diagrama de bandas: ACUMULACIÓN

$q\phi_{SB}$: doblamiento de las bandas:
 ϕ_{SB} : potencial de superficie

$$q\phi_{SB} \equiv E_i(\text{interior}) - E_i(\text{intercara})$$

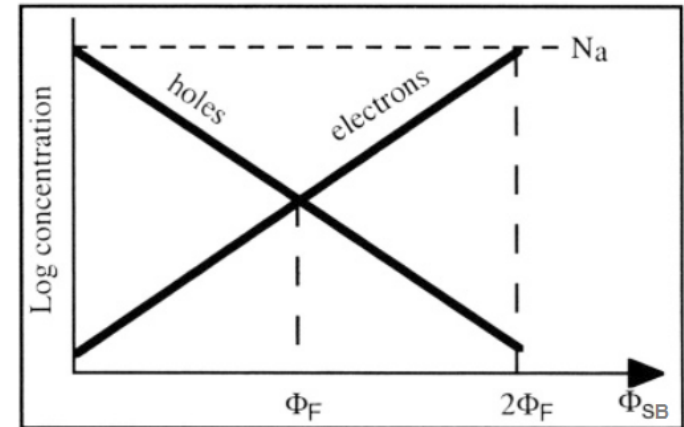


Acumulación: $\phi_{SB} \leq 0$

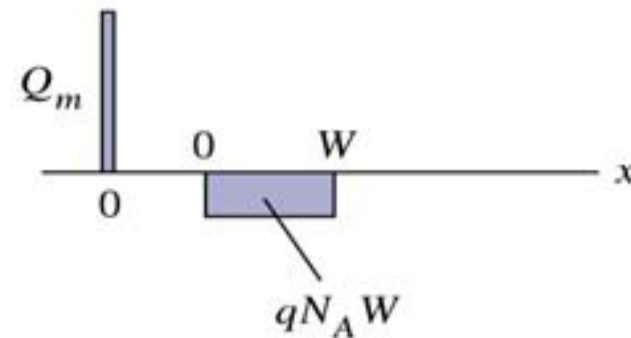
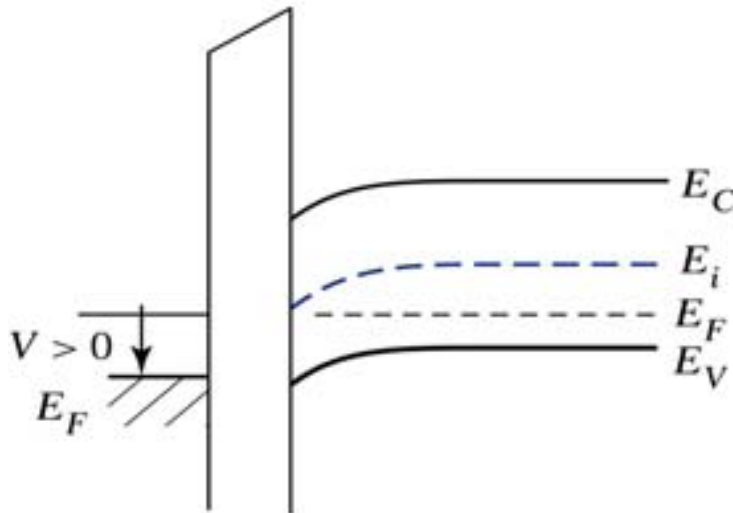
Diagrama de bandas: VACIAMIENTO

Vaciamiento: $0 \leq \phi_{SB} \leq \phi_F$

cuando: $\phi_{SB} = \phi_F$ entonces: $n = p$
pero: $N_A \gg n = p$



$$n \cdot p = n_i^2$$

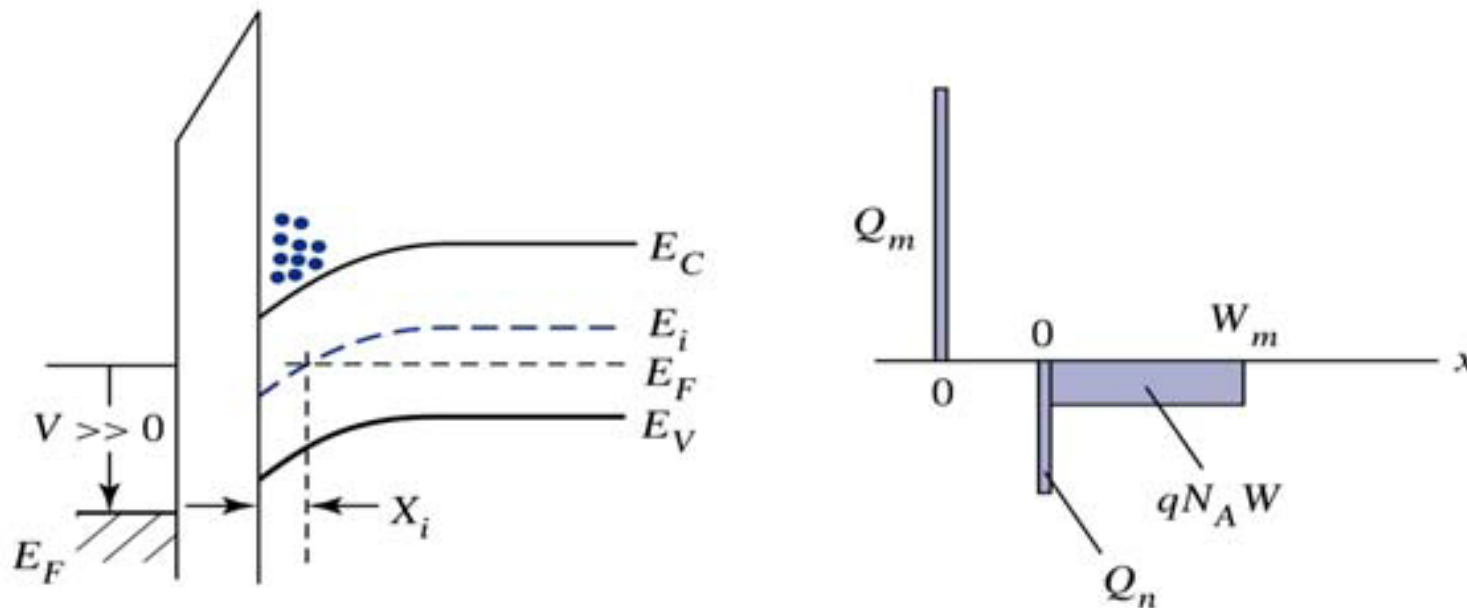


Inversión: $\phi_F \leq \phi_{SB} \leq 2\phi_F$ (inversión débil: $N_A \geq n \geq p$)

Diagrama de bandas: INVERSIÓN

Inversión: $\phi_{SB} \geq 2\phi_F$ (inversión fuerte: $n \geq N_A$ además de $n > p$)

cuando: $\phi_{SB} = 2\phi_F$ entonces la tensión externa: $V = V_t \equiv$ tensión umbral



Máxima anchura de la
región de vaciamiento, W_m :

$$W = \sqrt{\frac{2\epsilon_s}{qN_A} \phi_{SB}} \Rightarrow W_m = \sqrt{\frac{2\epsilon_s}{qN_A} 2\phi_F}$$

DISTRIBUCIONES DE CARGA

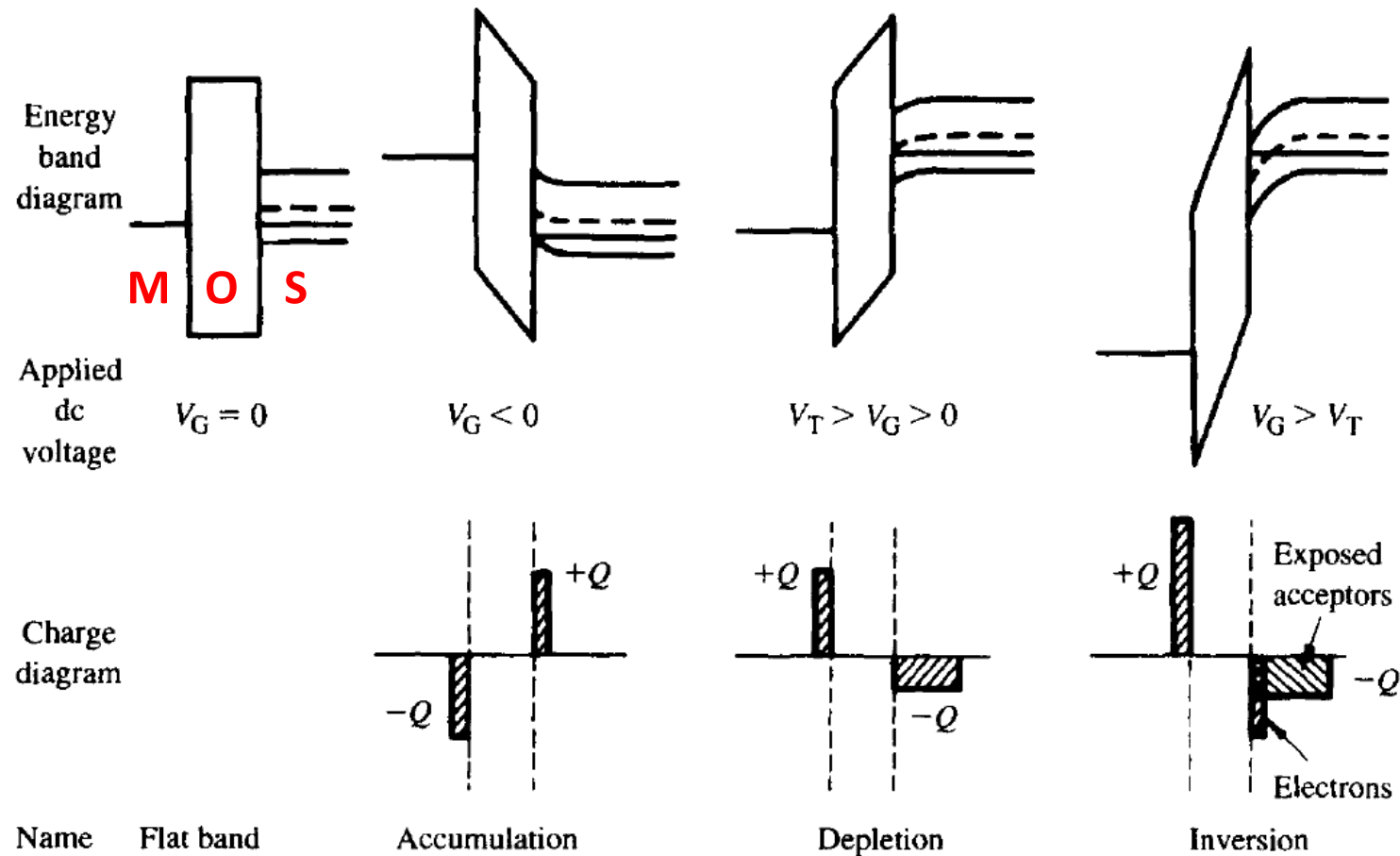


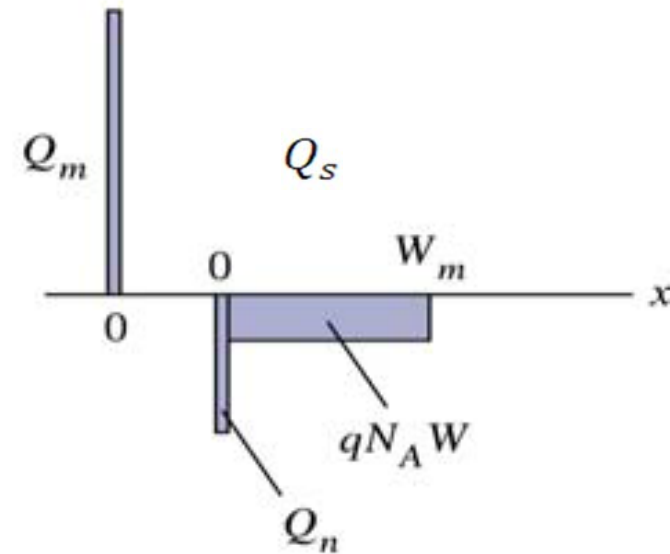
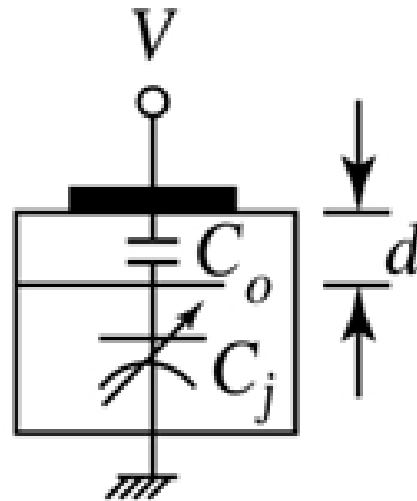
Figure 16.6 Energy band and block charge diagrams for a *p*-type device under flat band, accumulation, depletion, and inversion conditions.

CAPACIDAD DEL MOS

$$C_{ox} = \frac{\epsilon_{ox}}{d_{ox}} A$$

$$C_s = \frac{\epsilon_s}{W} A$$

$$= \frac{Q_s}{V}$$



$$\frac{1}{C_T} = \frac{1}{C_{ox}} + \frac{1}{C_s} = \frac{1}{1 + \frac{\epsilon_{ox} W}{\epsilon_s d_{ox}}}$$

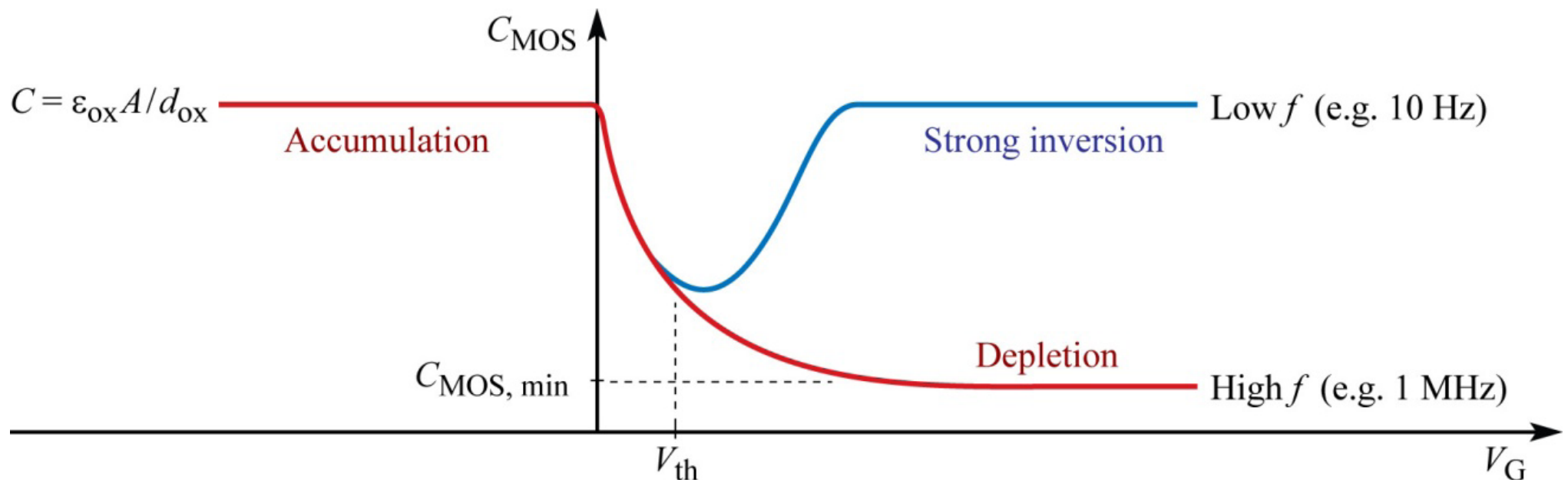
Q_s aumenta exponencialmente con $V \Rightarrow C_s \gg C_{ox} \Rightarrow C_T \approx C_{ox}$

CURVA C-V DEL MOS

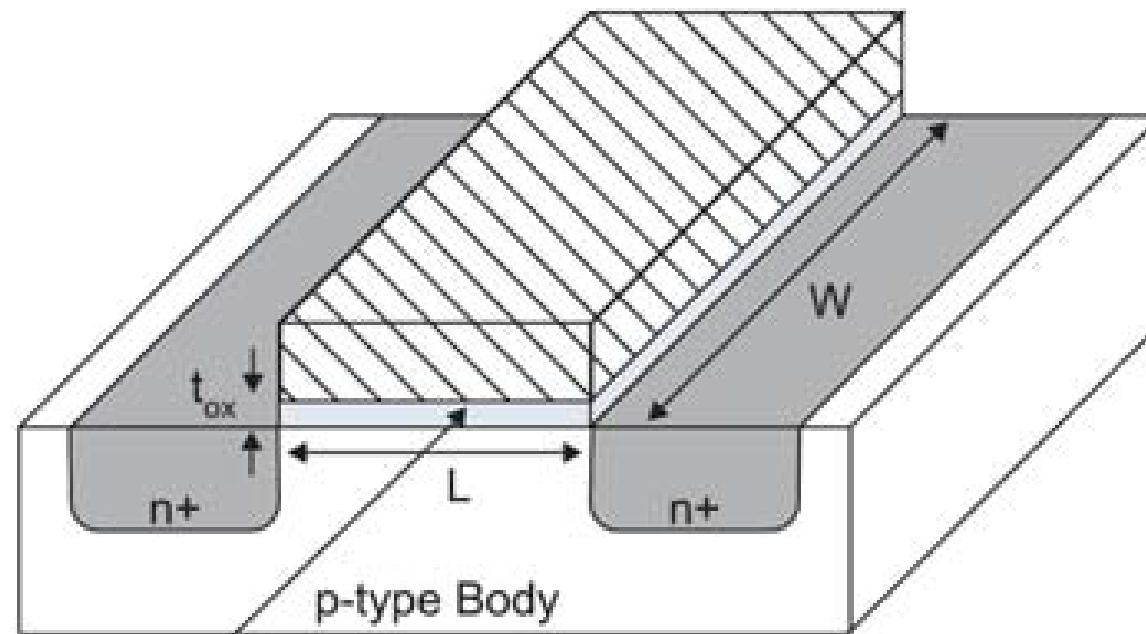
Tensión (externa) aplicada, V_G :

$$V_G = \phi_{SB} + \frac{Q_G}{C_{ox}}$$

- Vaciamiento e inversión débil ($0 \leq \phi_{SB} \leq 2\phi_F$): $V_G = \phi_{SB} + \frac{\epsilon_s d_{ox}}{\epsilon_{ox}} \sqrt{\frac{2qN_A}{\epsilon_s} \phi_{SB}}$
- Inversión fuerte ($\phi_{SB} \geq 2\phi_F$): tensión umbral $\equiv V_t = 2\phi_F + \frac{\epsilon_s d_{ox}}{\epsilon_{ox}} \sqrt{\frac{4qN_A}{\epsilon_s} \phi_F}$

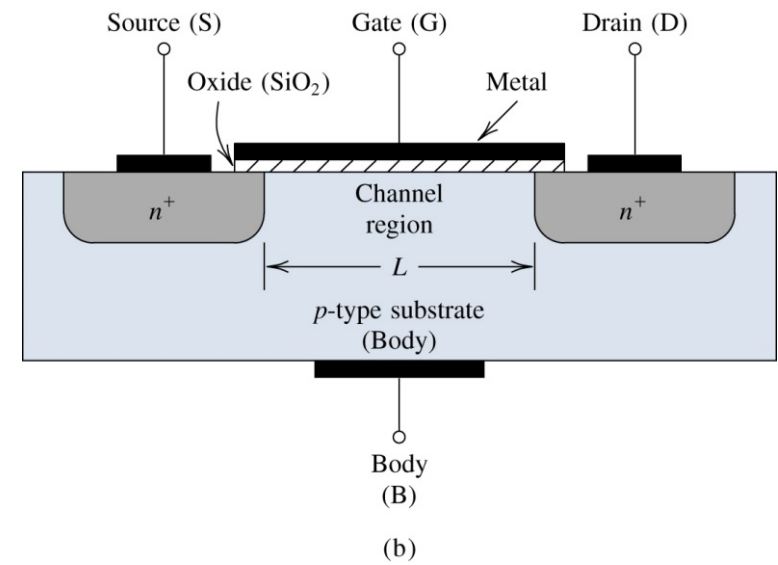
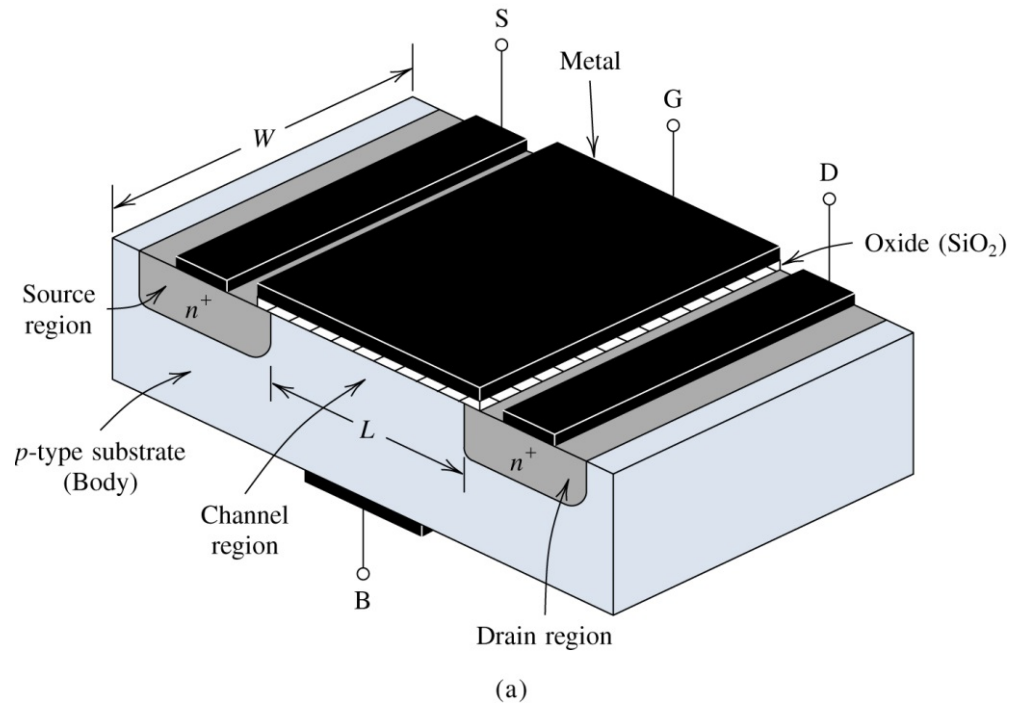


ESQUEMA DE UN TRANSISTOR NMOS

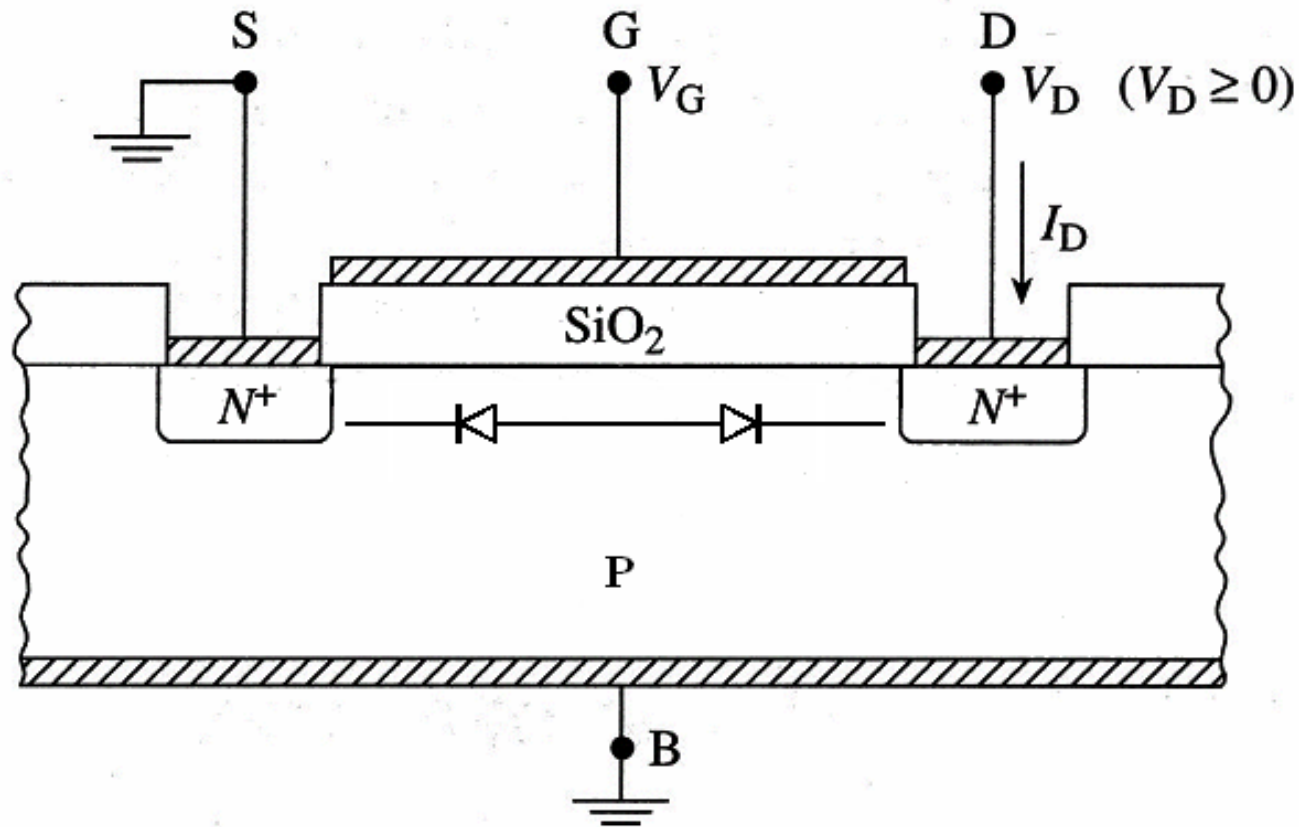


SiO₂ Gate Oxide
(Good insulator, $\epsilon_{ox} = 3.9\epsilon_0$)

ESQUEMA DE UN TRANSISTOR NMOS



POLARIZACIÓN DEL TRANSISTOR NMOS



Con $V_G = 0$ no puede establecerse corriente en el canal entre D y S, debido a la doble unión PN en contraposición: drenador-canal, canal-fuente

POLARIZACIÓN DEL TRANSISTOR NMOS

$$V_{GS} > V_t$$

$$V_{DS} \approx 0$$

$$V_{GS} > V_{GD} > V_t$$

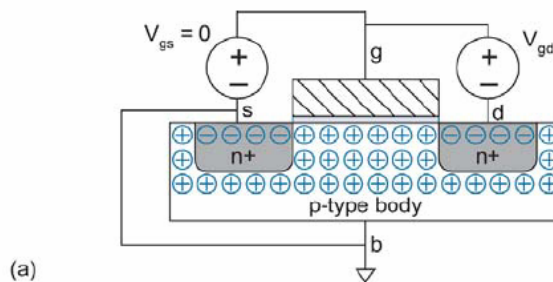
$$0 < V_{DS} \leq V_{GS} - V_t$$

$$V_{GS} > V_t$$

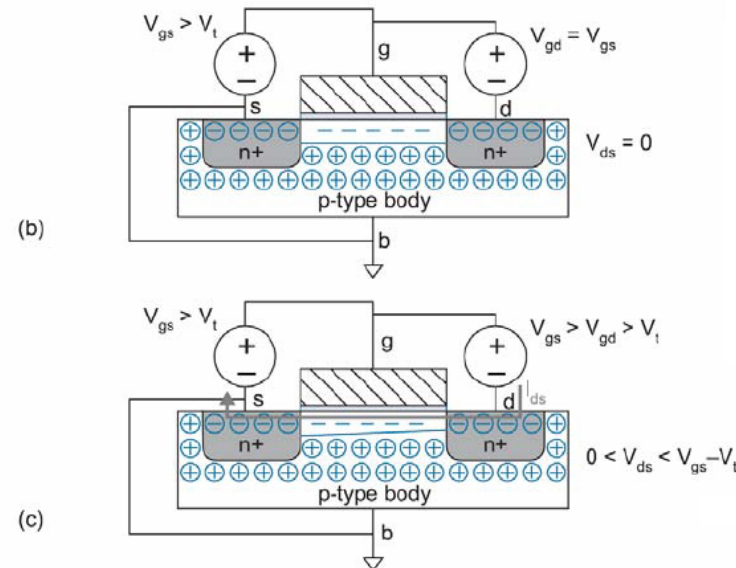
$$V_{GD} < V_t$$

$$V_{DS} \geq V_{GS} - V_t$$

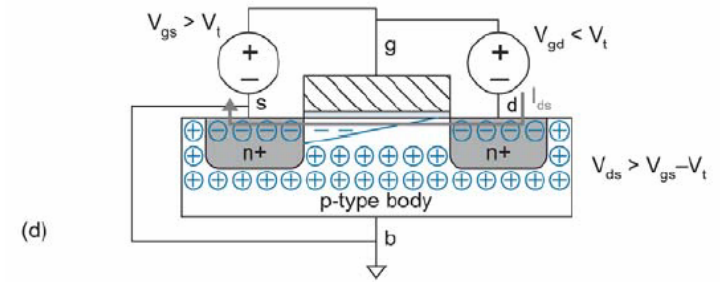
$$0 \leq V_{GS} \leq V_t$$



(a) En corte

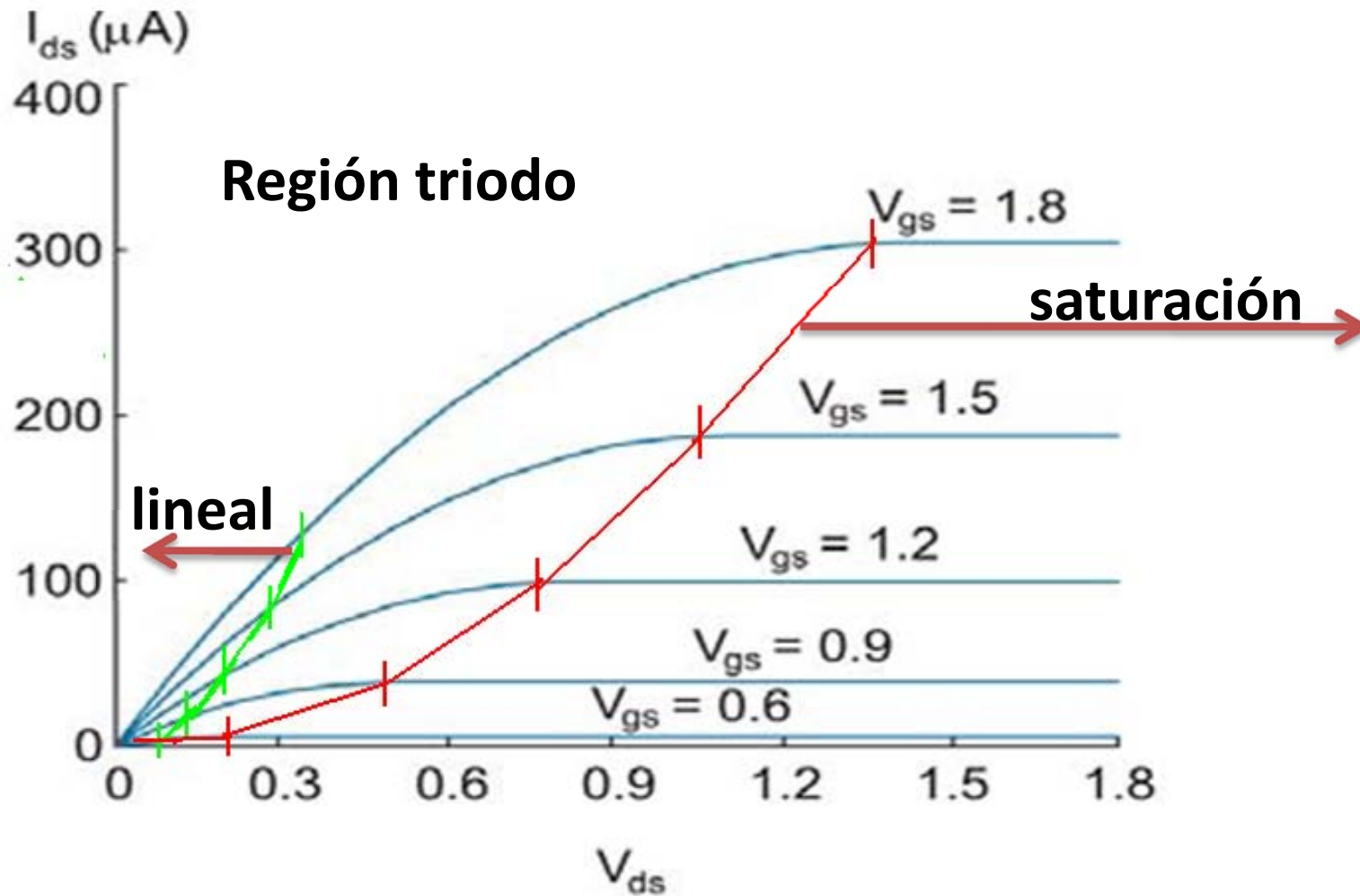


(b) y (c)
En la región lineal



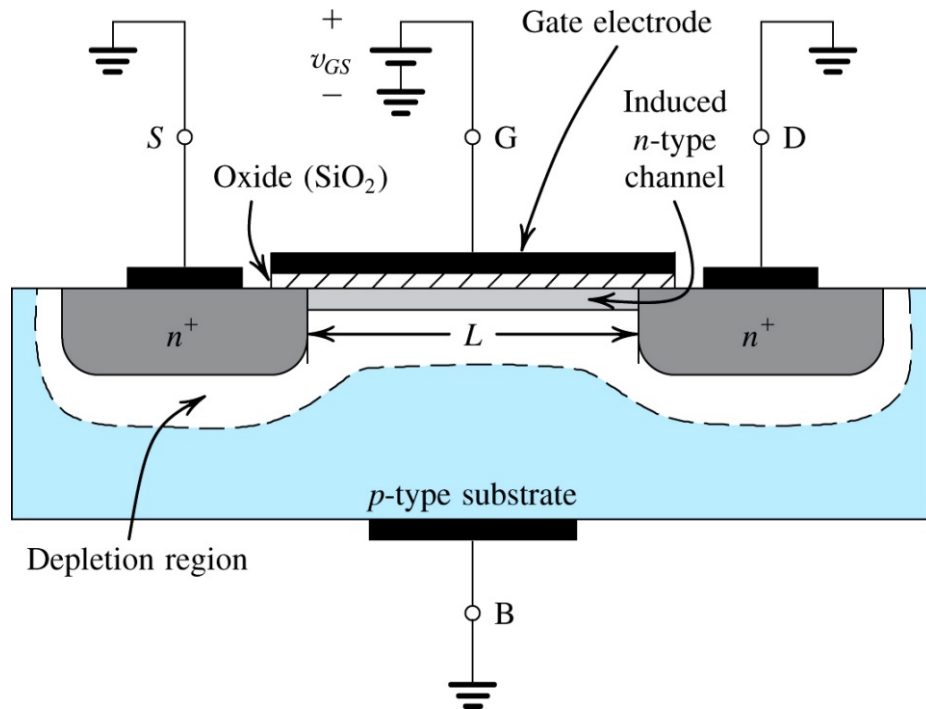
(d) En saturación

CARACTERÍSTICAS I-V NMOS



Tensión umbral:
$$V_t = 2\phi_F + \frac{\epsilon_s d_{ox}}{\epsilon_{ox}} \sqrt{\frac{4qN_A}{\epsilon_s}} \phi_F$$

TRANSISTOR NMOS EN CORTE



$V_t \equiv$ tensión umbral para la formación del canal $\Rightarrow$

- Carga (electrones) en el canal:

$$|Q| = C_{ox}(WL)(v_{GS} - V_t)$$

donde:

$$C_{ox} = \varepsilon_{ox}/d_{ox}$$

siendo:

**$C_{ox} \equiv$ capacidad del óxido de puerta
(por unidad de área)**

$\varepsilon_{ox} \equiv$ cte. dieléctrica del óxido de puerta

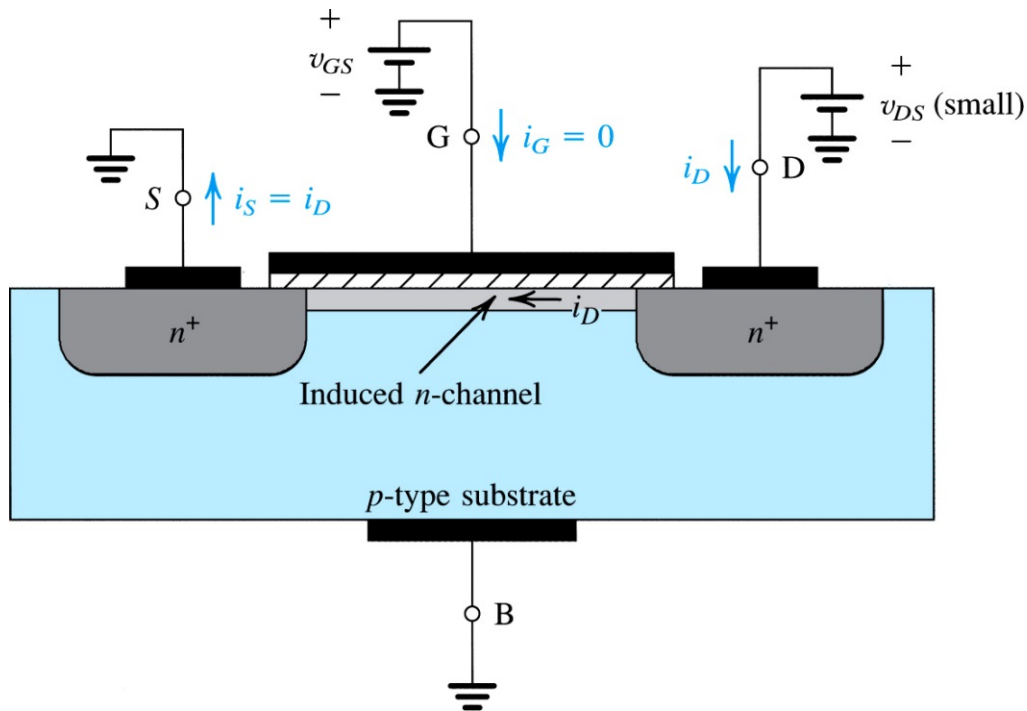
$d_{ox} \equiv$ espesor del óxido de puerta

- Carga (electrones) en el canal por unidad de longitud:

$$|Q|/L = C_{ox}W (v_{GS} - V_t)$$

TRANSISTOR NMOS EN LA ZONA LINEAL

(V_{DS} pequeña)



- Campo eléctrico en el canal:

$$|E| = v_{DS}/L$$

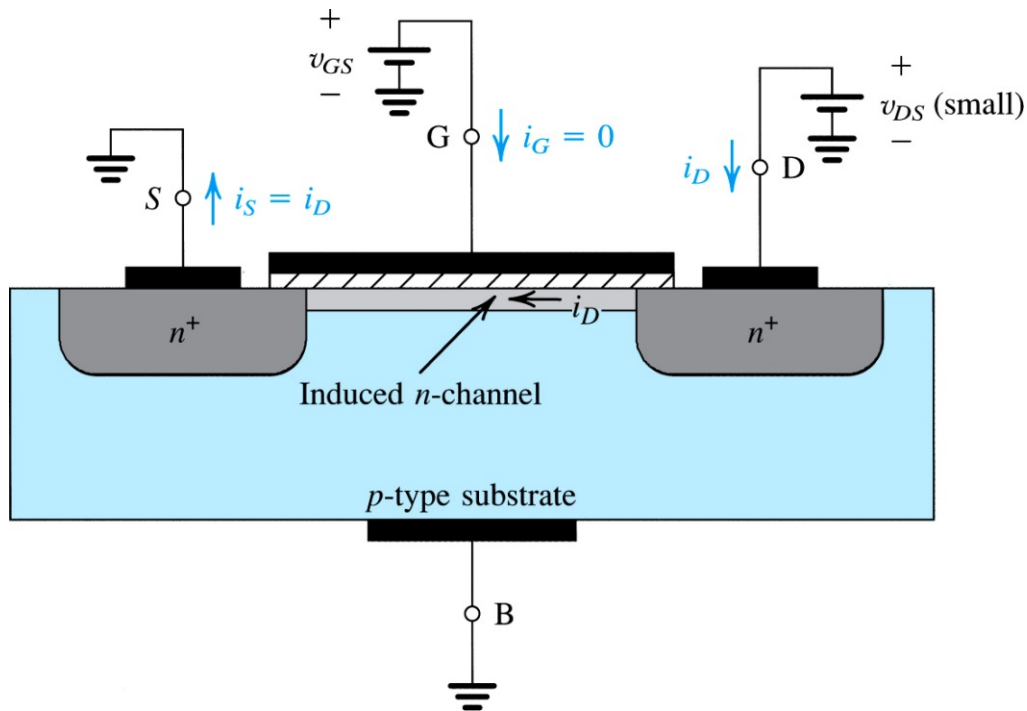
- Velocidad de arrastre de los electrones:

$$v_d = \mu_n |E| = \mu_n v_{DS}/L$$

- Corriente en el canal:

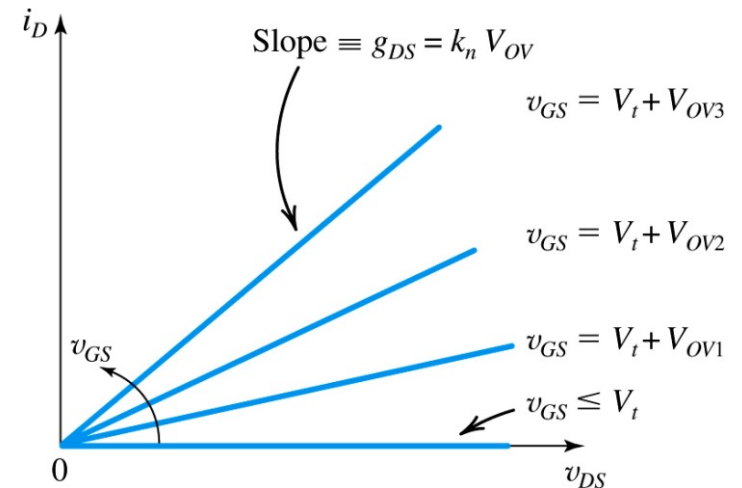
$$i_D = v_d |Q|/L = \mu_n C_{ox} (W/L) (v_{GS} - V_t) v_{DS}$$

TRANSISTOR NMOS EN LA ZONA LINEAL



(V_{DS} pequeña)

$$v_{GS} - V_t = V_{OV}$$



- Corriente en el canal:

$$i_D = \mu_n C_{ox} (W/L) (v_{GS} - V_t) v_{DS}$$

- Conductancia del canal:

$$g_{DS} = \mu_n C_{ox} (W/L) (v_{GS} - V_t)$$

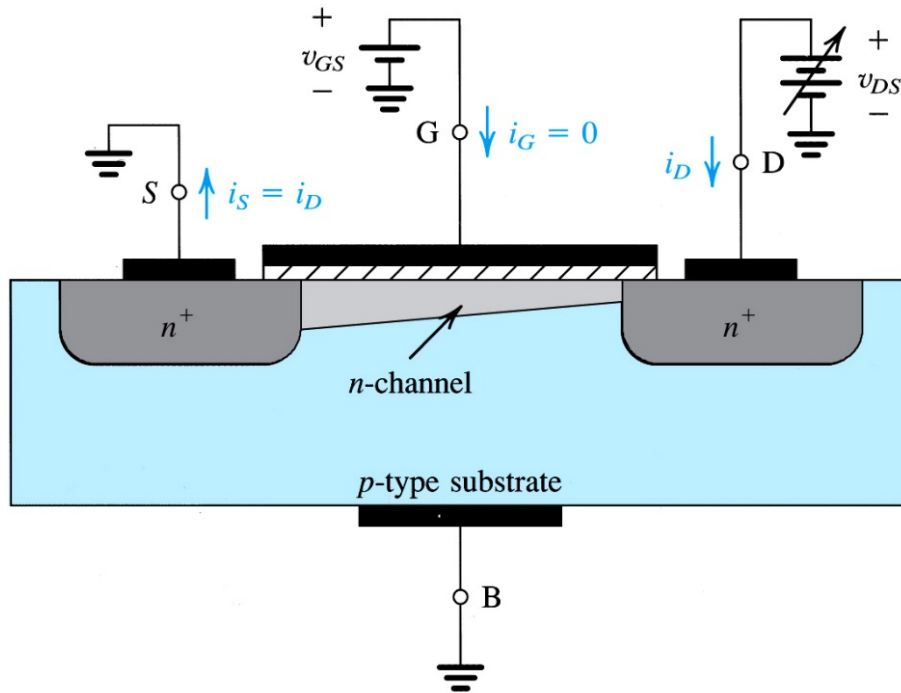
- Parámetro de transconductancia 'del proceso' (canal n):

$$k'_n = \mu_n C_{ox}$$

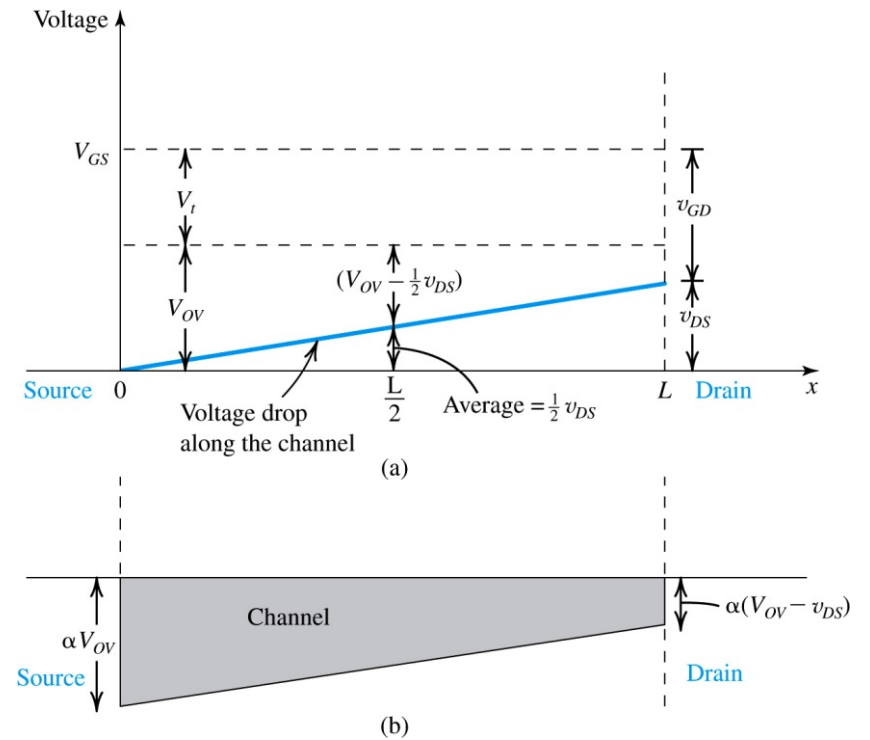
- Parámetro de transconductancia del MOSFET (canal n):

$$k_n = \mu_n C_{ox} (W/L)$$

TRANSISTOR NMOS EN LA ZONA LINEAL



(V_{DS} creciente)

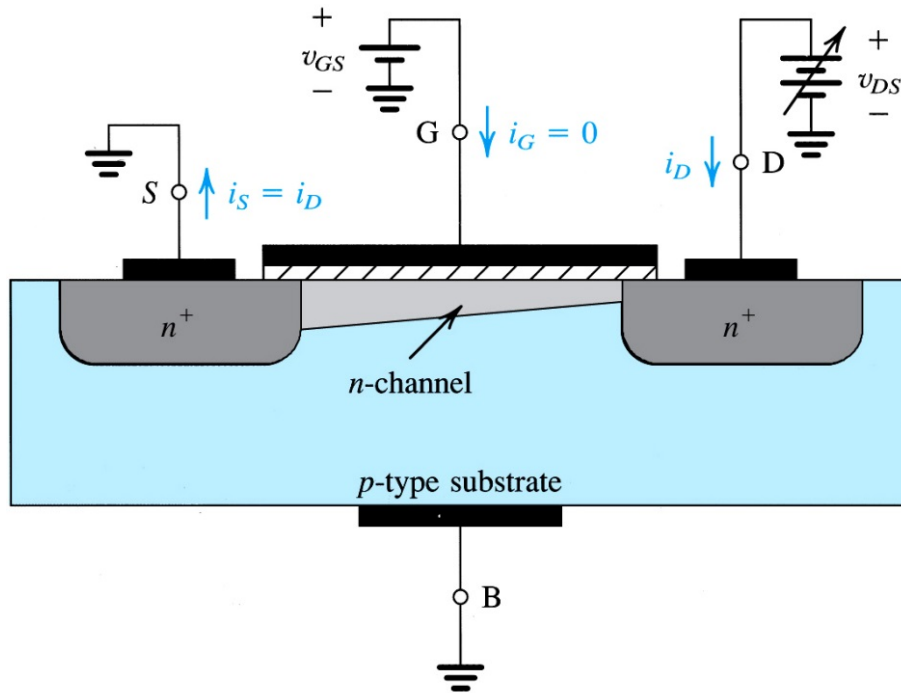


- Corriente de drenador:

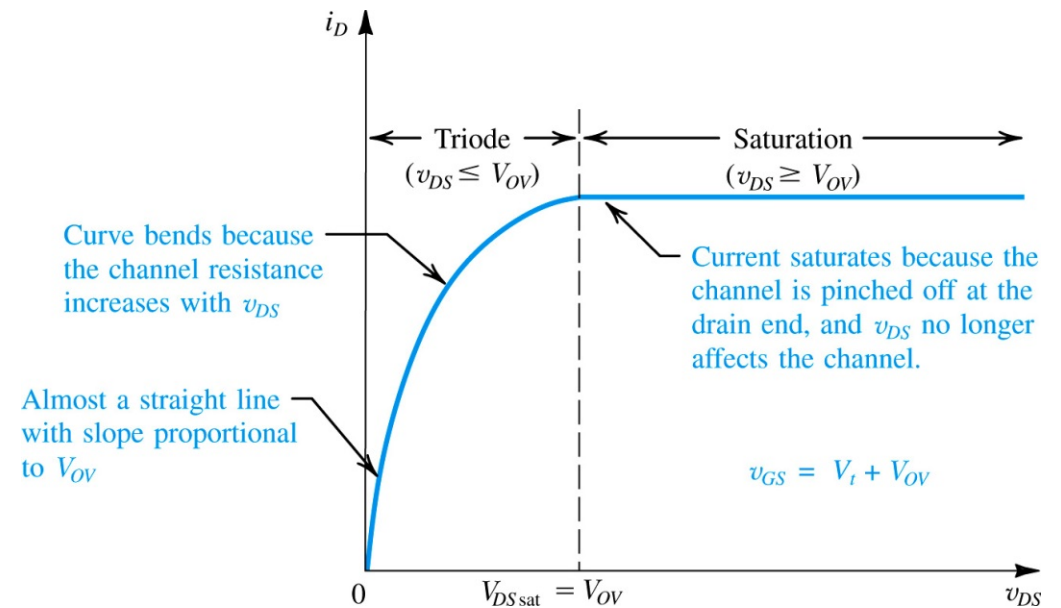
$$i_D = \mu_n C_{ox} (W/L) (v_{GS} - V_t - v_{DS}/2) v_{DS}$$

$$i_D = \mu_n C_{ox} (W/L) [(v_{GS} - V_t) v_{DS} - v_{DS}^2/2]$$

TRANSISTOR NMOS EN LA ZONA LINEAL



(V_{DS} creciente)

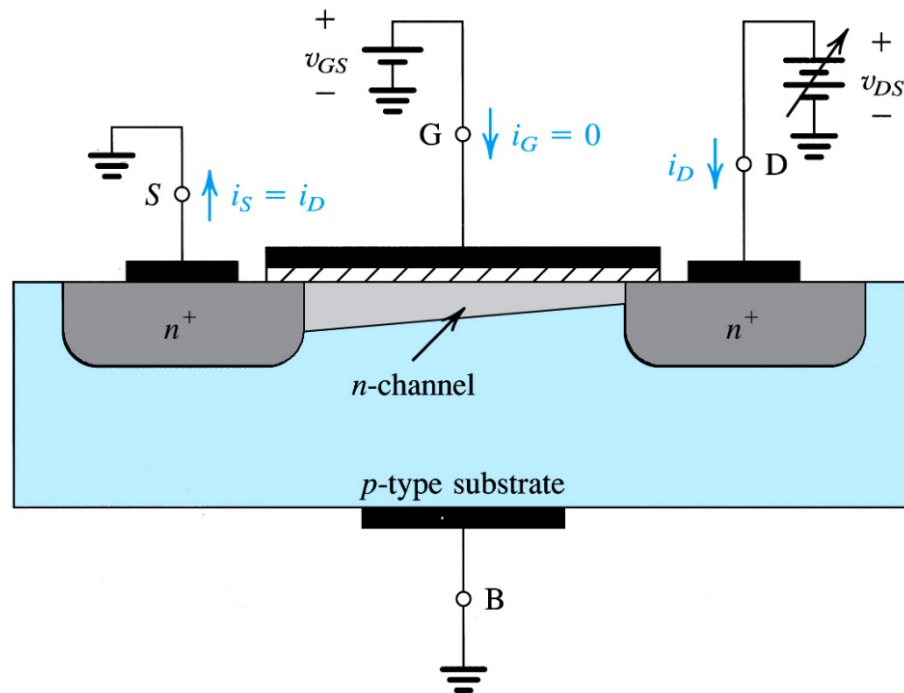


- Corriente de drenador:

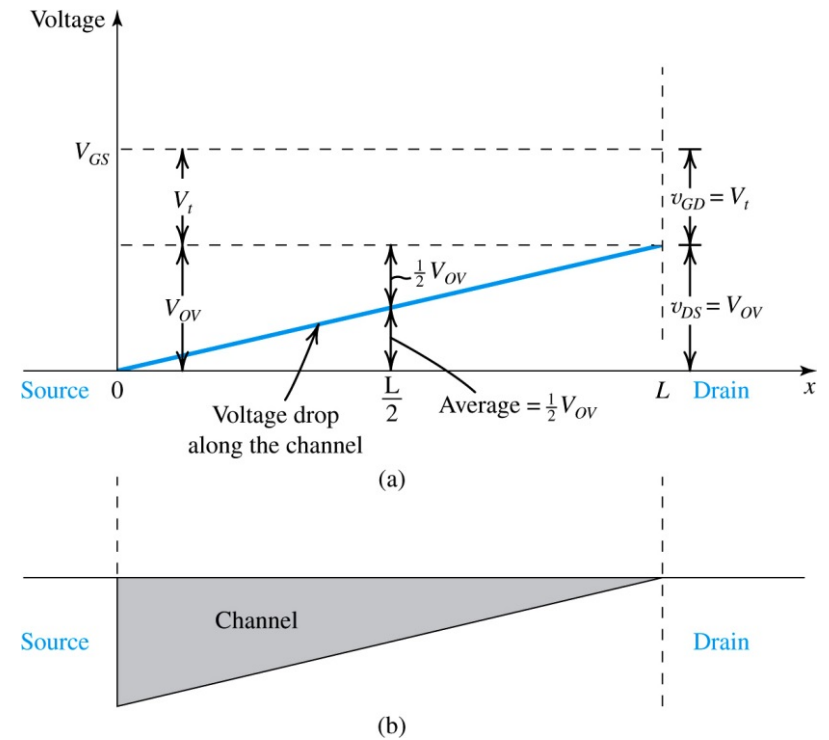
$$i_D = \mu_n C_{ox} (W/L) (v_{GS} - V_t - v_{DS}/2) v_{DS}$$

$$i_D = \mu_n C_{ox} (W/L) [(v_{GS} - V_t) v_{DS} - v_{DS}^2/2]$$

TRANSISTOR NMOS EN SATURACIÓN



$$(V_{DS} \geq V_{GS} - V_t)$$



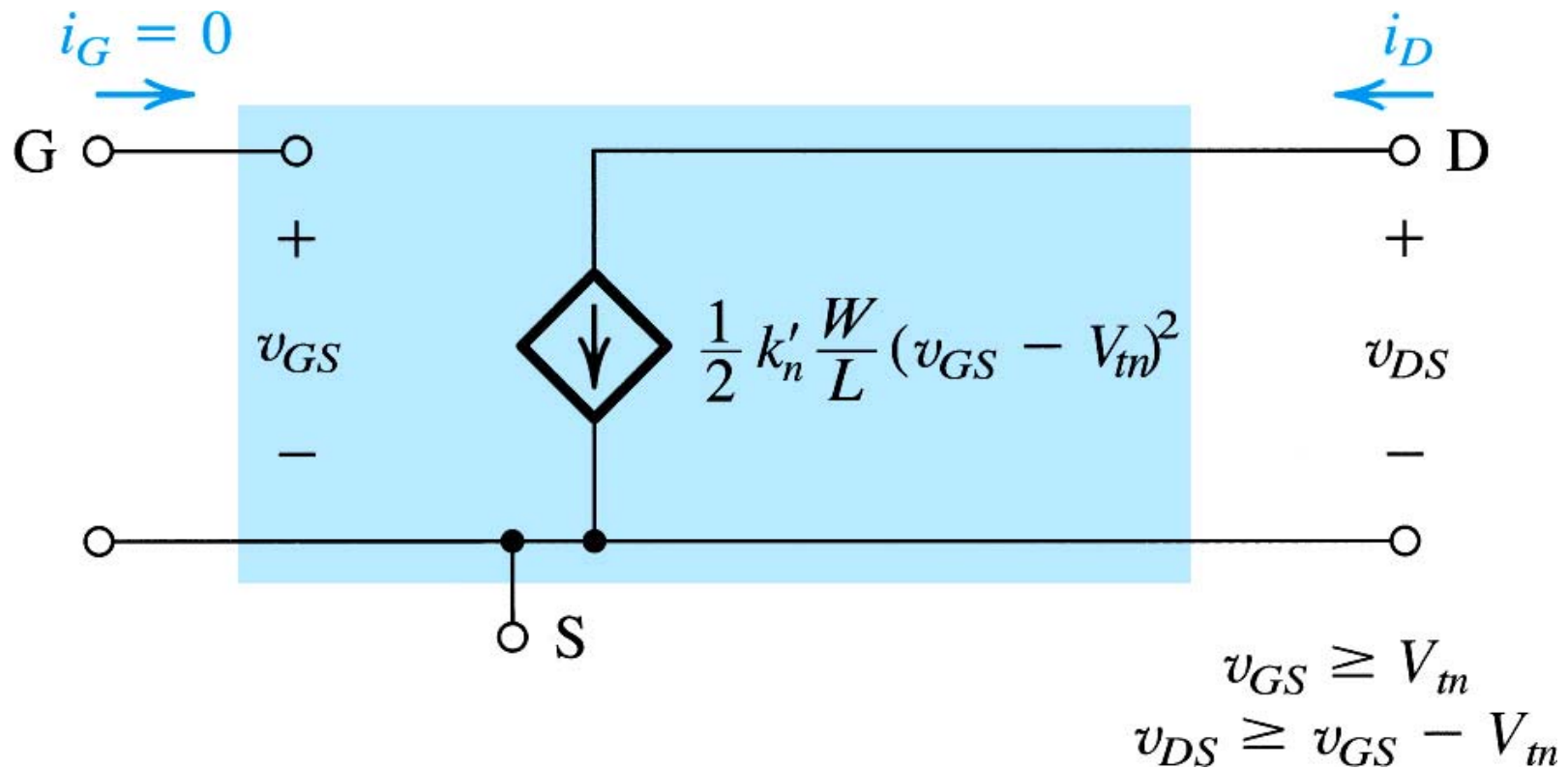
- Tensión de saturación:

$$v_{Dsat} = v_{GS} - V_t$$

- Corriente de saturación:

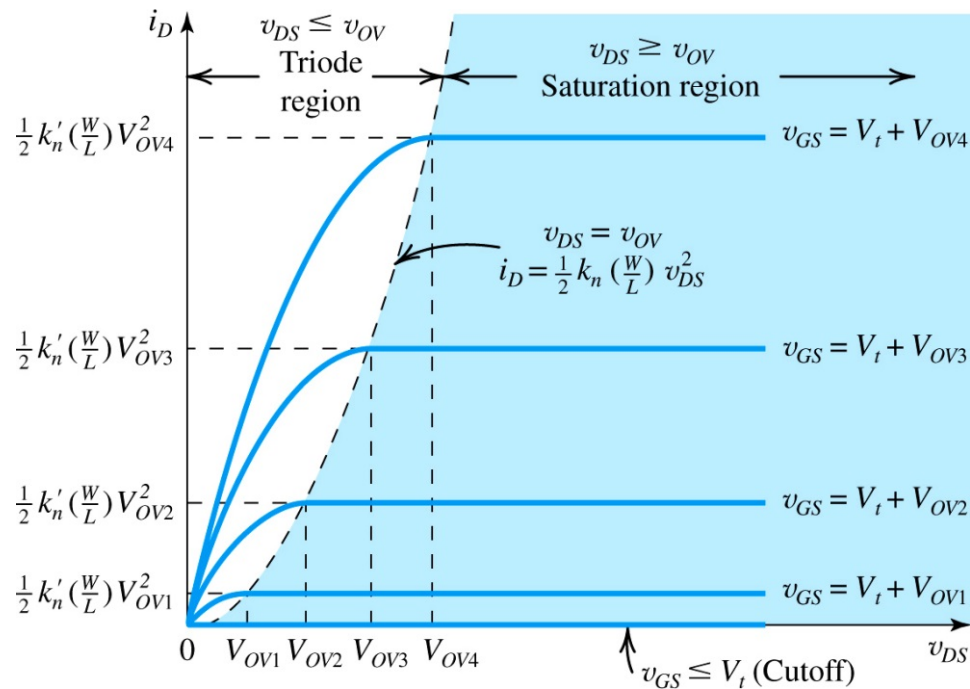
$$i_{Dsat} = \mu_n C_{ox} (W/L) [(v_{GS} - V_t)^2 / 2]$$

MODELO DE GRAN SEÑAL DEL NMOS (SATURACIÓN)

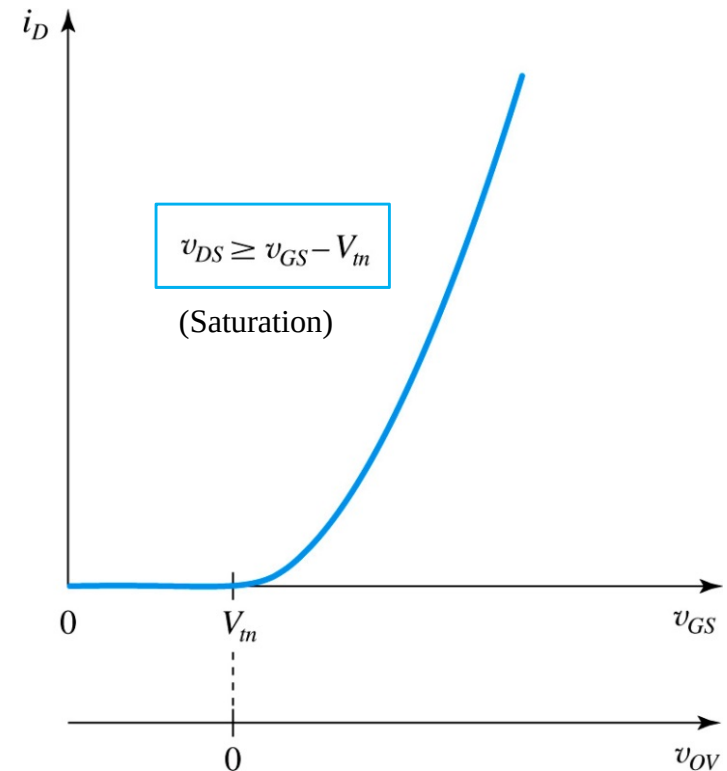


CARACTERÍSTICAS I-V DEL MOSFET DE CANAL-N (de enriquecimiento)

$I_D - V_{DS}$

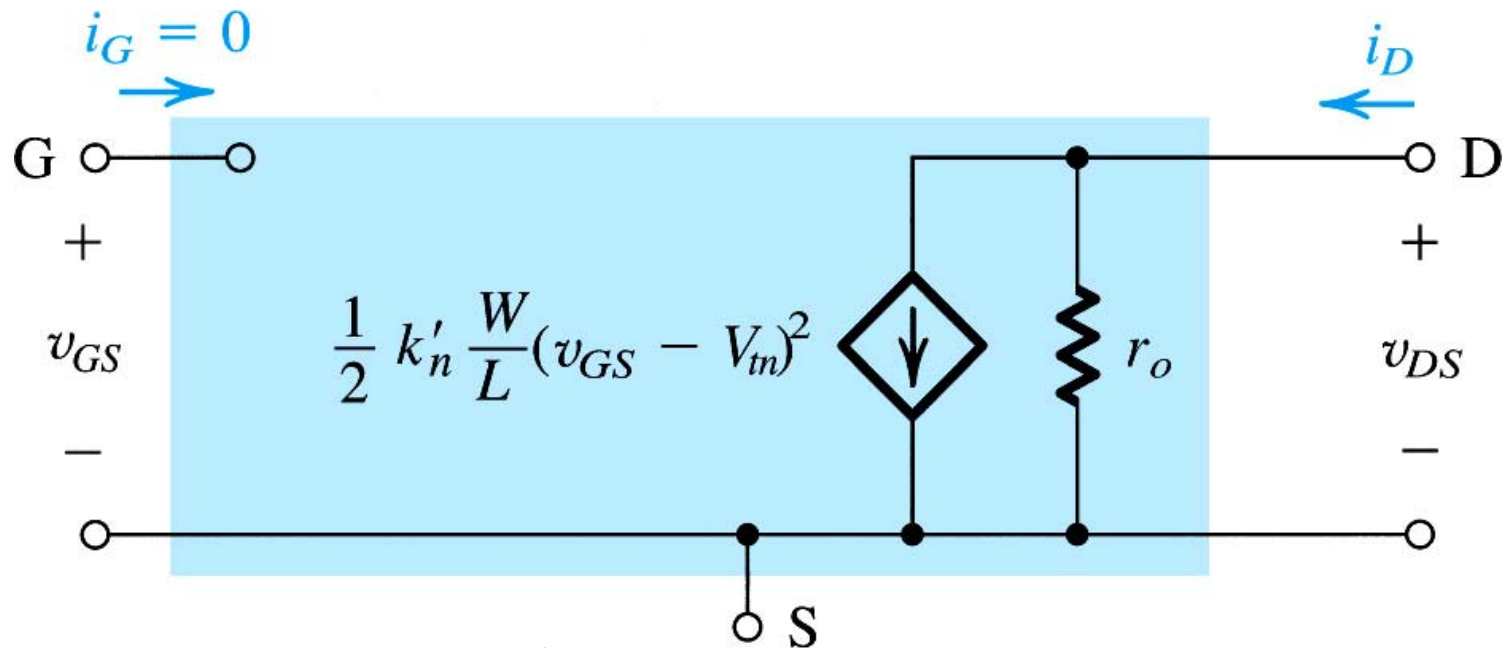


$I_D - V_{GS}$



$$v_{GS} - V_{tn} = V_{OV}$$

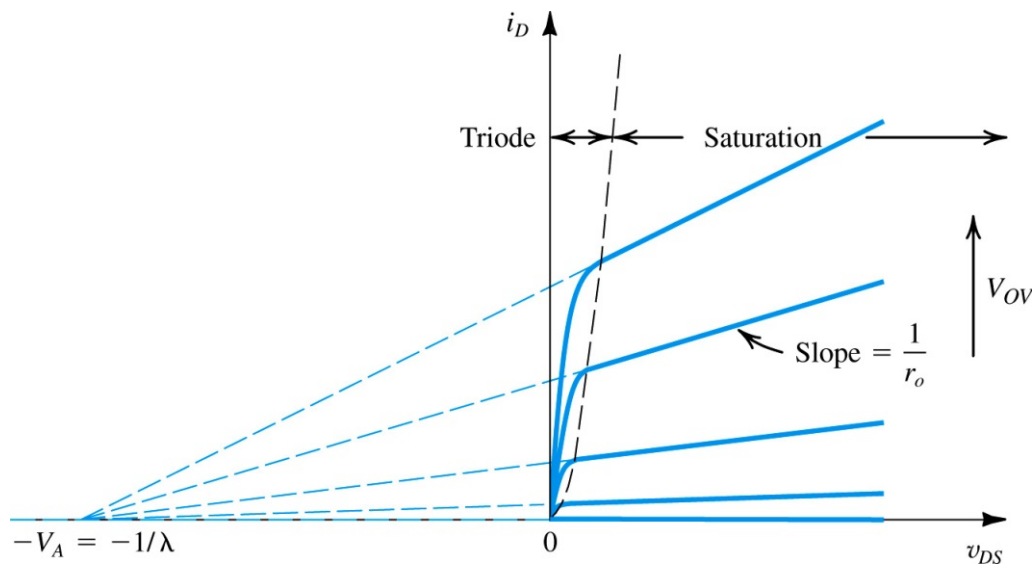
MODELO DE GRAN SEÑAL DEL NMOS (SATURACIÓN)



- Incorpora la resistencia de salida r_o debida a la modulación de la longitud del canal

MODELO DE GRAN SEÑAL DEL NMOS (SATURACIÓN)

- Resistencia de salida r_o debida a la modulación de la longitud del canal: $r_o = V_A / I_{Dsat}$



siendo I_D la corriente de saturación sin considerar el efecto de modulación:

$$I_{Dsat} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_t)^2$$

y V_A la tensión de Early.

MODELO DE GRAN SEÑAL DEL NMOS (SATURACIÓN)

Región de funcionamiento del NMOS de vaciamiento; siendo:

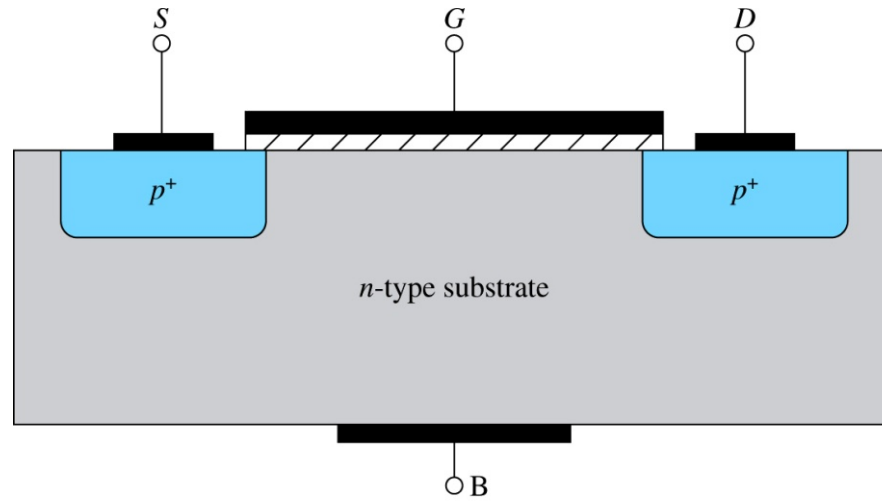
$$v_{Dsat} = v_{GS} - V_t$$

- NO saturado:	$v_{GS} > V_t$	$i_D = \mu_n C_{ox}(W/L)[(v_{GS} - V_t)v_{DS} - v_{DS}^2/2]$
	$v_{GD} > V_t$	$v_{DS} < v_{Dsat}$
		$(i_G = 0)$

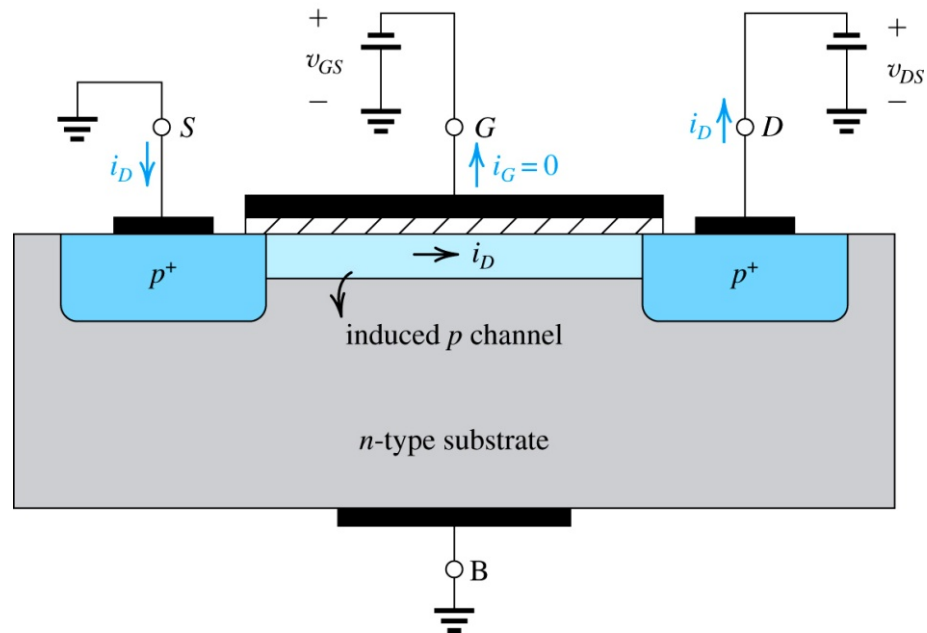
- Saturado:	$v_{GS} > V_t$	$i_{Dsat} = \mu_n C_{ox}(W/L)[(v_{GS} - V_t)^2/2]$
	$v_{GD} < V_t$	$v_{DS} > v_{Dsat}$
		$(i_G = 0)$

- Corte:	$v_{GS} < V_t$	$i_D = 0$
		$(i_G = 0)$

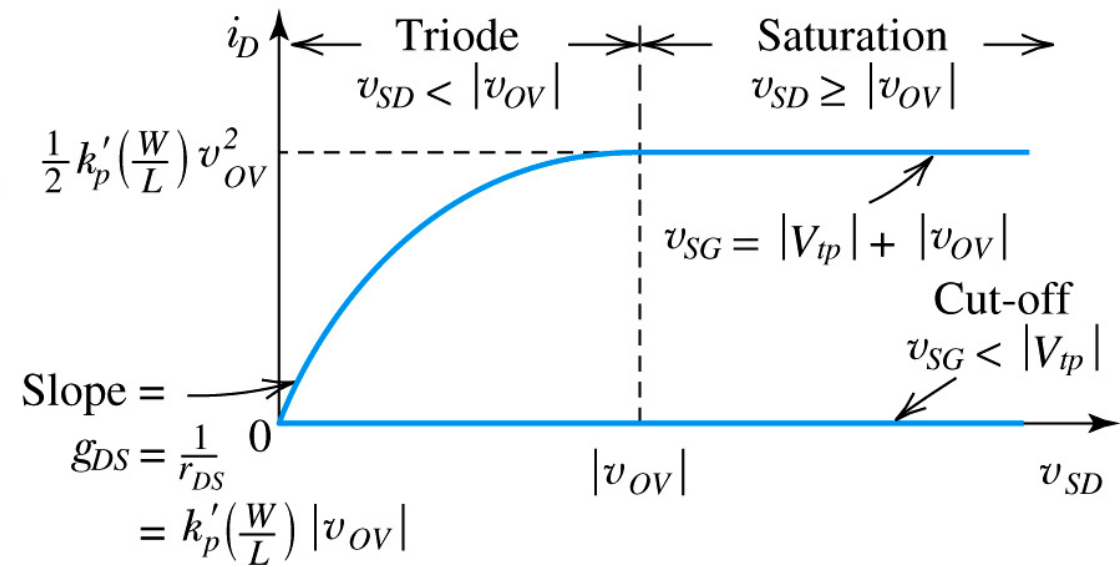
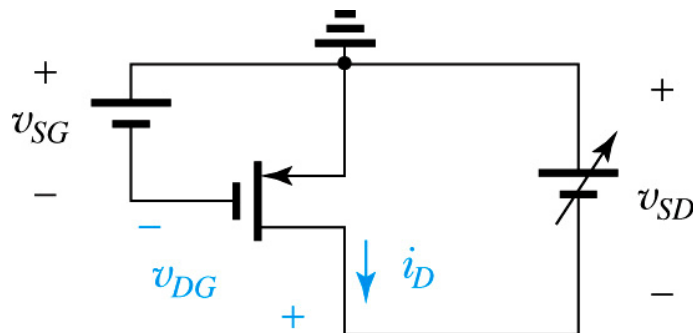
TRANSISTOR PMOS



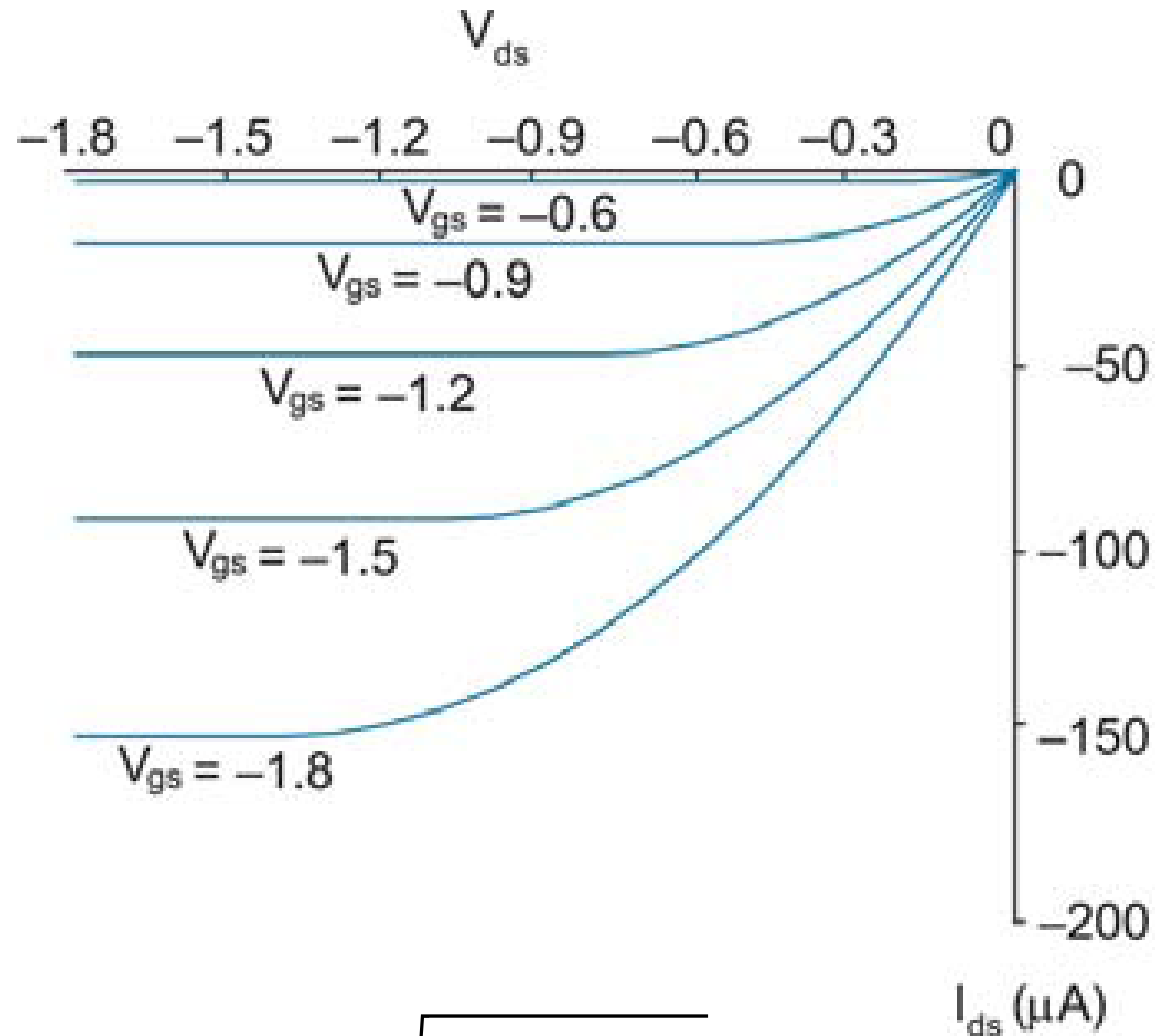
(a)



CARACTERÍSTICAS I-V PMOS

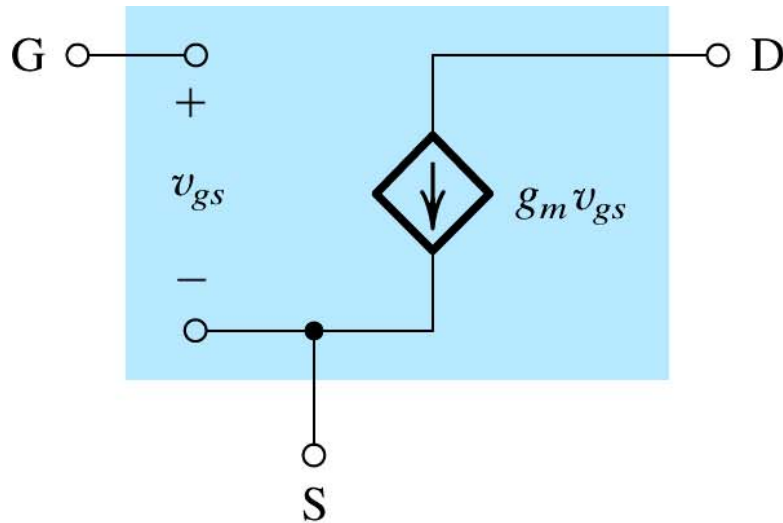


CARACTERÍSTICAS I-V PMOS

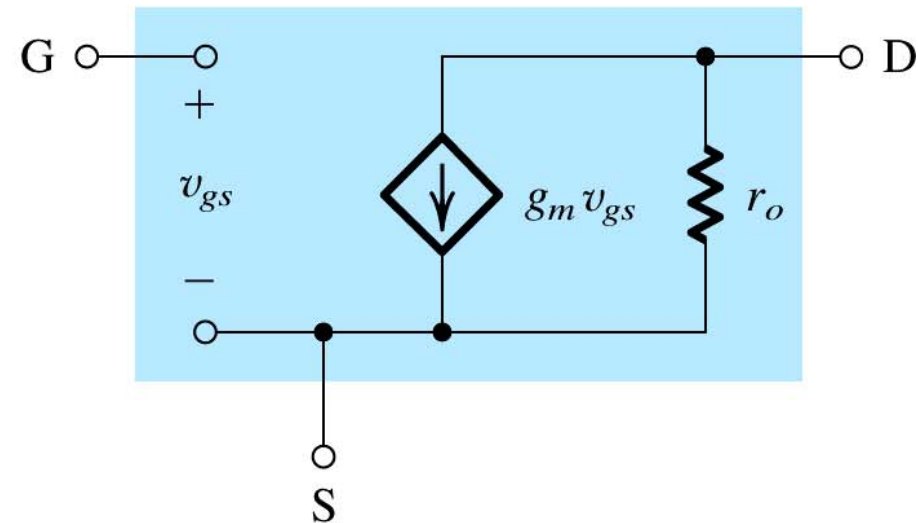


Tensión umbral:
$$V_t = 2\phi_F - \frac{\epsilon_s d_{ox}}{\epsilon_{ox}} \sqrt{\frac{4qN_D}{\epsilon_s}} (-\phi_F)$$

MODELOS DE PEQUEÑA SEÑAL DEL MOSFET (en saturación)



(a)



(b)

Sin incluir (a) e incluyendo (b) el efecto de la modulación de la longitud del canal

- Siendo r_o la resistencia de salida debida a la modulación de la longitud del canal:

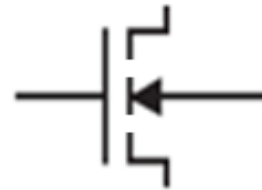
$$r_o = V_A / I_D$$

- Y g_m la transconductancia del MOSFET en saturación (conductancia del canal):

$$g_m = \mu_n C_{ox} (W/L) (v_{GS} - V_t)$$

SÍMBOLOS (MOSFET DE ENRIQUECIMIENTO)

NMOS

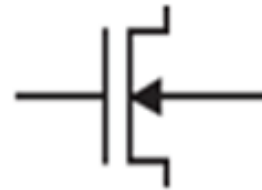


PMOS



SÍMBOLOS (MOSFET DE VACIAMIENTO)

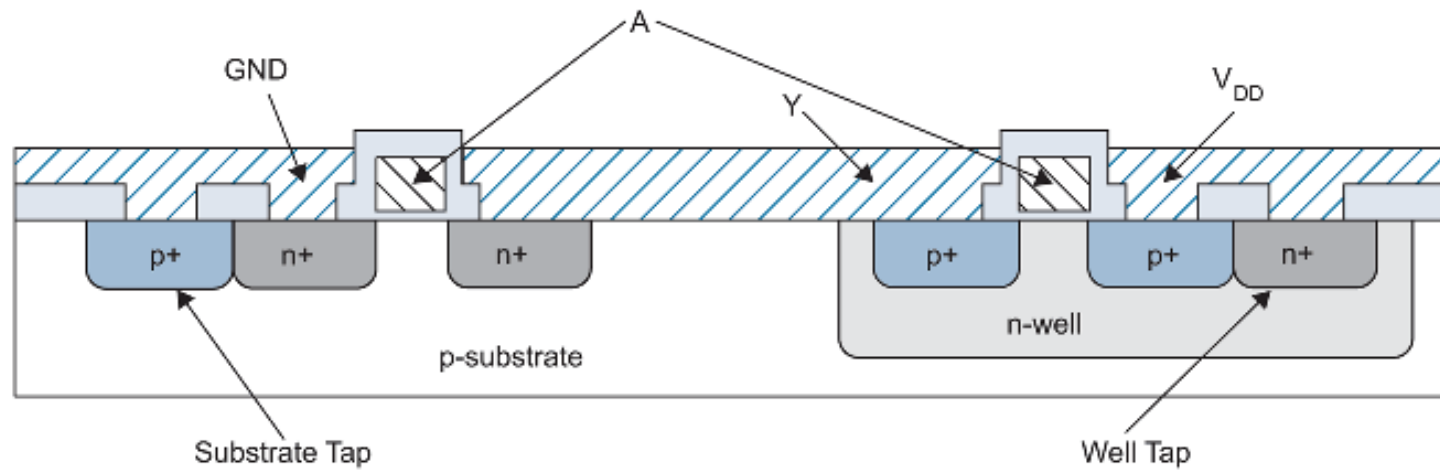
NMOS



PMOS



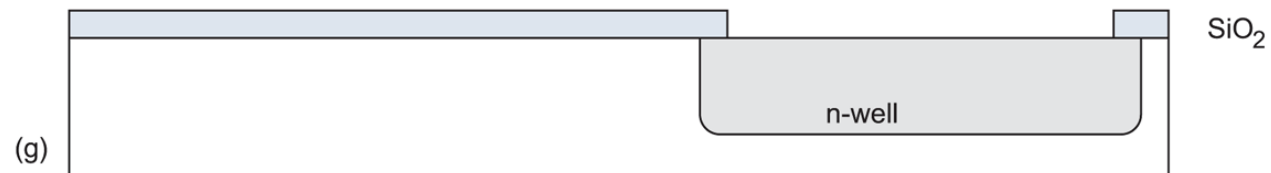
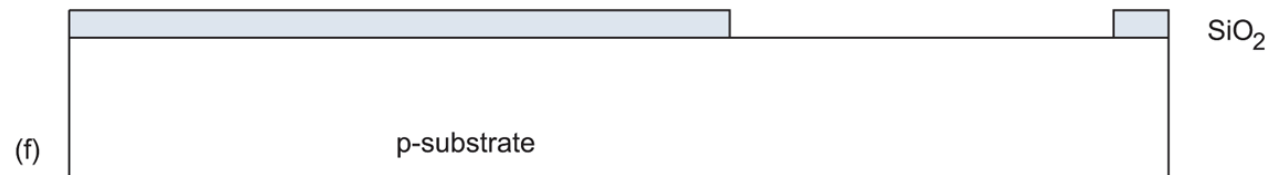
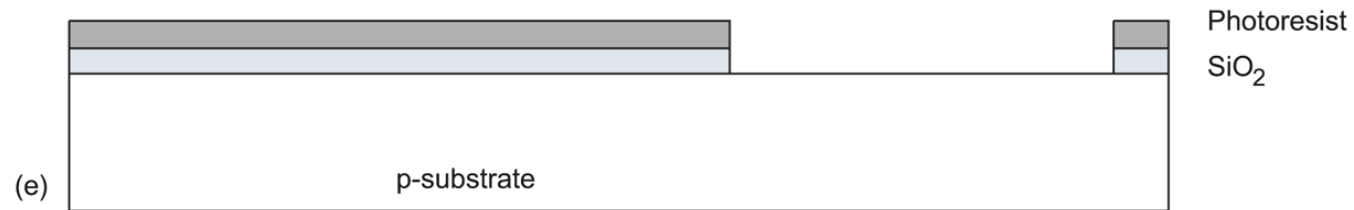
TECNOLOGÍA CMOS



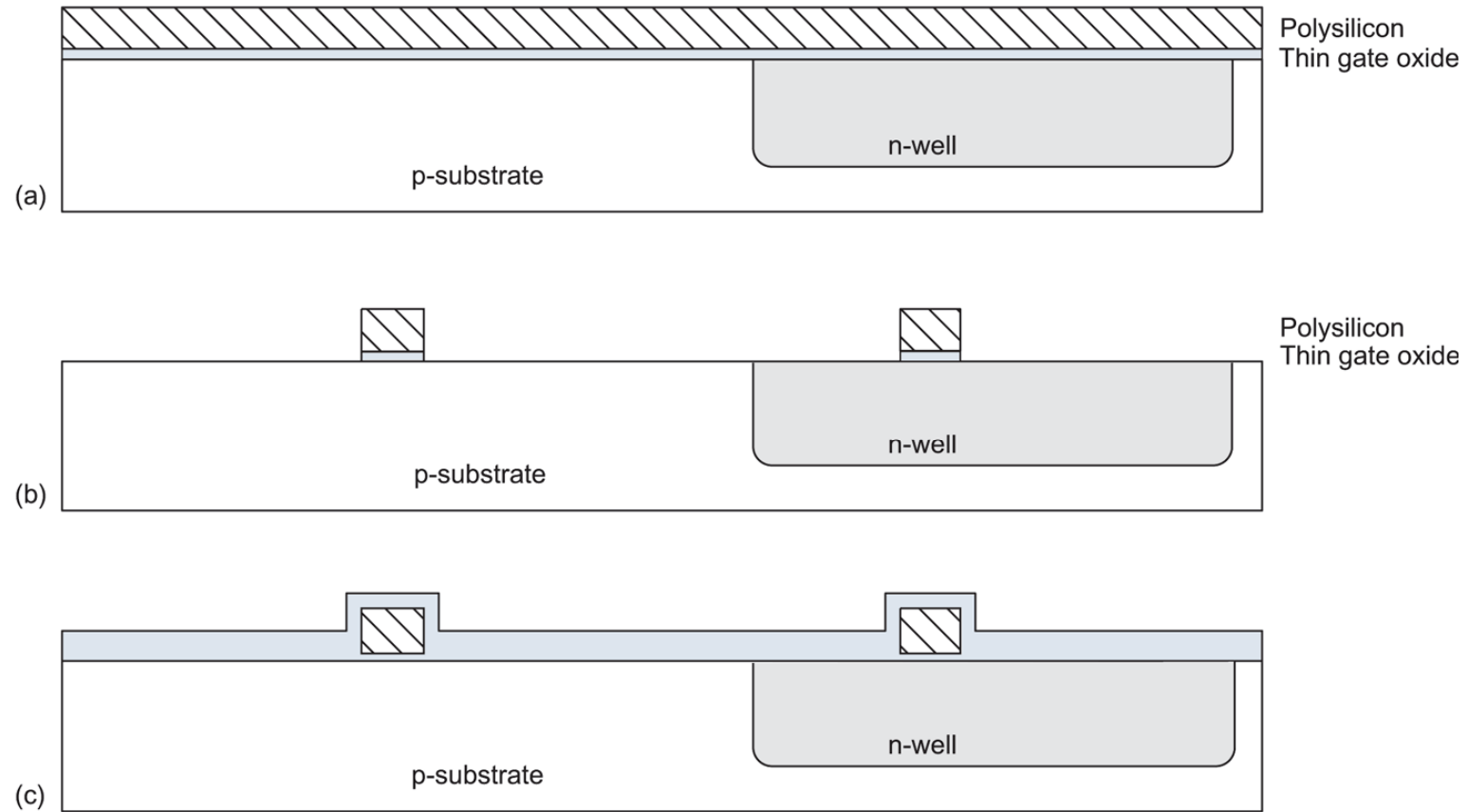
PROCESO CMOS (1)



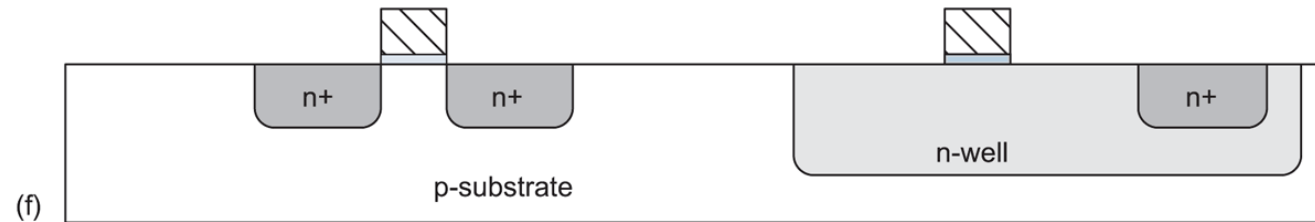
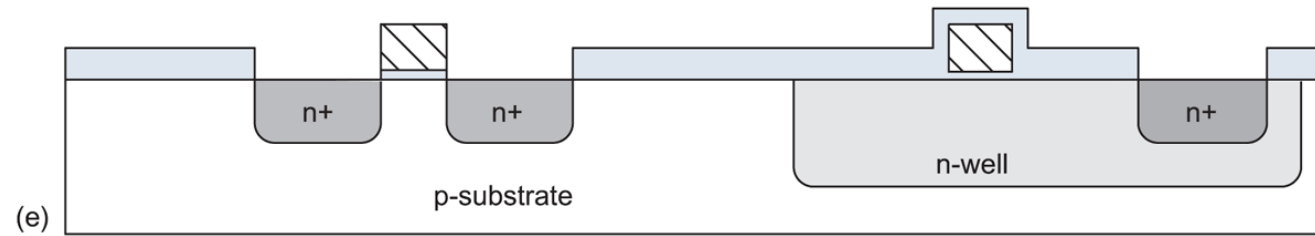
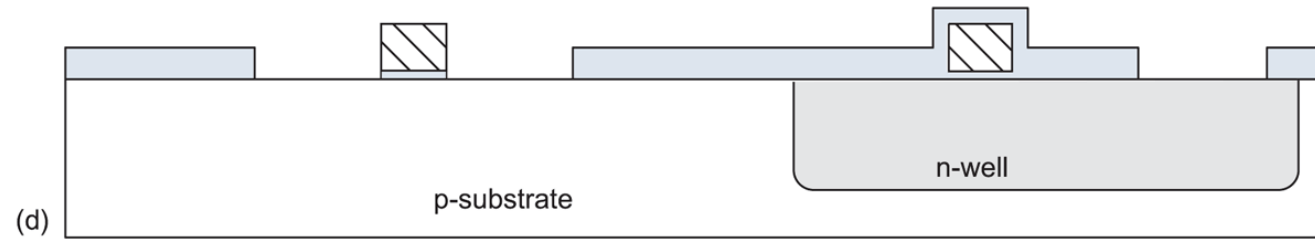
PROCESO CMOS (2)



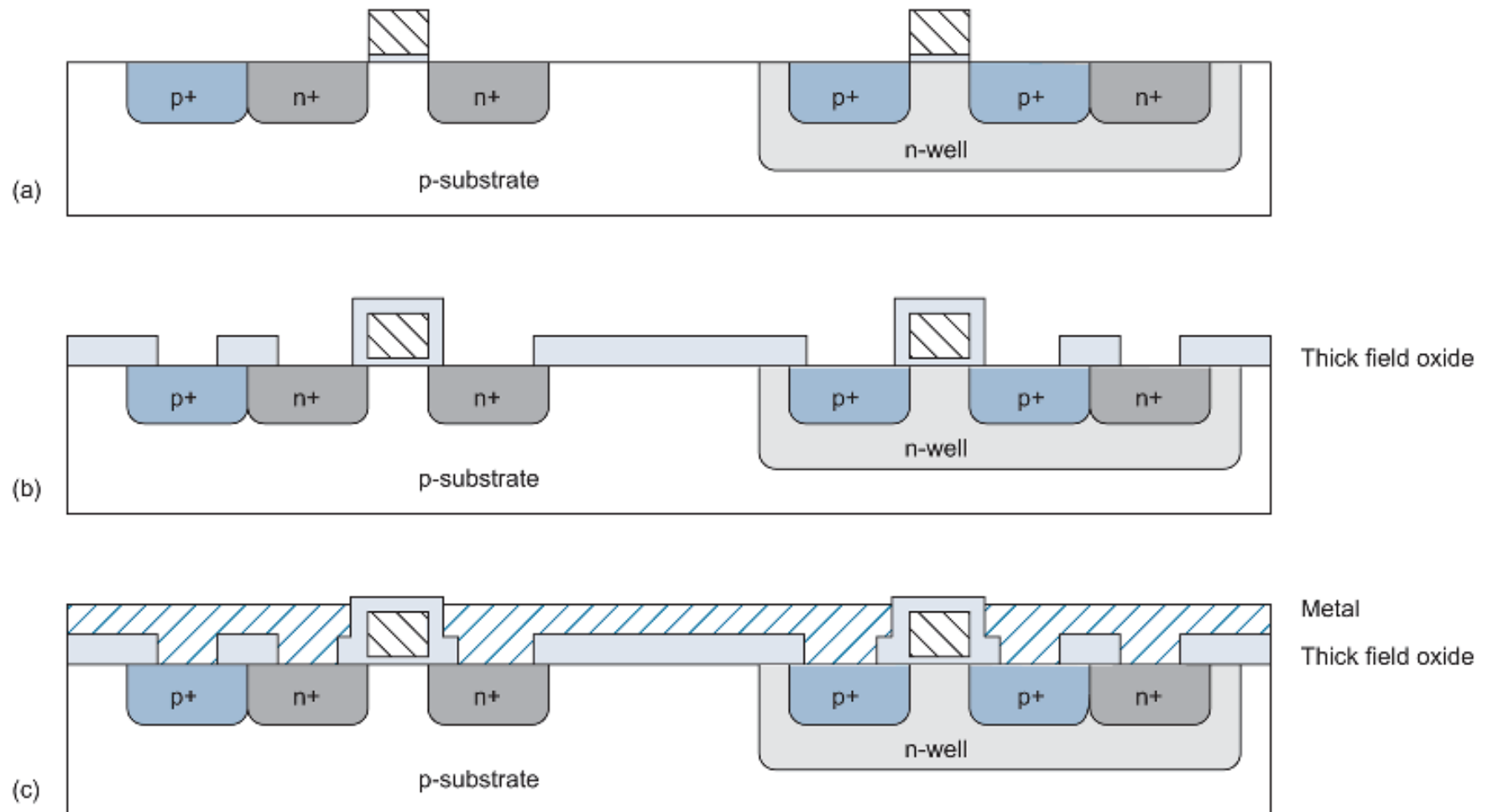
PROCESO CMOS (3)



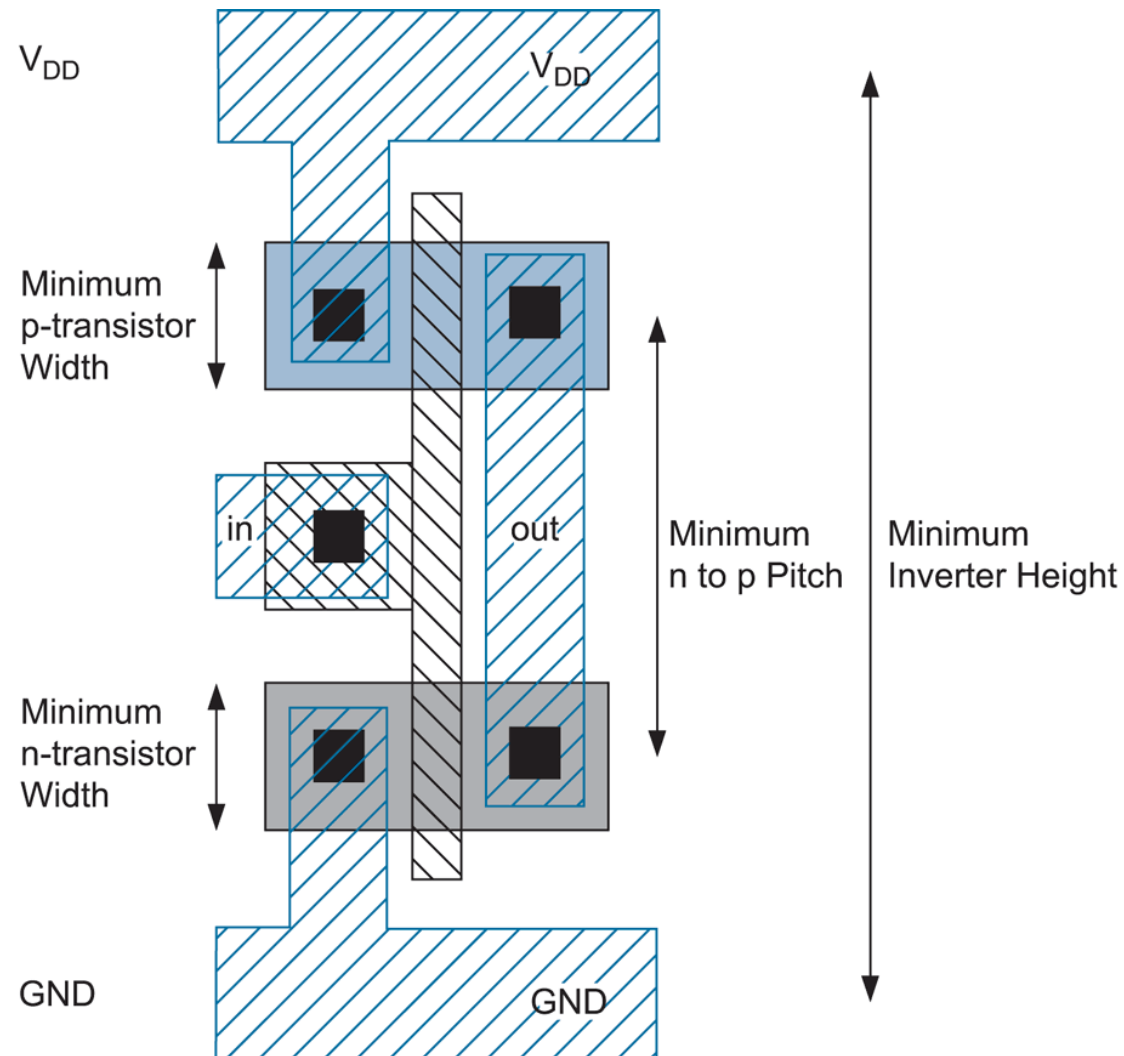
PROCESO CMOS (4)



PROCESO CMOS (5)



INVERTOR CMOS: VISTA SUPERIOR



INVERTOR CMOS

