

Asignatura: Electrónica y regulación automática (Electrónica)
Especialidad: Química, Materiales, Fabricación,
 Organización, Máquinas, Construcción, Ing. Química
Publicación de notas (preacta): 22/06/2011
Duración del examen: 2 horas

Fecha: 9/06/2011
Convocatoria: Junio
Revisión: 28/06/2011 a las 16:00h

EJERCICIO 1. (3 puntos)

Se dispone de una etapa amplificadora conectada a una resistencia de carga R_L de valor $1K\Omega$ en paralelo con un condensador C_L .

Se desea conocer las características de la etapa amplificadora mediante los siguientes componentes de laboratorio:

1. Un generador de tensión alterna U_g , de valor pico a pico $500mV$ a circuito abierto (no regulable), con frecuencia de salida variable entre 0 y $200KHz$, y resistencia de salida R_g de valor 100Ω .
2. Voltímetros, frecuencímetros, etc
3. Un bloque de realimentación de ganancia β desconocida

Con estos elementos, se realizan las pruebas que se indican a continuación:

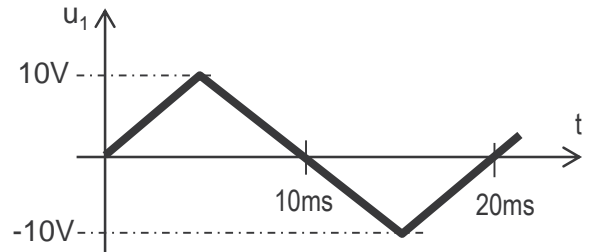
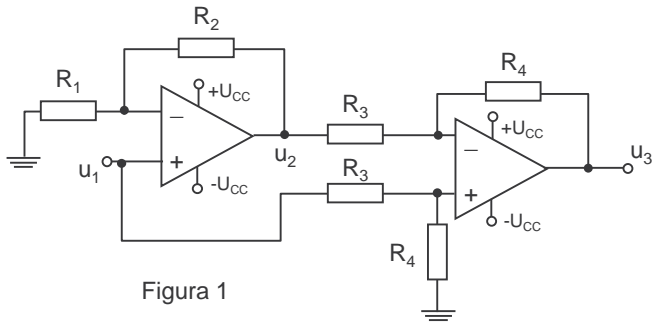
- 1) Se aplica el generador de tensión a la etapa amplificadora, a frecuencias medias, obteniéndose una tensión de salida de $5V$ a circuito abierto y $2,5V$ con la carga R_L .
- 2) Se va subiendo la frecuencia del generador de señal desde frecuencias medias y se observa que el amplificador (no realimentado) baja su ganancia en $3dB$ a la frecuencia de $30KHz$.
- 3) Se realimenta la etapa amplificadora (tensión en serie) y se comprueba ahora que al hacer la misma operación que en el apartado 2, la ganancia baja en $3dB$ a la frecuencia de $60KHz$.
- 4) Se mide la resistencia de entrada del montaje realimentado y resulta ser 600Ω .

Se pide:

- a) Resistencia de salida R_o del amplificador sin realimentar
- b) Cálculo del valor del condensador en carga C_L (se considera el condensador parásito equivalente C_p despreciable) que justifique el comportamiento en frecuencia de la prueba 2.
- c) Valor del factor de realimentación β del bloque de realimentación.
- d) Resistencia de entrada del amplificador sin realimentar.
- e) Ganancia de tensión a circuito abierto A_{uo} del amplificador sin realimentar, a frecuencias medias, calculada respecto de la entrada de la etapa amplificadora U_1 y no de la tensión del generador U_g .
- f) Ganancia de tensión en carga A_u del amplificador sin realimentar, a frecuencias medias, calculada respecto de la entrada de la etapa amplificadora U_1 y no de la tensión del generador U_g .
- g) Resistencia de salida del amplificador realimentado.
- h) Ganancia de tensión a circuito abierto A'_{uo} del amplificador realimentado, a frecuencias medias.
- i) Ganancia de tensión en carga A'_u del amplificador realimentado, a frecuencias medias.

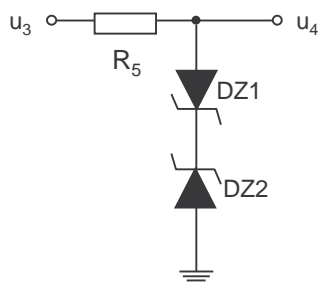
EJERCICIO 2. (3 puntos)

a) Para el circuito de la figura 1, dibujar las formas de onda de las señales u_2 y u_3 , siendo la señal u_1 la indicada en la figura 2.



Datos: AO ideales $R_1=1k\Omega$ $R_2=2k\Omega$ $R_3=1k\Omega$ $R_4=5k\Omega$ $\pm U_{CC} = \pm 15V$

b) La salida u_3 del circuito anterior se conecta al circuito siguiente. Dibujar la evolución de u_4 .

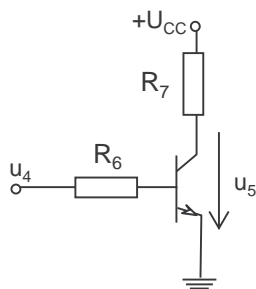


Datos: DZ1, DZ2: ideales

$U_Z = 3V$

$R_5 = 10\Omega$

c) La nueva señal u_4 se conecta con el circuito siguiente. Dibujar la evolución de u_5 .



Datos: Transistor ideal

$\beta = 10$

$R_6 = 2k\Omega$

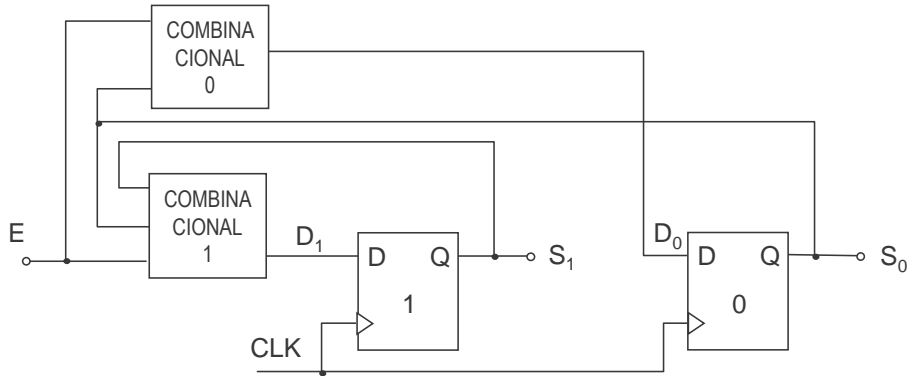
$R_7 = 1,5k\Omega$

$U_{CC} = 15V$

En todos los casos, justifique su respuesta.

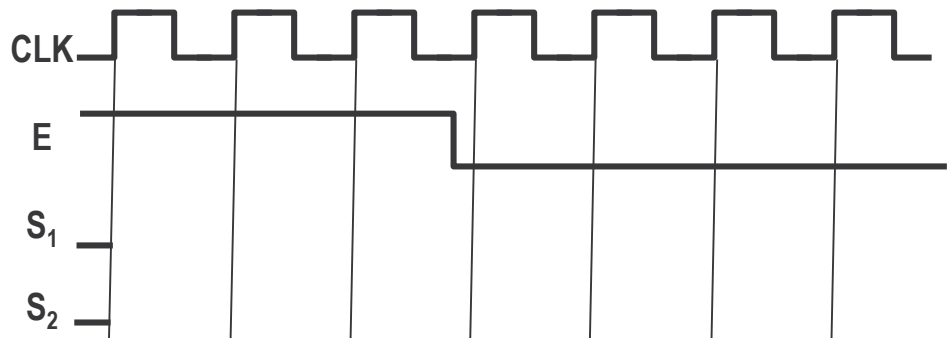
EJERCICIO 3. (4 puntos)

El circuito de la figura está compuesto por dos flip-flops y dos circuitos combinacionales.



El comportamiento de los bloques combinacionales viene dado por la siguiente tabla de verdad:

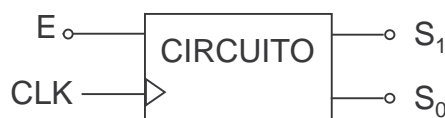
S ₁	S ₀	E	D ₁	D ₀
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0



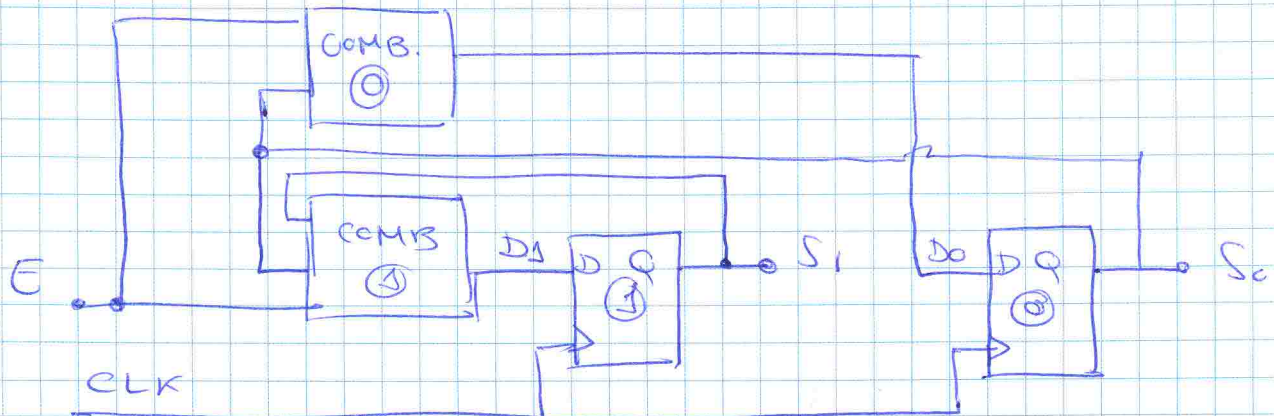
Se pide:

- Diseñar ambos circuitos combinacionales con el menor número de puertas lógicas.
- Obtener los circuitos equivalentes utilizando únicamente puertas NAND.
- Completar el cronograma superior y decir qué función realiza el circuito
- Usando el número de puertas lógicas que necesite y el circuito anterior (también los que necesite), diseñar un contador binario de 4 bits.

Nota: Utilice el circuito de la figura anterior como un bloque, tal y como se muestra

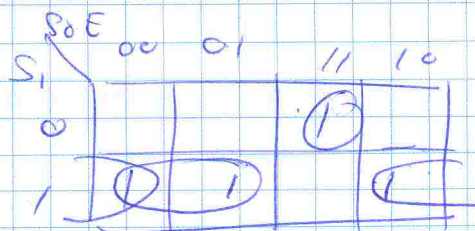


EJERCICIO 3

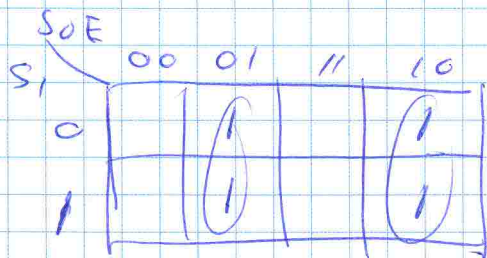


a)

S_1	S_0	E	D_1	D_0
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0



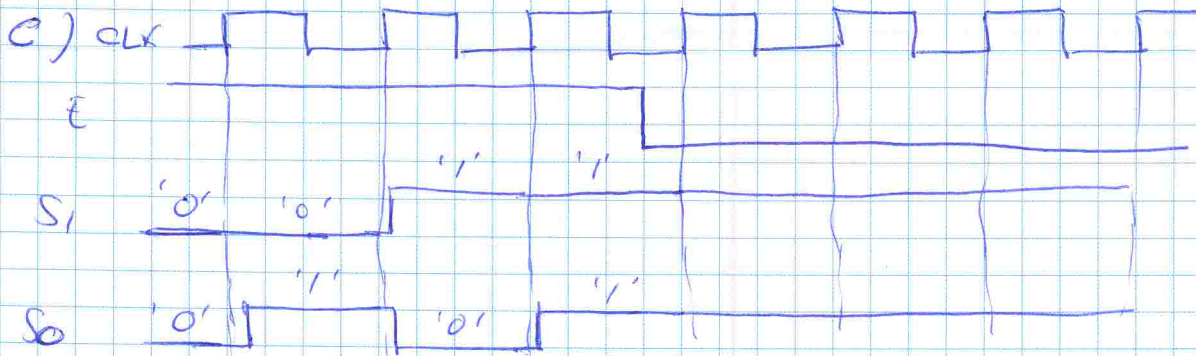
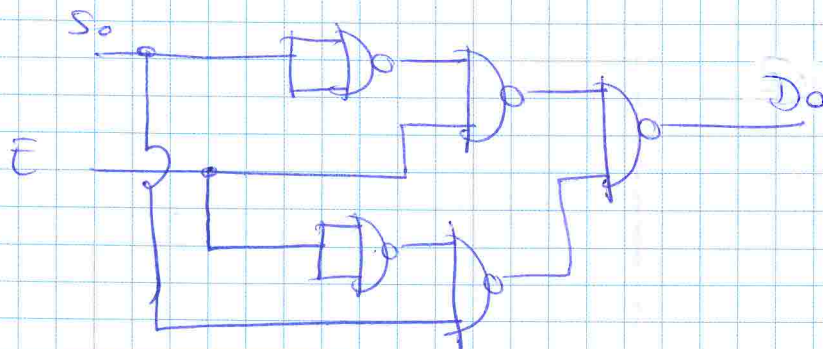
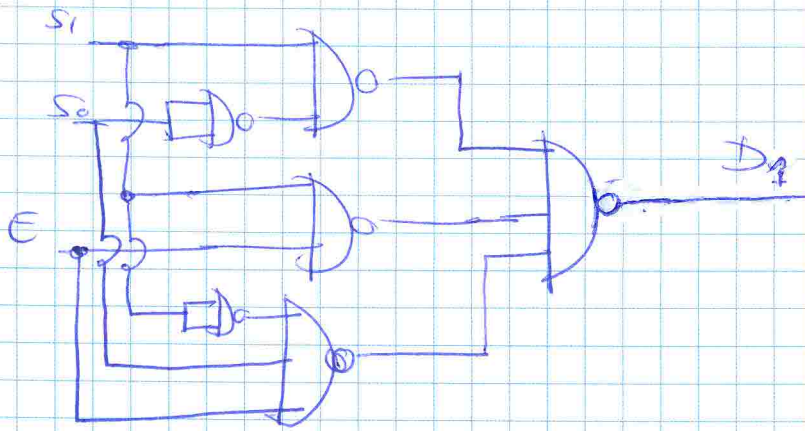
$$\begin{aligned}
 D_1 &= S_1 \bar{S}_0 + S_1 \bar{E} + \bar{S}_1 S_0 E = \\
 &= S_1 (\bar{S}_0 + \bar{E}) + \bar{S}_1 S_0 E = \\
 &= S_1 (\overline{S_0 \cdot E}) + \bar{S}_1 S_0 E = \\
 &= S_1 \oplus (S_0 \cdot E)
 \end{aligned}$$



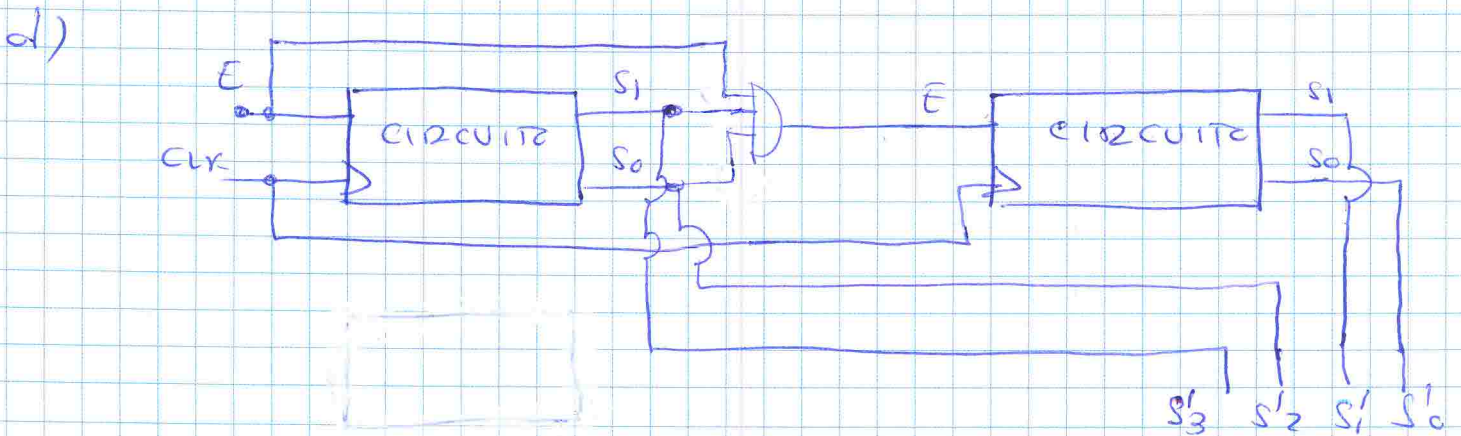
$$D_0 = \bar{S}_0 E + S_0 \bar{E} = S_0 \oplus E$$

b)

$$\begin{aligned}
 D_1 &= \overline{S_1 S_0 + S_1 E + \bar{S}_1 S_0 E} = \overline{S_1 S_0} \cdot \overline{S_1 E} \cdot \overline{\bar{S}_1 S_0 E} \\
 D_0 &= \overline{S_0 E + S_0 \bar{E}} = \overline{S_0 E} \cdot \overline{S_0 \bar{E}}
 \end{aligned}$$



ES UN CONTADOR BINARIO ASCENDENTE DE 2 BITS CON ENABLE



CONTADOR BINARIO ASCENDENTE DE 4 BITS CON ENABLE