UNIVERSIDAD POLITÉCNICA DE MADRID

ESCUELA TÉCNICA SUPERIOR
DE INGENIEROS INDUSTRIALES

DEPARTAMENTO DE AUTOMÁTICA,
INGENIERÍA ELECTRÓNICA
E INFORMÁTICA INDUSTRIAL

DIVISIÓN DE INGENIERÍA ELECTRÓNICA (DIE)

Asignatura: Electrónica y regulación automática (Electrónica)
Especialidad: Química, Materiales, Fabricación, Organización, Máquinas, Construcción, Ing. Química
Publicación de notas (preacta): 22/06/2011
Duración del examen: 2 horas

Fecha: 9/06/2011
Convocatoria: Junio

Revisión: 28/06/2011 a las 16:00h

EJERCICIO 1. (3 puntos)

Se dispone de una etapa amplificadora conectada a una resistencia de carga R_L de valor 1KΩ en paralelo con un condensador C_L.

Se desea conocer las características de la etapa amplificadora mediante los siguientes componentes de laboratorio:

1. Un generador de tensión alterna U_g, de valor pico a pico 500mV a circuito abierto (no regulable), con frecuencia de salida variable entre 0 y 200KHz, y resistencia de salida R_g de valor 100Ω.
2. Voltímetros, frecuencímetros, etc
3. Un bloque de realimentación de ganancia β desconocida

Con estos elementos, se realizan las pruebas que se indican a continuación:

1) Se aplica el generador de tensión a la etapa amplificadora, a frecuencias medias, obteniéndose una tensión de salida de salida de 5 V a circuito abierto y 2,5voltios con la carga R_L.

2) Se va subiendo la frecuencia del generador de señal desde frecuencias medias y se observa que el amplificador (no realimentado) baja su ganancia en 3dB a la frecuencia de 30KHz.

3) Se realimenta la etapa amplificadora (tensión en serie) y se comprueba ahora que al hacer la misma operación que en el apartado 2, la ganancia baja en 3dB a la frecuencia de 60KHz.

4) Se mide la resistencia de entrada del montaje realimentado y resulta ser 600Ω.

Se pide:

a) Resistencia de salida R_o del amplificador sin realimentar

b) Cálculo del valor del condensador en carga C_L (se considera el condensador parásito equivalente C_P despreciable) que justifique el comportamiento en frecuencia de la prueba 2.

c) Valor del factor de realimentación β del bloque de realimentación.

d) Resistencia de entrada del amplificador sin realimentar.

e) Ganancia de tensión a circuito abierto A_{uo} del amplificador sin realimentar, a frecuencias medias, calculada respecto de la entrada de la etapa amplificadora U_1 y no de la tensión del generador U_g.

f) Ganancia de tensión en carga A_u del amplificador sin realimentar, a frecuencias medias, calculada respecto de la entrada de la etapa amplificadora U_1 y no de la tensión del generador U_g.

g) Resistencia de salida del amplificador realimentado.

h) Ganancia de tensión a circuito abierto A'_{uo} del amplificador realimentado, a frecuencias medias.

i) Ganancia de tensión en carga A'_u del amplificador realimentado, a frecuencias medias.

EJERCICIO 2. (3 puntos)

a) Para el circuito de la figura 1, dibujar las formas de onda de las señales u_2 y u_3, siendo la señal u_1 la indicada en la figura 2.

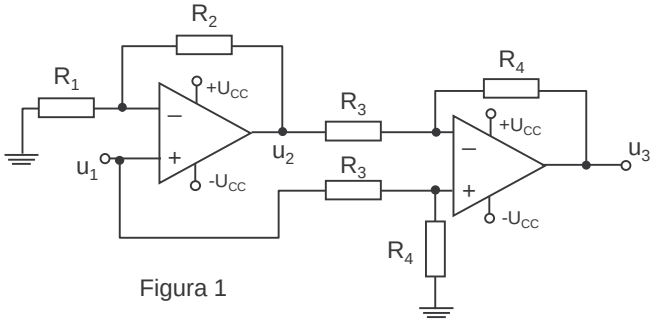


Figura 1

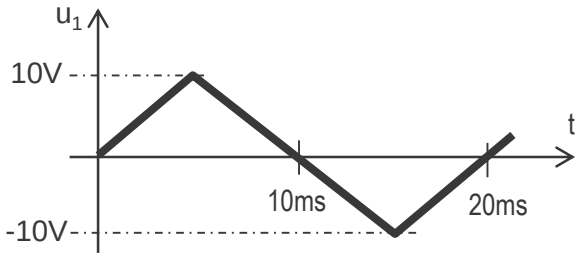
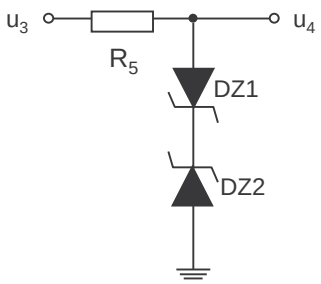


Figura 2

Datos: AO ideales R_1=1kΩ R_2=2kΩ R_3=1kΩ R_4=5kΩ $\pm U_{CC}$= ±15V

b) La salida u_3 del circuito anterior se conecta al circuito siguiente. Dibujar la evolución de u_4.

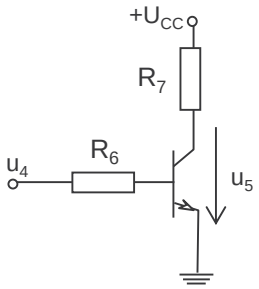


Datos: DZ1, DZ2: ideales

U_Z= 3V

R_5=10Ω

c) La nueva señal u_4 se conecta con el circuito siguiente. Dibujar la evolución de u_5.



Datos: Transistor ideal

β=10

R_6=2kΩ

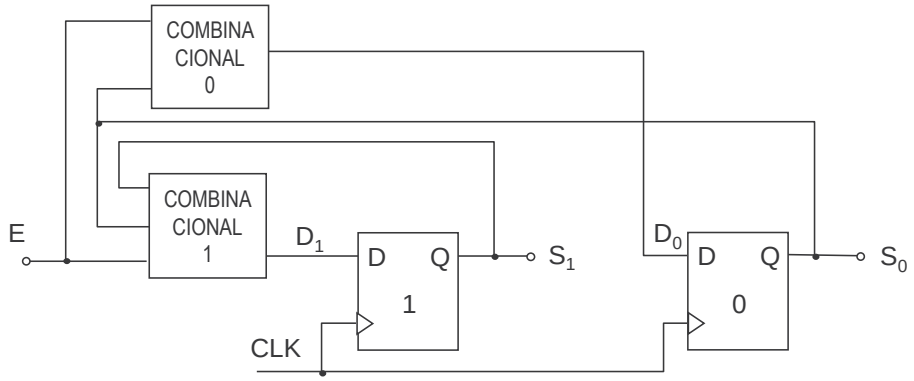
R_7=1,5kΩ

U_{CC}= 15V

En todos los casos, justifique su respuesta.

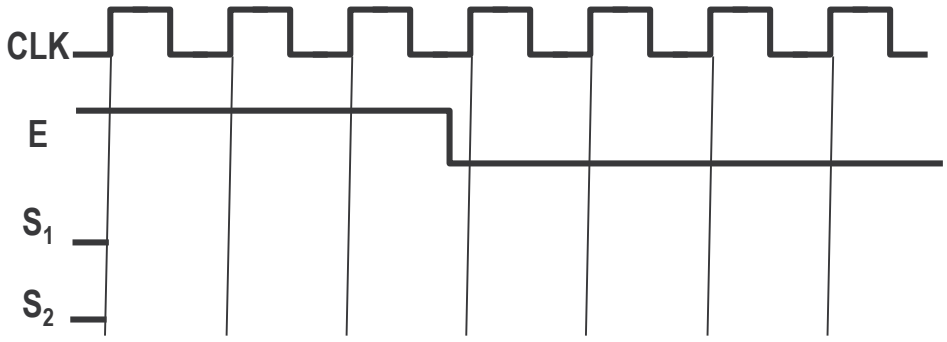
EJERCICIO 3. (4 puntos)

El circuito de la figura está compuesto por dos flip-flops y dos circuitos combinacionales.



El comportamiento de los bloques combinacionales viene dado por la siguiente tabla de verdad:

S_1	S_0	E	D_1	D_0
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0



Se pide:

a) Diseñar ambos circuitos combinacionales con el menor número de puertas lógicas.

b) Obtener los circuitos equivalentes utilizando únicamente puertas NAND.

c) Completar el cronograma superior y decir qué función realiza el circuito

d) Usando el número de puertas lógicas que necesite y el circuito anterior (también los que necesite), diseñar un contador binario de 4 bits.

Nota: Utilice el circuito de la figura anterior como un bloque, tal y como se muestra

Problema 1 9/06/11

a) $\frac{u_s}{u_g} = \frac{u_s}{u_e} \cdot \frac{u_e}{u_g} = \frac{R_e}{R_e + R_g} \cdot \frac{R_L}{R_L + R_o} \cdot A_{uo}$

A circuito abierto, $R_L = \infty \Rightarrow \frac{5}{0,5} = 10 = A_{uo} \cdot \frac{R_e}{R_e + R_g}$

" cerrado, $R_L \neq \infty \Rightarrow \frac{2'5}{0'5} = 5 = A_{uo} \cdot \frac{R_e}{R_e + R_g} \cdot \frac{R_L}{R_o + R_L}$

$\boxed{R_o = R_L = 1\ k\Omega}$

b) $f_{cs} = 30 \cdot 10^3 = \frac{1}{2\pi C_L \cdot \frac{R_o R_L}{R_o + R_L}} \Rightarrow C_L = 10,61\ nf$

c) $f'_{cs} = f_{cs}(1 + A_u\beta) \Rightarrow 60 = 30(1 + A_u\beta) \Rightarrow 1 + A_u\beta = 2$

(de momento lo dejamos aquí).

d) $R'_e = R_e(1 + A_u\beta) \Rightarrow R'_e = \frac{R_e}{2} = \boxed{300\ \Omega}$

e) (retomamos c) $u_e = \frac{300}{300 + 100} \cdot 0,5 = 0'375\ V$

$A_u = \frac{u_s}{u_e} = \frac{2,5}{0,375} = \boxed{6,66}$; $1 + 6,66\beta = 2 \Rightarrow \boxed{\beta = 0,15}$

f) $A_u = \frac{u_s}{u_e} = A_{uo} \cdot \frac{R_L}{R_L + R_o} \Rightarrow A_{uo} = 2A_u \Rightarrow \boxed{13,\overline{3} = A_{uo}}$

g) $R'_s = \frac{R_s}{1 + A_{uo}\beta} = \frac{1000}{1 + 13,3 \cdot 0'15} = \boxed{333\ \Omega}$

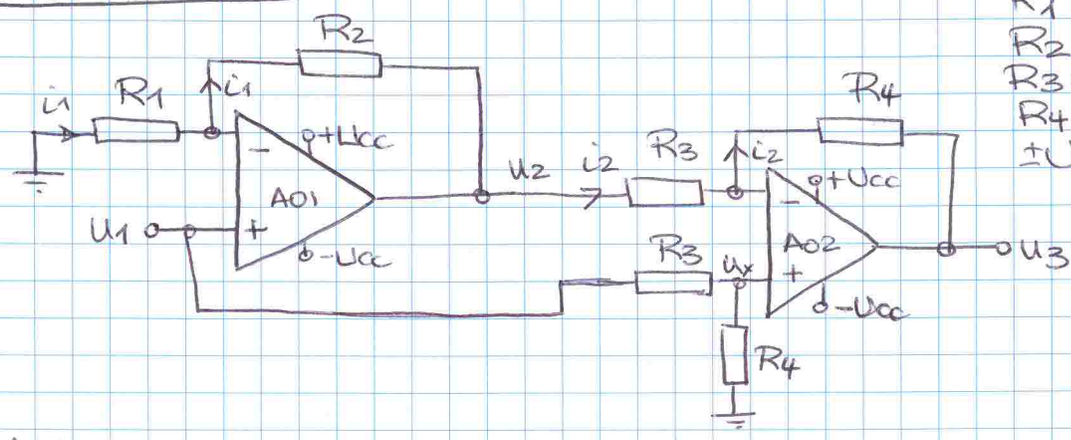
h) $A'_{uo} = \frac{A_{uo}}{1 + A_{uo}\beta} = \frac{13,3}{1 + 13,3 \cdot 0'15} = \boxed{4,44}$

i) $A'_u = \frac{A_u}{1 + A_u\beta} = \frac{6,6}{1 + 6,6 \cdot 0'15} = \boxed{3,3}$

EyRA - ELECTRÓNICA - 9/06/2011

EJERCICIO 2

$R_1 = 1K\Omega$
$R_2 = 2K\Omega$
$R_3 = 1K\Omega$
$R_4 = 5K\Omega$
$\pm U_{cc} = \pm 15V$



(a) A01

$$\frac{0-u_1}{R_1} = \frac{u_1-u_2}{R_2} \longrightarrow u_2 = u_1\left(1+\frac{R_2}{R_1}\right) = 3\,u_1$$

$$-U_{cc} \le u_2 \le +U_{cc}$$

A02:

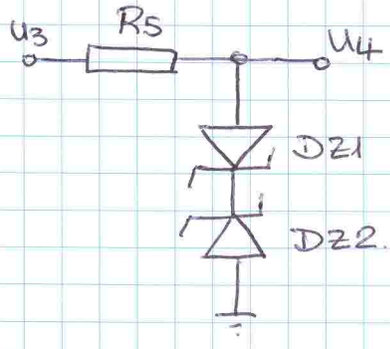
$$u_x = u_1 \frac{R_4}{R_3+R_4}$$

$$\frac{u_2-u_x}{R_3} = \frac{u_x-u_3}{R_4} \qquad u_3 = \frac{R_4}{R_3}(u_1-u_2) = 5(u_1-u_2)$$

$$u_3 = -10\,u_1 \qquad (-U_{cc} \le u_3 \le +U_{cc})$$

(las formas de onda, en la página siguiente)

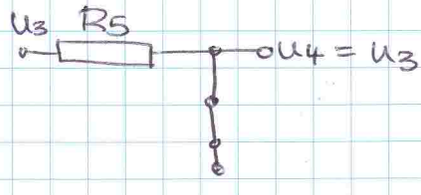
(b)



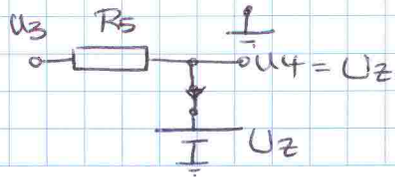
DZ1 estará en conducción directa cuando $u_3 > 0$
DZ2 no conducirá mientras $u_3 < U_Z$ y conducirá en zona zener para $u_3 \ge U_Z$.

$\rightarrow u_3 > 0$

$u_3 > 0 \rightarrow u_3 < U_Z$



$\rightarrow u_3 \ge U_Z$



El caso $u_3 < 0$ es similar al anterior:

$\rightarrow u_3 < -3V$ DZ1 conduce en zona Zener

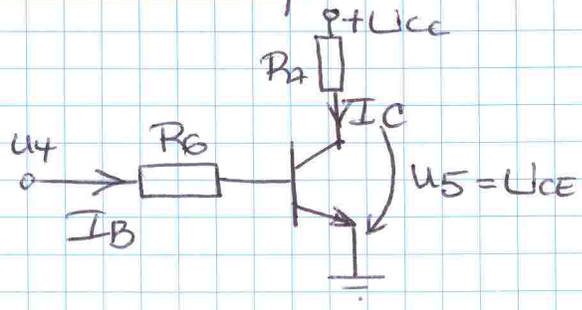
$\hookrightarrow u_4 = -3V$

$0 > u_3 > -3V$ DZ1 no conduce $\rightarrow u_4 = u_3$

En ambos casos DZ2 conduce en directa.

Podría comprobar el sentido de la corriente.

c



$\beta = 10$ $\quad +U_{CC} = +15V$

$R_6 = 2K\Omega$

$R_7 = 1,5\ K\Omega$

Cuando $u_4 < 0 \rightarrow I_B < 0 \rightarrow$ transistor corte

$\Downarrow$

$I_C = 0 \rightarrow U_{CE} = u_5 = U_{CC}$

Cuando $u_4 > 0 \rightarrow$ <u>Suponemos</u> zona activa:

$$u_4 = R_6 \cdot I_B + \underbrace{U_{BE}}_{0 \text{ (ideal)}} \qquad I_B = \frac{u_4}{R_6}$$

Suponiendo zona activa: $I_C = \beta I_B = \beta \dfrac{u_4}{R_6}$

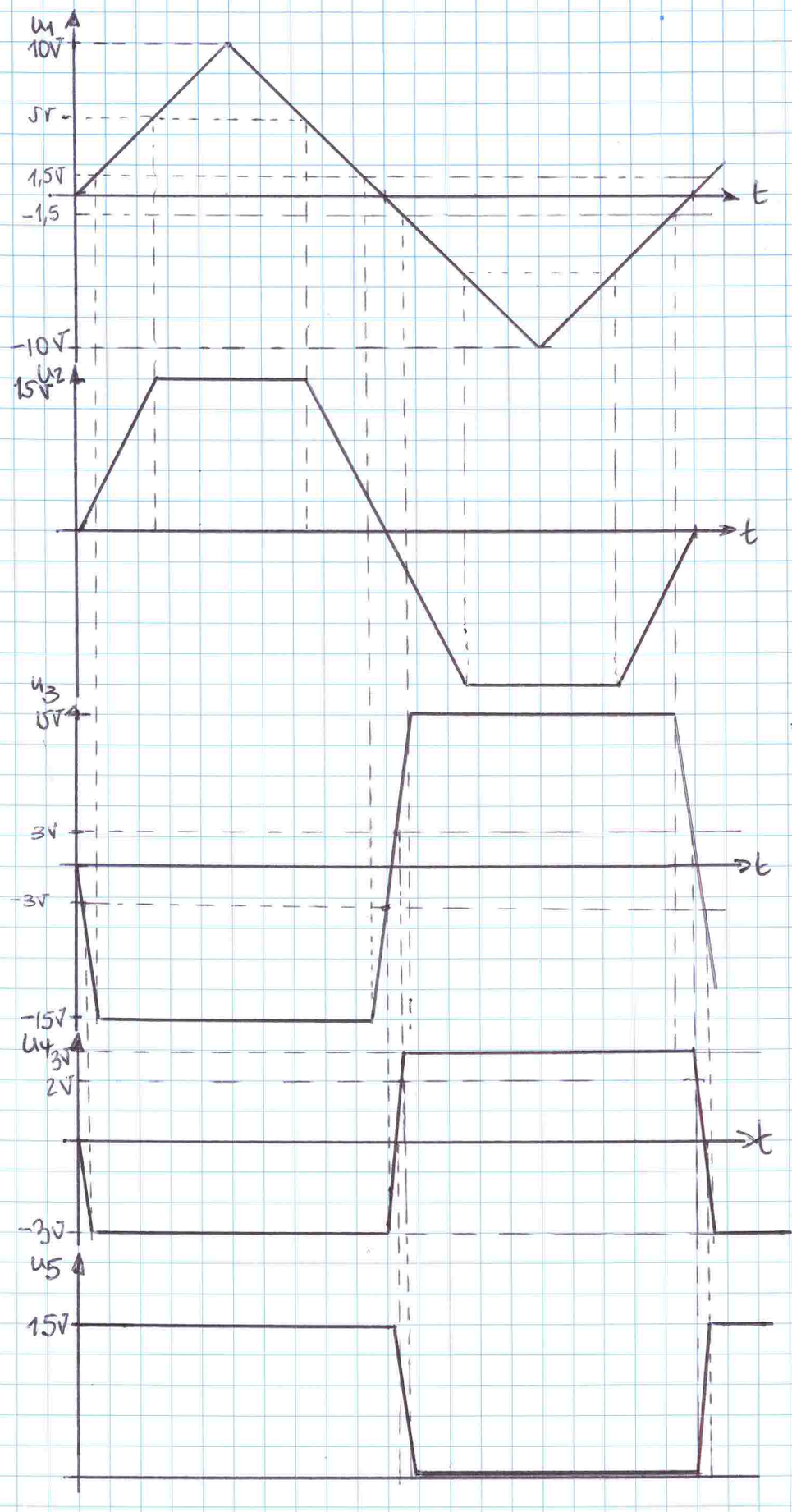
$$U_{CC} = R_7 \cdot \beta \frac{u_4}{R_6} + u_5 \qquad u_5 = U_{CC} - R_7 \beta \frac{u_4}{R_6}$$

Estará en zona activa mientras $u_5 = U_{CE} > 0$

Valor límite: $u_5 = 0 \rightarrow u_4 = \dfrac{U_{CC}}{\frac{R_7}{R_6}\beta} = 2V$

$0 < u_4 < 2V \rightarrow u_5 = 15 - 7,5 \cdot u_4$

$u_4 > 2V \rightarrow u_5 = 0V$



u_1

$u_2 = 3u_1$

$u_3 = -10u_1$

u_4: $-3V \leq u_3 < 3V$
$\hookrightarrow u_4 = u_3$

$u_3 < -3V \rightarrow u_4 = -3V$

$u_3 > 3V \rightarrow u_4 = +3V$

u_5: $u_4 < 0 \rightarrow u_5 = 15V$
TRANS. CORTE

$0 < u_4 < 2V$

$u_5 = 15 - 7{,}5 \cdot u_4$
TRANS. ZONA ACTIVA

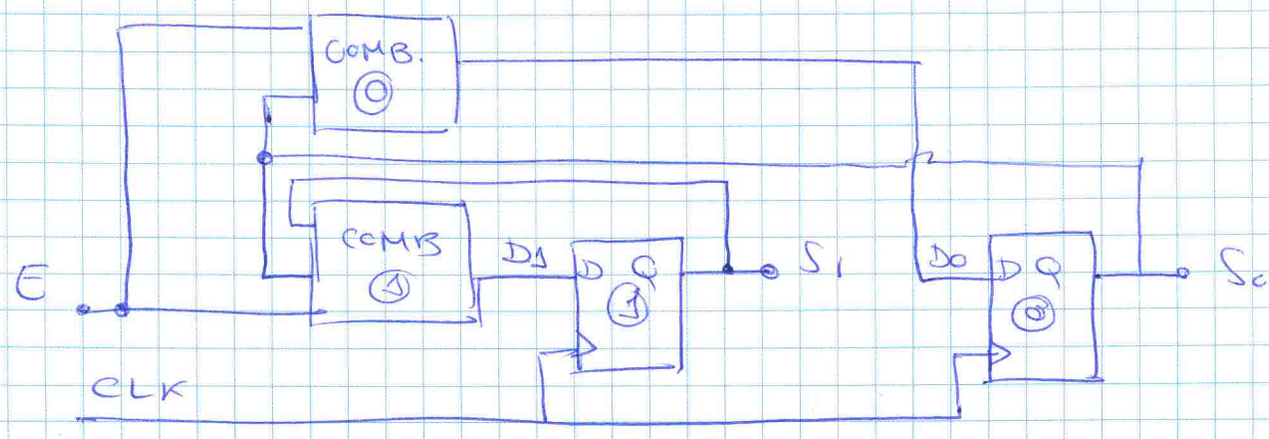
$u_4 > 2V$

$u_5 = 0V$
TRANS. SATURADO

INDUSTRIALES
ETSII | UPM

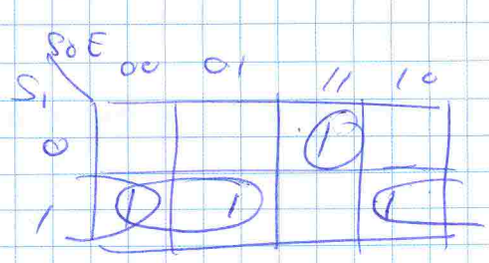
1er APELLIDO / 2º APELLIDO: SOLUCIÓN
NOMBRE
Nº DE MATRÍCULA
Nº DE GRUPO
EJERCICIO
HOJA Nº
ASIGNATURA: EYIRA
ESPECIALIDAD
AÑO DE CARRERA
FECHA
CALIFICACIÓN

EJERCICIO 3

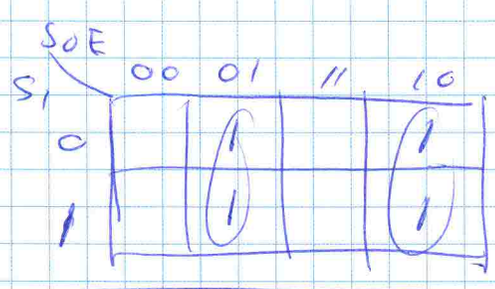


a)

S_1	S_0	E	D_1	D_0
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	1	1
1	1	0	1	1
1	1	1	0	0



$$D_1 = S_1\overline{S_0} + S_1\overline{E} + \overline{S_1}S_0E =$$
$$= S_1(\overline{S_0}+\overline{E}) + \overline{S_1}S_0E =$$
$$= S_1(\overline{S_0\cdot E}) + \overline{S_1}S_0E =$$
$$= S_1 \oplus (S_0\cdot E)$$

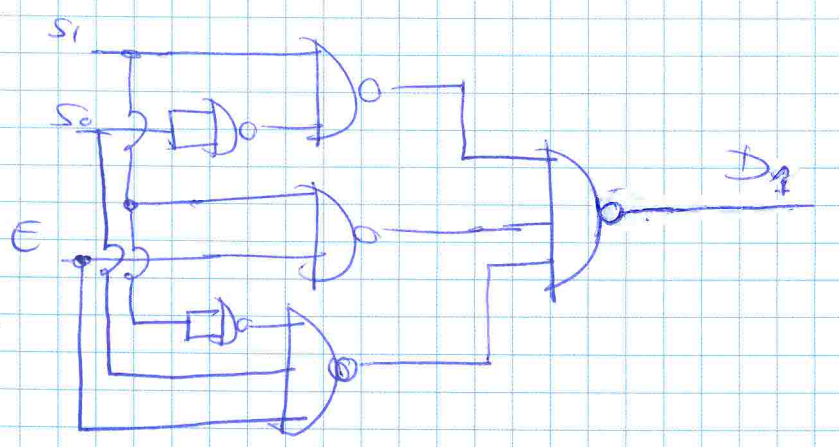


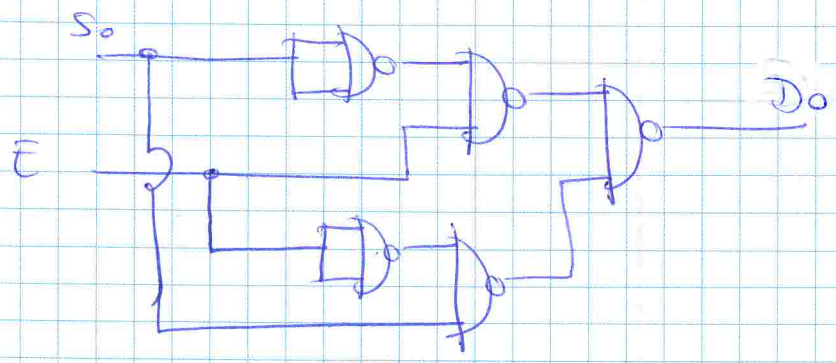
$$D_0 = \overline{S_0}E + S_0\overline{E} = S_0 \oplus E$$

b)
$$D_1 = \overline{\overline{S_1\overline{S_0} + S_1\overline{E} + \overline{S_1}S_0E}} = \overline{\overline{S_1\overline{S_0}}\cdot\overline{S_1\overline{E}}\cdot\overline{\overline{S_1}S_0E}}$$

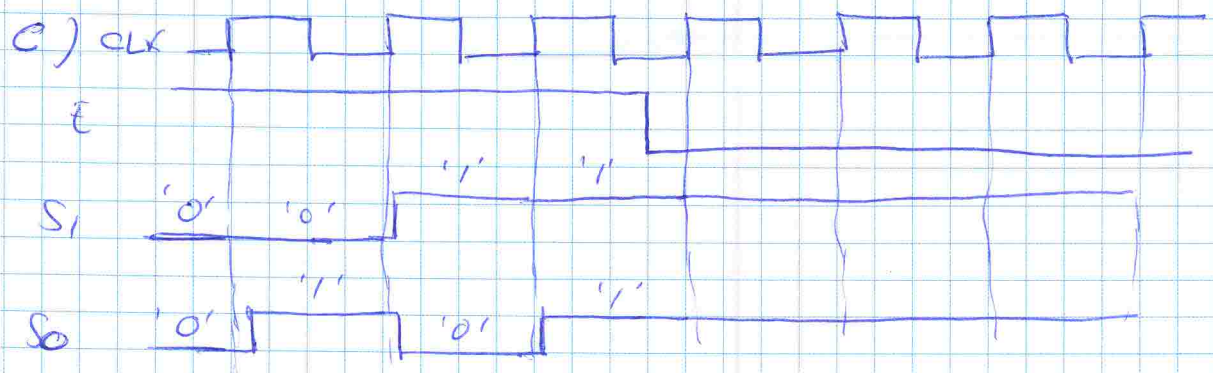
$$D_0 = \overline{\overline{S_0E + S_0\overline{E}}} = \overline{\overline{S_0}E\cdot\overline{S_0\overline{E}}}$$

Documento impreso sobre papel Certificado F.S.C. (Gestión Forestal Sostenible)
Sección de Publicaciones de la E.T.S.I.Industriales-U.P.M.



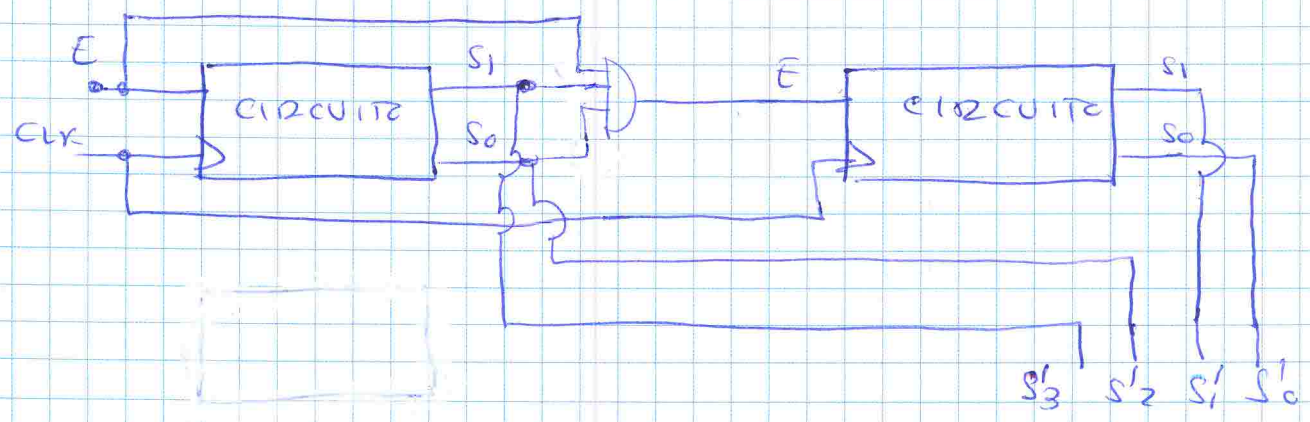


c)



ES UN CONTADOR BINARIO ASCENDENTE DE 2 BITS CON ENABLE

d)



CONTADOR BINARIO ASCENDENTE DE 4 BITS CON ENABLE