

NOMBRE: SOLUCIONES

EJERCICIO 1 – 1,25 puntos

Se quiere realizar un circuito combinacional que calcule la resta de dos números de dos bits cada uno ($A_1A_0 - B_1B_0$), expresados en binario natural. El resultado tendrá tres bits: el bit de signo S y el resultado de la resta R_1R_0 , expresado en complemento a 2. Se pide:

a) Rellenar la tabla de verdad del circuito

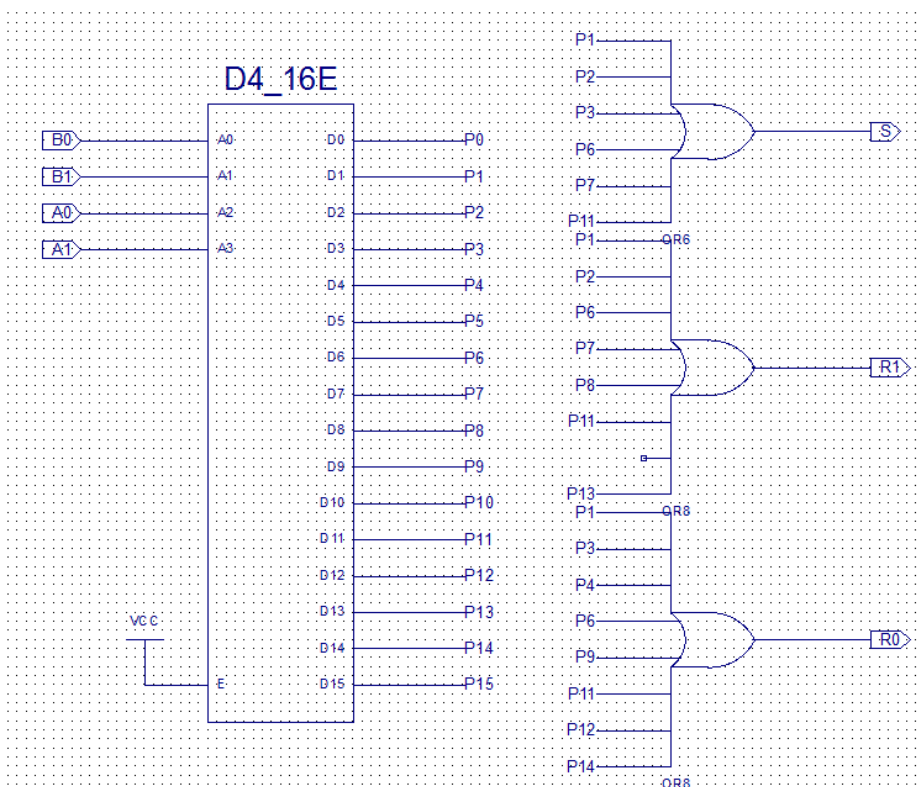
A1	A0	B1	B0	S	R1	R0	resultado
0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	-1
0	0	1	0	1	1	0	-2
0	0	1	1	1	0	1	-3
0	1	0	0	0	0	1	1
0	1	0	1	0	0	0	0
0	1	1	0	1	1	1	-1
0	1	1	1	1	1	0	-2
1	0	0	0	0	1	0	2
1	0	0	1	0	0	1	1
1	0	1	0	0	0	0	0
1	0	1	1	1	1	1	-1
1	1	0	0	0	1	1	3
1	1	0	1	0	1	0	2
1	1	1	0	0	0	1	1
1	1	1	1	0	0	0	0

A1A0 \ B1B0	00	01	11	10
00	0	1	1	0
01	1	0	0	1
11	1	0	0	1
10	0	1	1	0

b) Función lógica minimizada de R_0

$$R_0 = \overline{B_0} \cdot A_0 + B_0 \cdot \overline{A_0} = B_0 \oplus A_0$$

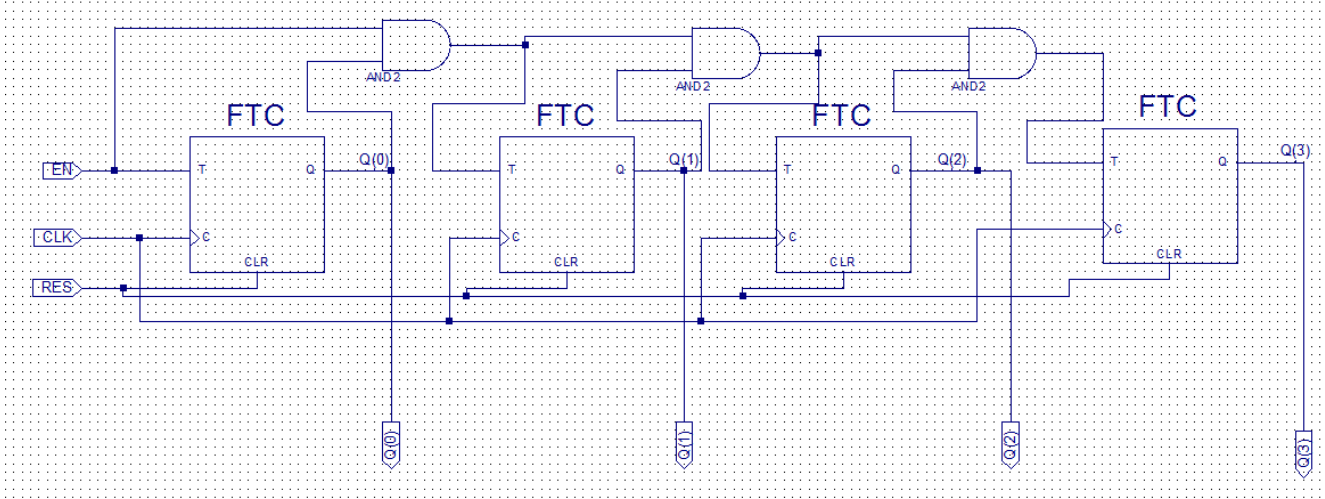
c) Implementar S, R_1 y R_0 con decodificador y puertas OR



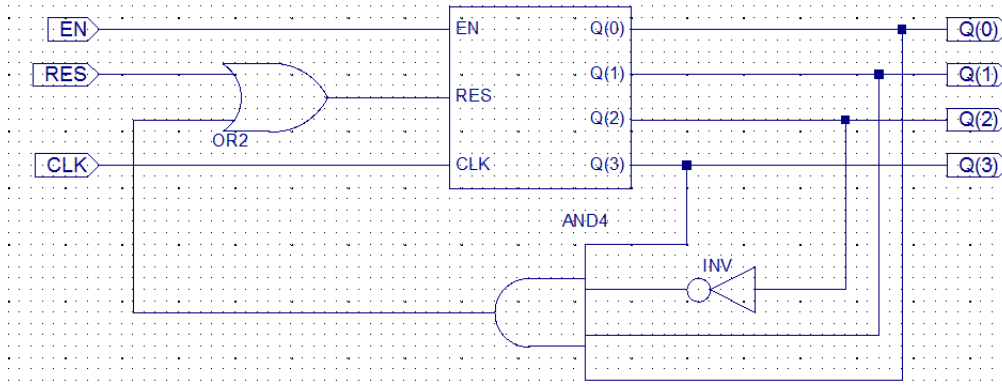
EJERCICIO 2 - 1,25 puntos

Se dispone de un contador síncrono de cuatro bits con habilitación (*EN*) y reset asíncrono (*RES*).

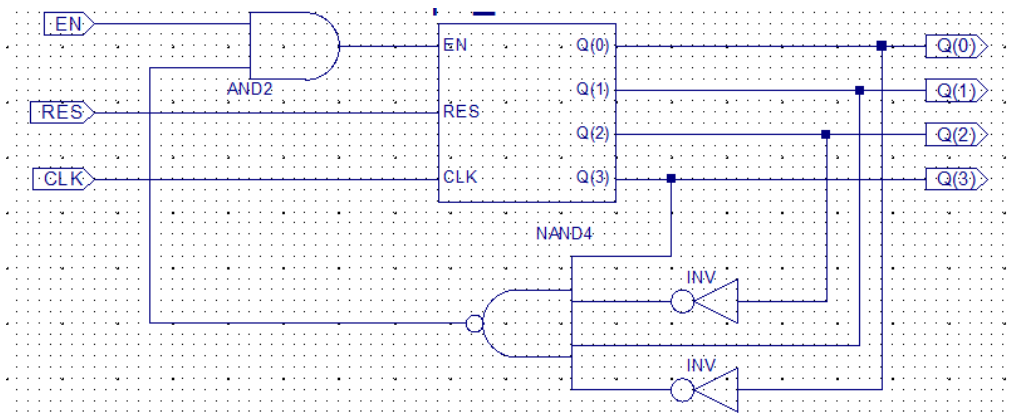
a) Diseñar el contador usando puertas lógicas y biestables



b) A partir del contador de 4 bits, añadir la lógica necesaria para que el contador cuente de 0 a 10 de manera indefinida (0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 0, 1...)



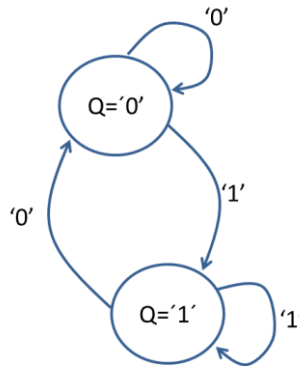
c) A partir del contador de 4 bits, añadir la lógica necesaria para que el contador cuente de 0 a 10 y luego se pare (0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 10, 10, 10...)



Test (puede haber más de una respuesta correcta) 0,5 puntos

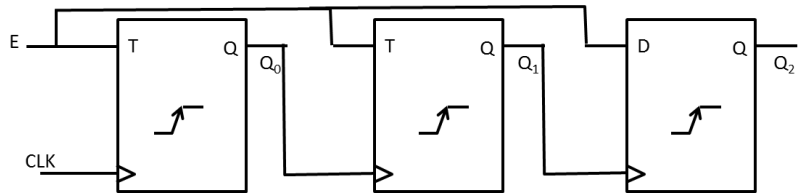
a) El siguiente diagrama de estados corresponde a

1. ~~Un biestable T~~
2. Un biestable D
3. Un registro de un bit
4. ~~Un contador de un bit~~
5. ~~Ninguno de los anteriores~~



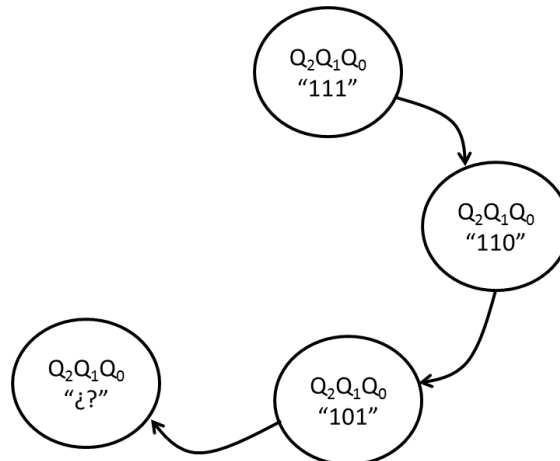
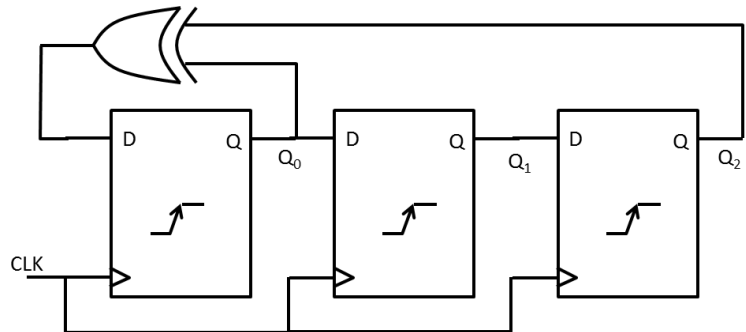
b) El siguiente circuito es

1. ~~Un registro de desplazamiento~~
2. ~~Un detector de secuencia~~
3. Un contador
4. Un divisor de frecuencia
5. ~~Ninguno de los anteriores~~



c) El estado siguiente correspondiente al circuito de la figura, es:

1. $Q_2Q_1Q_0 = "010"$
2. ~~$Q_2Q_1Q_0 = "100"$~~
3. ~~$Q_2Q_1Q_0 = "001"$~~
4. ~~$Q_2Q_1Q_0 = "101"$~~
5. ~~Ninguno de los anteriores~~



NOMBRE: SOLUCIONES
EJERCICIO 1 – 1,25 puntos

Se quiere realizar un circuito combinacional que calcule la resta de dos números de dos bits cada uno ($A_1A_0 - B_1B_0$), expresados en binario natural. El resultado tendrá tres bits: el bit de signo S y el resultado de la resta R_1R_0 , expresado en complemento a 2. Se pide:

a) Rellenar la tabla de verdad del circuito

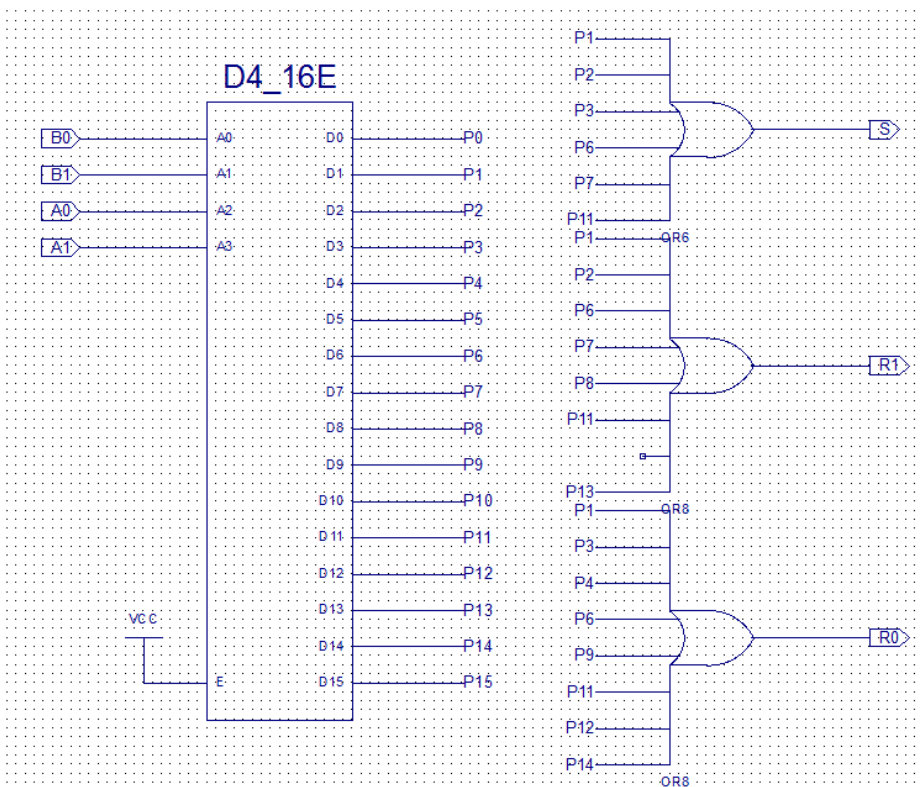
A1	A0	B1	B0	S	R1	R0	resultado
0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	-1
0	0	1	0	1	1	0	-2
0	0	1	1	1	0	1	-3
0	1	0	0	0	0	1	1
0	1	0	1	0	0	0	0
0	1	1	0	1	1	1	-1
0	1	1	1	1	1	0	-2
1	0	0	0	0	1	0	2
1	0	0	1	0	0	1	1
1	0	1	0	0	0	0	0
1	0	1	1	1	1	1	-1
1	1	0	0	0	1	1	3
1	1	0	1	0	1	0	2
1	1	1	0	0	0	1	1
1	1	1	1	0	0	0	0

A1A0 \ B1B0	00	01	11	10
00	0	1	1	0
01	1	0	0	1
11	1	0	0	1
10	0	1	1	0

b) Función lógica minimizada de R_0

$$R_0 = \overline{B_0} \cdot A_0 + B_0 \cdot \overline{A_0} = B_0 \oplus A_0$$

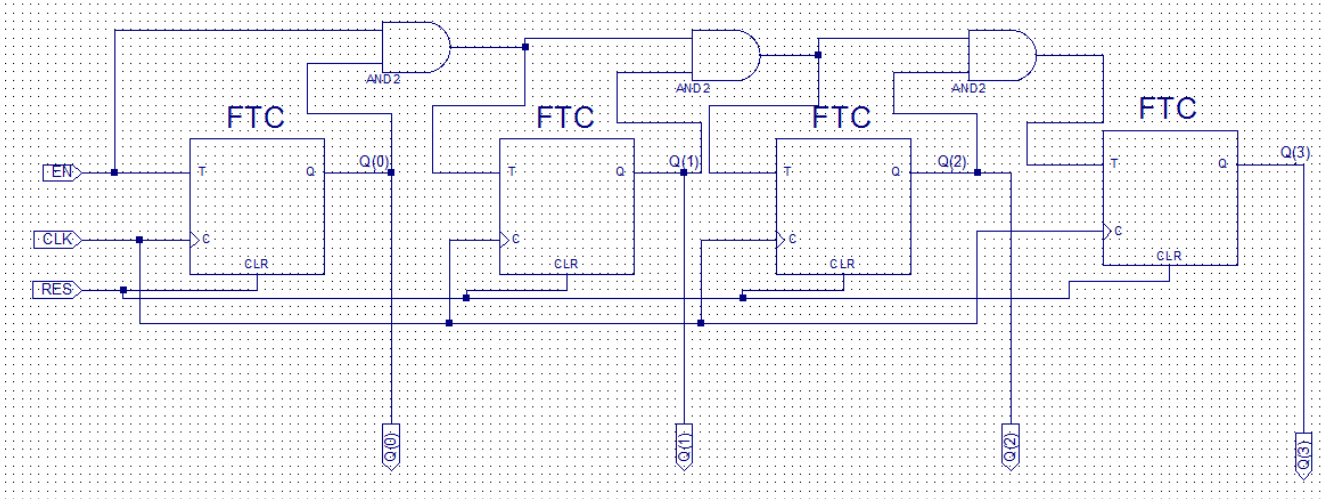
c) Implementar S, R_1 y R_0 con decodificador y puertas OR



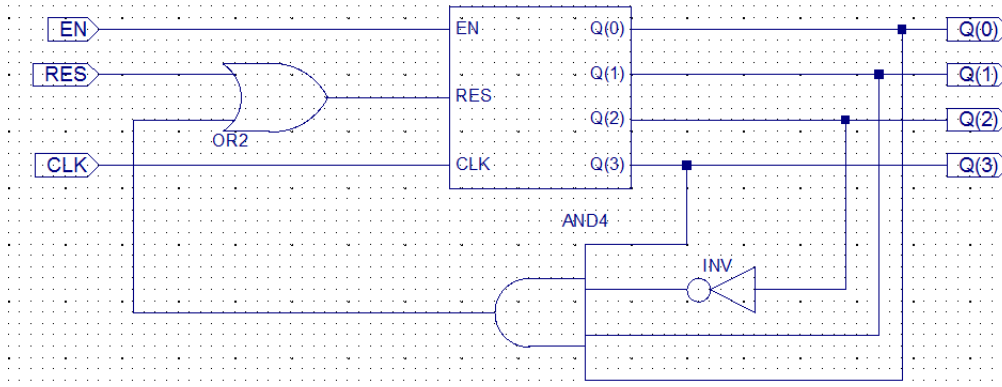
EJERCICIO 2 - 1,25 puntos

Se dispone de un contador síncrono de cuatro bits con habilitación (*EN*) y reset asíncrono (*RES*).

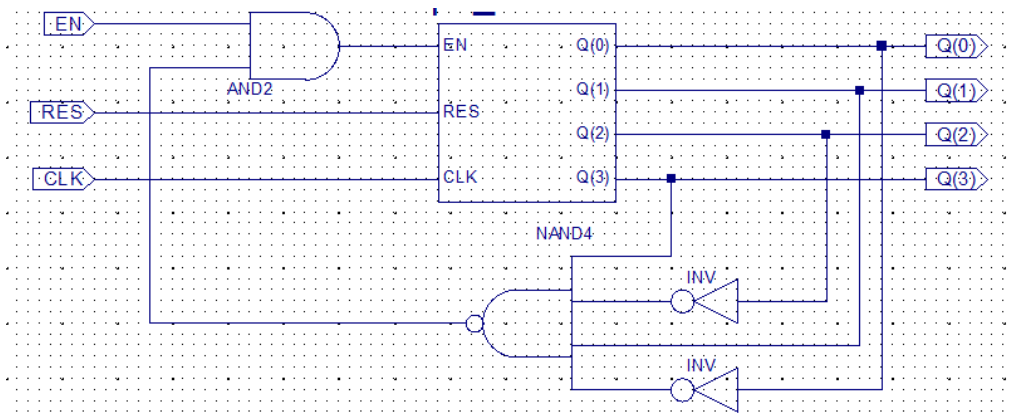
a) Diseñar el contador usando puertas lógicas y biestables



b) A partir del contador de 4 bits, añadir la lógica necesaria para que el contador cuente de 0 a 10 de manera indefinida (0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 0, 1...)



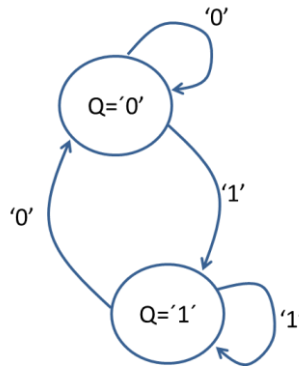
c) A partir del contador de 4 bits, añadir la lógica necesaria para que el contador cuente de 0 a 10 y luego se pare (0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 10, 10, 10...)



Test (puede haber más de una respuesta correcta) 0,5 puntos

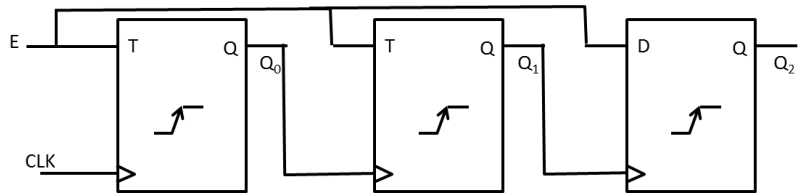
a) El siguiente diagrama de estados corresponde a

1. Un biestable D
2. ~~Un biestable T~~
3. Un registro de un bit
4. ~~Un contador de un bit~~
5. ~~Ninguno de los anteriores~~



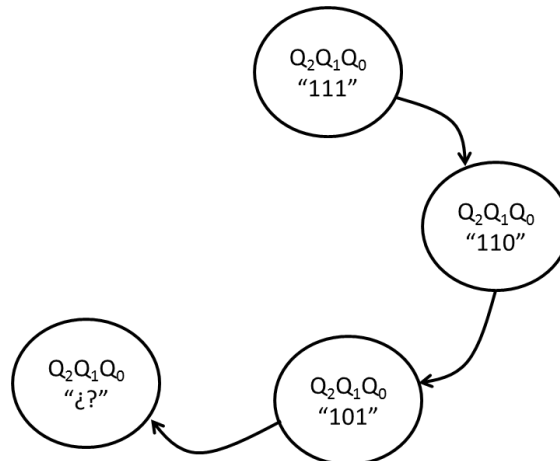
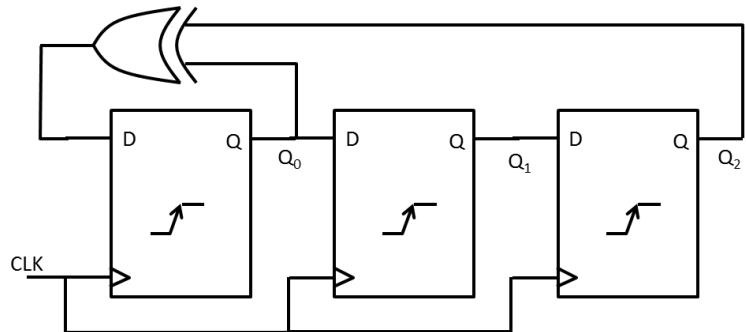
b) El siguiente circuito es

1. ~~Un detector de secuencia~~
2. Un divisor de frecuencia
3. ~~Un registro de desplazamiento~~
4. Un contador
5. ~~Ninguno de los anteriores~~



c) El estado siguiente correspondiente al circuito de la figura, es:

1. ~~$Q_2Q_1Q_0 = "101"$~~
2. ~~$Q_2Q_1Q_0 = "100"$~~
3. ~~$Q_2Q_1Q_0 = "001"$~~
4. $Q_2Q_1Q_0 = "010"$
5. ~~Ninguno de los anteriores~~



Nombre: _____ N° Mat.: _____

Asignatura: Fundamentos de Electrónica (ANALÓGICA)

Titulación: Grado de Ingeniería en Tecnologías Industriales

Publicación de preactas: 15/7/2015

Fecha: 1/7/2015

Convocatoria: Julio 2014/15

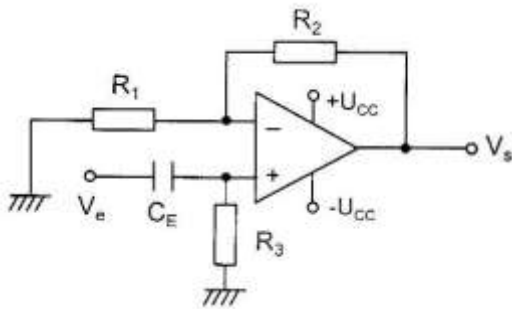
Revisión: 17/5/2015 a las 10:00h.

PROBLEMA 1. (2 puntos)

A partir del circuito de la figura, y considerando que el amplificador operacional es ideal, se pide:

Datos:

$R_1 = 1\text{k}\Omega$; $R_2 = 10\text{k}\Omega$; $R_3 = 1\text{k}\Omega$; $U_{CC} = 15\text{v}$



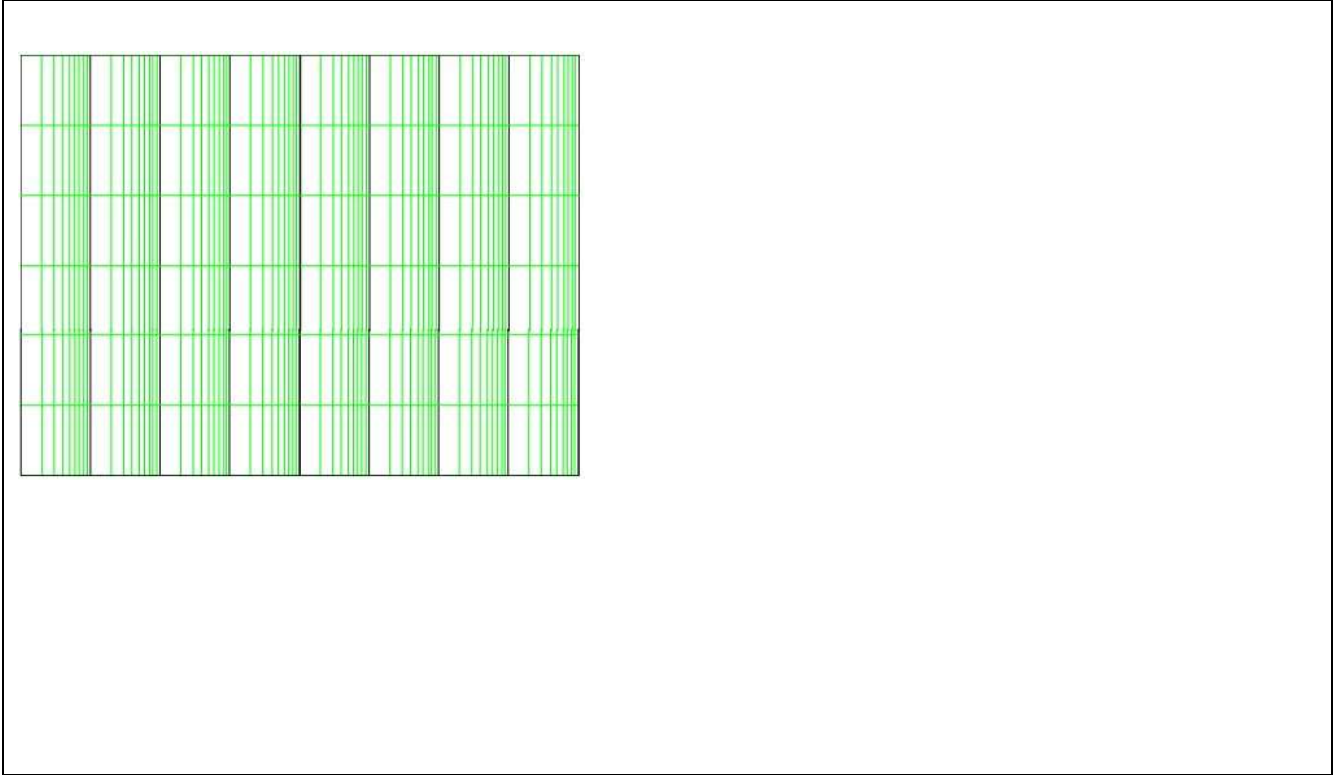
a) Obtener la expresión de la ganancia de tensión a frecuencias medias.

b) Obtener la expresión de la ganancia de tensión a frecuencias altas.

c) Calcular C_E para que la frecuencia de corte inferior del amplificador realimentado sea de 100Hz.

Nombre: _____ Nº Mat.: _____

- a) Explique qué ocurre para señales de entrada de frecuencia menor a la frecuencia de corte inferior. Relación entre tensión de salida y entrada en función de la frecuencia y dibuje el diagrama de Bode



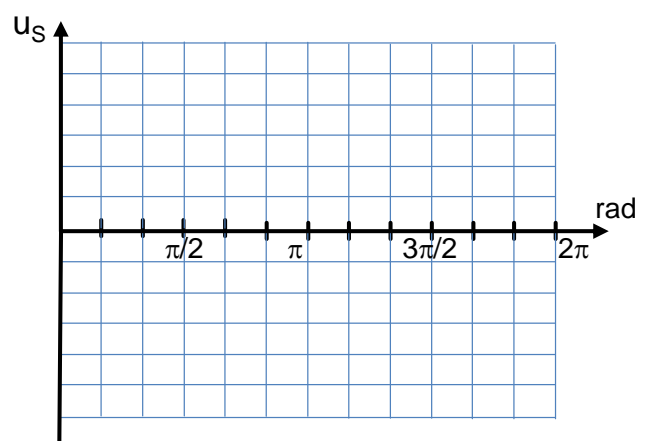
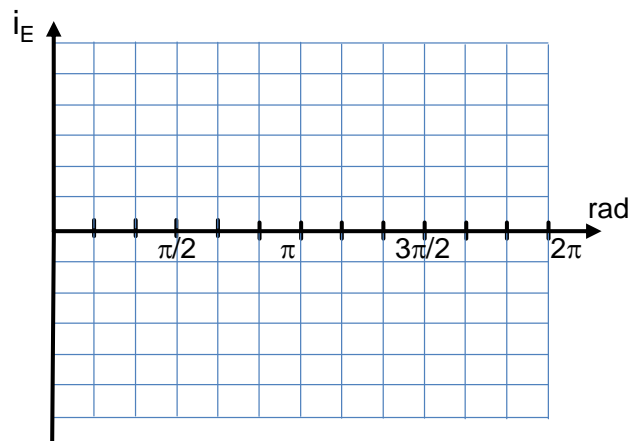
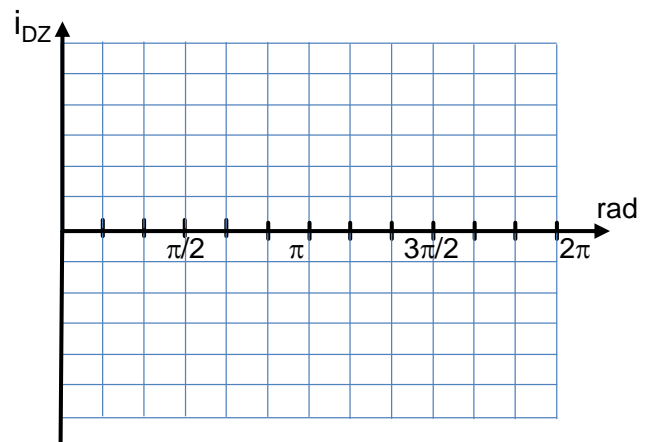
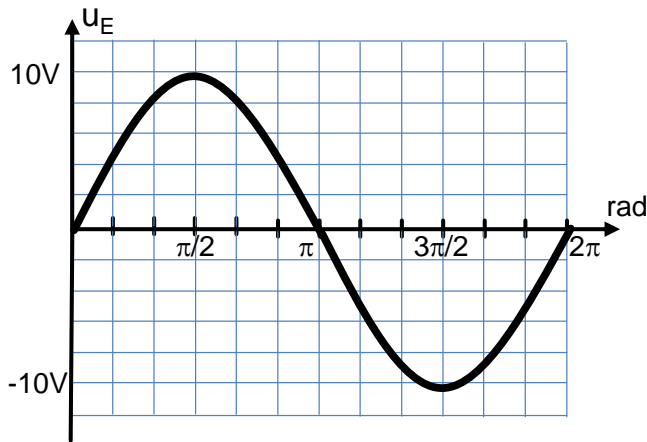
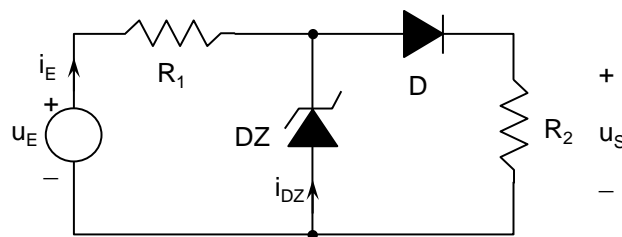
Nombre: _____ N° Mat.: _____

PROBLEMA 2. (2 puntos)

Para los circuitos de las figuras y asumiendo ideales todos los componentes, se pide dibujar la evolución en el tiempo de la corriente (i_E) demandada a la fuente de entrada (u_E), la corriente por el diodo Zener (i_{DZ}) y la tensión de salida (u_S) indicando los valores más significativos. Determinar, para cada circuito, el estado de cada uno de los diodos en los diferentes intervalos de tiempo por los que va evolucionando el circuito.

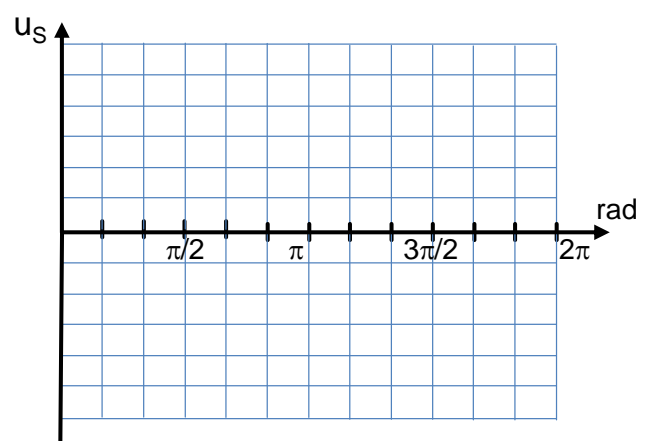
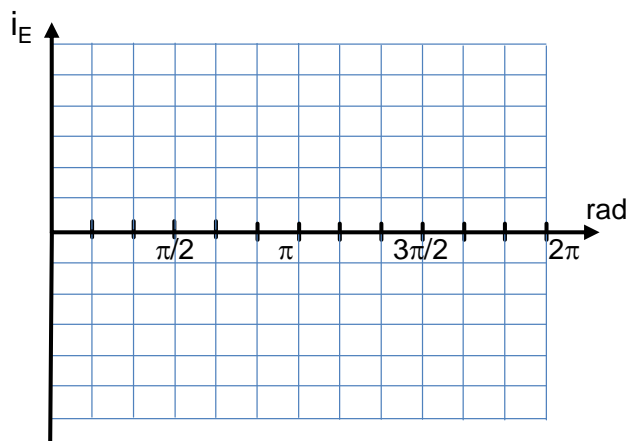
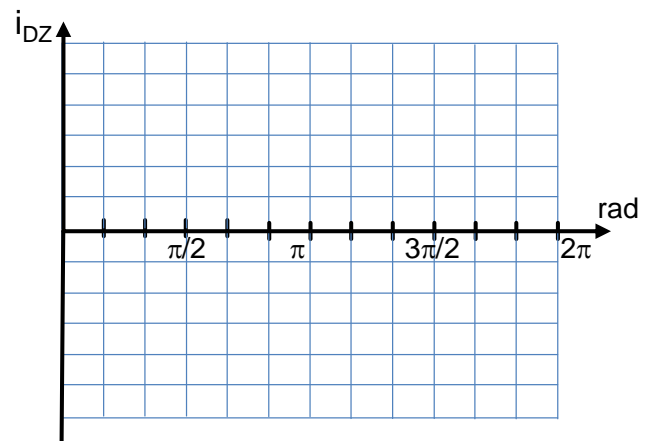
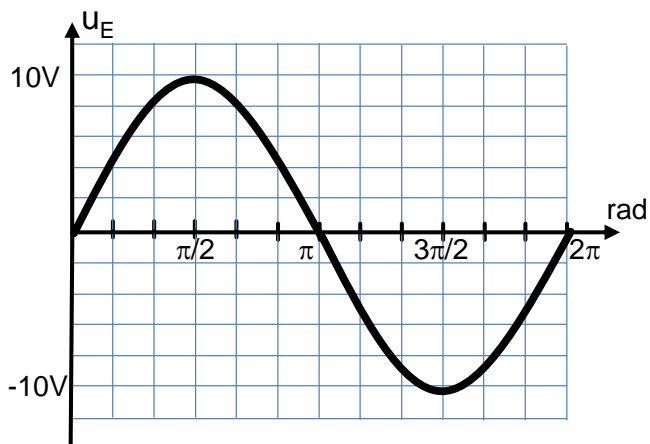
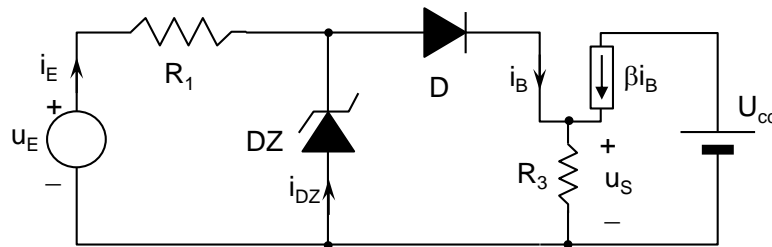
Nota: Dibujar en esta misma hoja la evolución de las formas de onda y sus valores más significativos, escalando cada gráfica a los valores de la forma de onda correspondiente. De igual forma, indicar el estado de los diodos en los distintos intervalos de tiempo.

A) **Datos:** $R_1 = 10k\Omega$, $R_2 = 10k\Omega$, $U_Z = 4V$, $u_E = 10\text{sen}(\omega t)V$



Nombre: _____ N° Mat.: _____

B) Datos: $R_1 = 10\text{k}\Omega$, $R_2 = 10\text{k}\Omega$, $R_3 = 100\Omega$, $U_Z = 4\text{V}$, $\beta = 99$; $u_E = 10\text{sen}(\omega t)\text{V}$; $U_{CC} = 20\text{V}$





Nombre: _____ N° Mat.: _____

PROBLEMA 2. (2 puntos)

Para los circuitos de las figuras y asumiendo ideales todos los componentes, se pide dibujar la evolución en el tiempo de la corriente (i_E) demandada a la fuente de entrada (u_E), la corriente por el diodo Zener (i_{DZ}) y la tensión de salida (u_S) indicando los valores más significativos. Determinar, para cada circuito, el estado de cada uno de los diodos en los diferentes intervalos de tiempo por los que va evolucionando el circuito.

Nota: Dibujar en esta misma hoja la evolución de las formas de onda y sus valores más significativos, escalando cada gráfica a los valores de la forma de onda correspondiente. De igual forma, indicar el estado de los diodos en los distintos intervalos de tiempo.

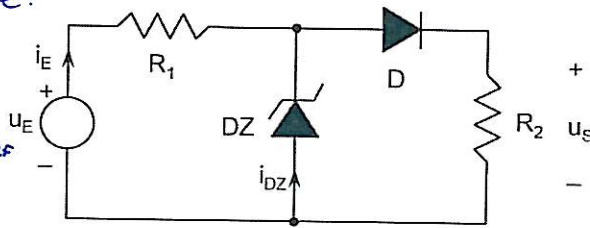
A) Datos: $R_1 = 10k\Omega$, $R_2 = 10k\Omega$, $U_Z = 4V$, $u_E = 10\text{sen}(\omega t)V$

• D conduce y DZ NO conduce:

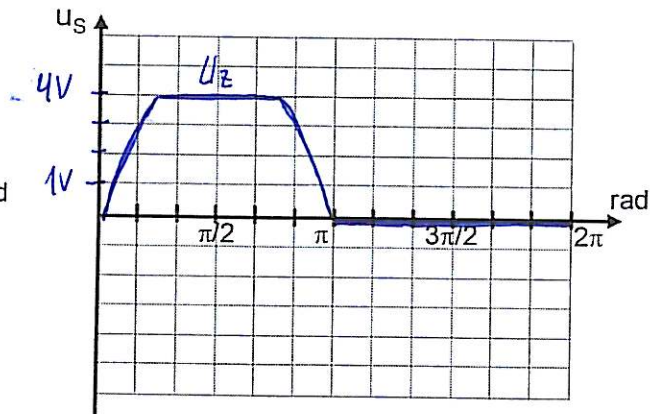
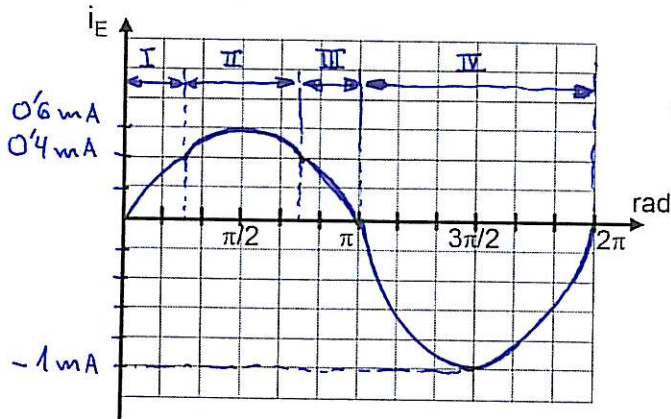
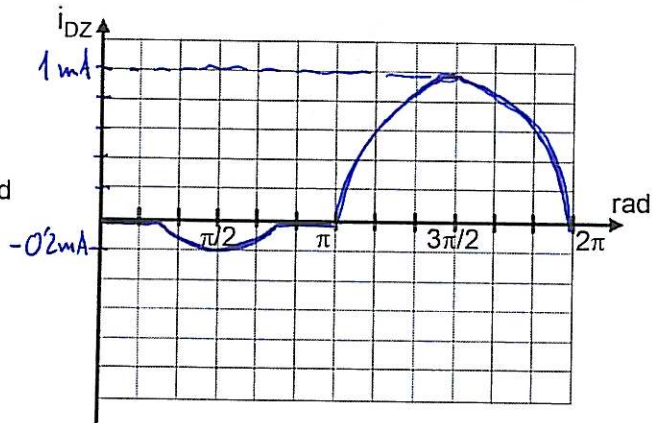
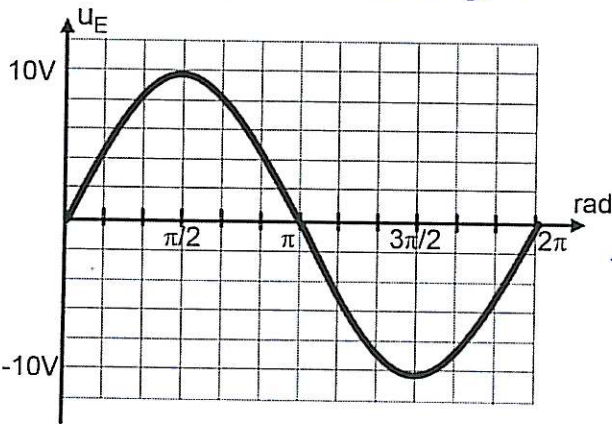
$$i_E = \frac{u_E}{R_1 + R_2} \quad u_S = \frac{u_E}{2}$$

• D conduce y DZ zona Zener

$$i_E = \frac{u_E - U_Z}{R_1} \quad u_S = U_Z$$



• $u_E < 0V \Rightarrow$ D NO conduce y DZ conduce como diodo $i_{DZ} = -i_E = -\frac{u_E}{R_1}$



Intervalos I y III: D conduce y DZ NO CONDUCE

Intervalo II: D conduce y DZ conduce en zona ZENER

Intervalo IV: D NO conduce y DZ conduce como un diodo

Nombre: _____ N° Mat.: _____

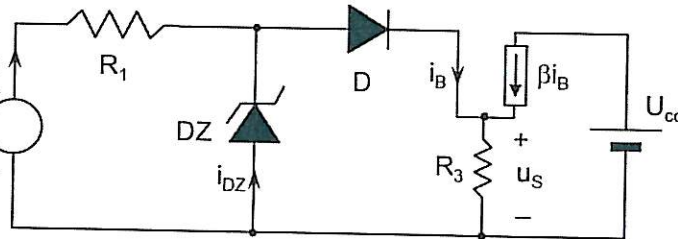
 B) Datos: $R_1 = 10k\Omega$, $R_2 = 10k\Omega$, $R_3 = 100\Omega$, $U_Z = 4V$, $\beta = 99$; $u_E = 10\text{sen}(\omega t)V$; $U_{CC} = 20V$

$$u_S = (1 + \beta) i_B \cdot R_3$$

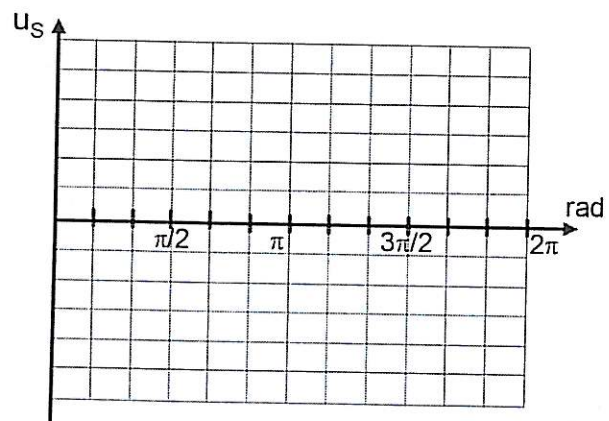
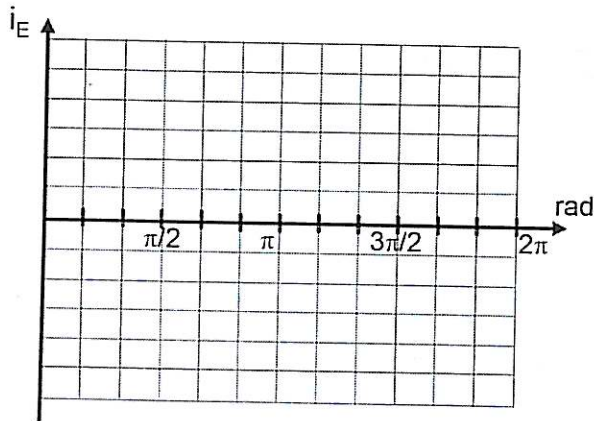
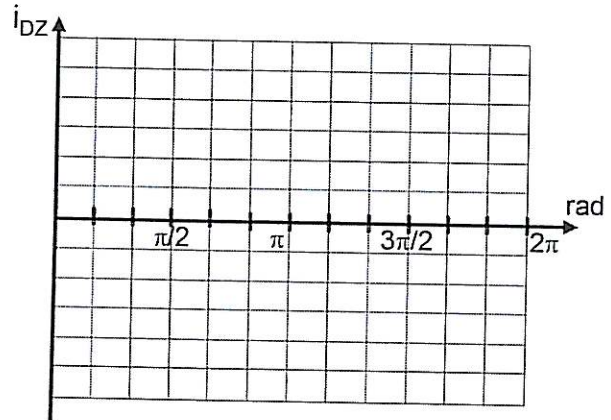
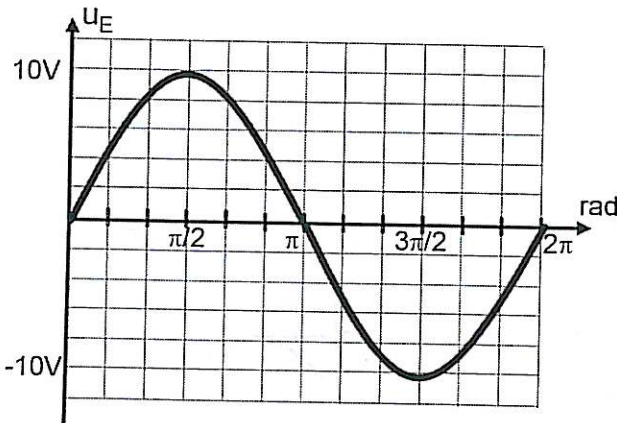
• D conduce y DZ NO cond.

$$u_E = i_E R_1 + (1 + \beta) i_E R_3$$

$$u_S = (1 + \beta) i_E R_3$$



• D conduce y DZ ZONA ZENER: $i_E = \frac{u_E - U_Z}{R_1}$; $i_B = \frac{U_Z}{(1 + \beta) R_3}$; $u_S = U_Z$; $i_{DZ} = -i_E + i_B$



Como $(1 + \beta) \cdot R_3 = 10k\Omega = R_2$, las señales i_E , i_{DZ} y u_S resultan exactamente iguales a las del circuito del apartado A)

•

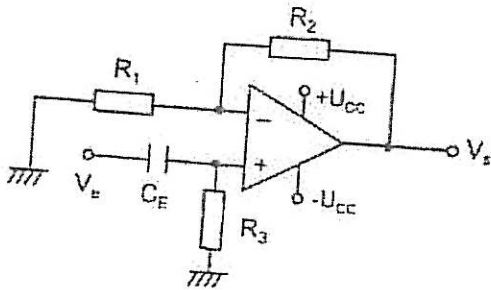
Nombre: _____ N° Mat.: _____

 Asignatura: Fundamentos de Electrónica (ANALÓGICA)
 Titulación: Grado de Ingeniería en Tecnologías Industriales
 Publicación de preactas: 15/7/2015

 Fecha: 1/7/2015
 Convocatoria: Julio 2014/15
 Revisión: 17/5/2015 a las 10:00h.

PROBLEMA 1. (2 puntos)

A partir del circuito de la figura, y considerando que el amplificador operacional es ideal, se pide:



Datos:

$$R_1 = 1k\Omega; R_2 = 10k\Omega; R_3 = 1k\Omega; U_{CC} = 15V$$

a) Obtener la expresión de la ganancia de tensión a frecuencias medias.

Es un amplificador no inversor, realimentado negativamente. Por lo tanto, a frecuencias medias $V^+ = V^- = V_e$, ya que el condensador se comporta como un cortocircuito. Por otro lado: $V^+ = V^- = V_e$; $V^- = \frac{V_s \cdot R_1}{R_1 + R_2} \Rightarrow V_s = V_e \left(1 + \frac{R_2}{R_1}\right)$

b) Obtener la expresión de la ganancia de tensión a frecuencias altas.

Es igual que en el apartado anterior.

 c) Calcular C_E para que la frecuencia de corte inferior del amplificador realimentado sea de 100Hz.

Como el A.O. es ideal, solo hay que considerar R_3 , ya que la impedancia de entrada es infinita.

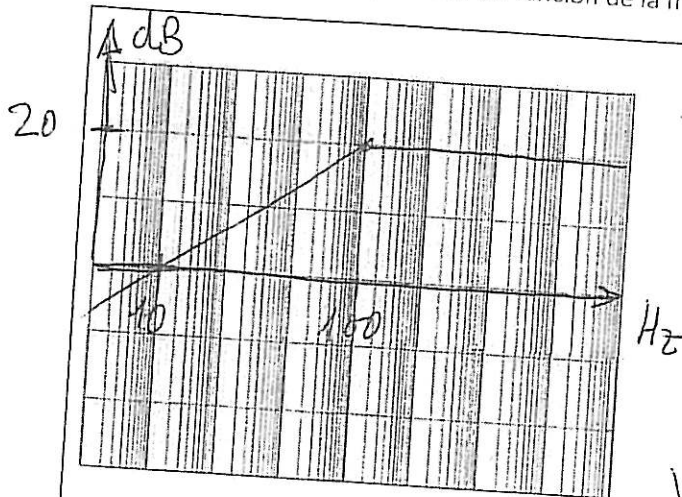
$$f_{ci} = \frac{1}{2\pi R_3 C_E} = 100 \text{ Hz} \Rightarrow C_E = 1.6 \mu\text{f.}$$

Nombre: _____

N° Mat.: _____

A

- a) Explique qué ocurre para señales de entrada de frecuencia menor a la frecuencia de corte inferior. Relación entre tensión de salida y entrada en función de la frecuencia y dibuje el diagrama de Bode



Para frecuencias menores a 100 Hz, la ganancia varía a razón de 20 dB/década, tal y como se indica en la figura

$$V^+ = V^- \Rightarrow \frac{V^- - 0}{R_1} = \frac{V_S - V^-}{R_2} ;$$

$$V^+ = V_e \cdot \frac{R_3}{R_3 + \frac{1}{j\omega C_e}} = V_e \frac{j\omega C_e R_3}{1 + j\omega R_3 C_e}$$

$$V_S = V^- \left(1 + \frac{R_2}{R_1} \right) = V_e \cdot \frac{R_3 C_e \cdot j\omega}{1 + j\omega R_3 C_e} \left(1 + \frac{R_2}{R_1} \right)$$