

FUNDAMENTOS DE COMPUTADORES - 1ª PRUEBA ESCRITA
(puntuación máxima: 10; peso en la nota final: 30%)

| | |
|--------------------|--|
| Apellidos y nombre | |
| Firma | |

NORMAS:

- Las preguntas de test se responderán en el casillero adjunto.
- No está permitido el uso de calculadora.
- No se admitirán ejercicios resueltos total o parcialmente a lápiz o en tinta de color rojo.
- **IMPORTANTE:** es OBLIGATORIO consignar todos los cálculos realizados.

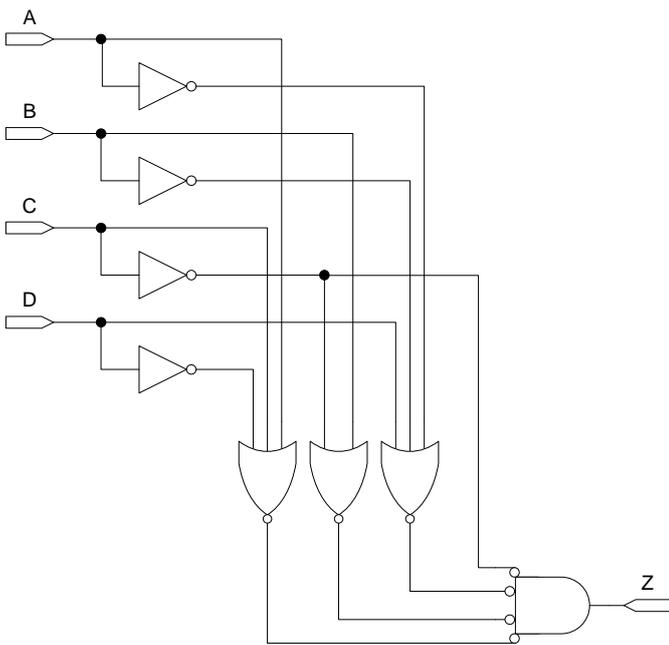
TEST (valor máximo ponderado: 3,5 puntos)

Cada pregunta contestada correctamente sumará 1 punto y cada respuesta incorrecta restará 0,25. Las preguntas en blanco no sumarán ni restarán. Al resultado se le aplicará un factor de ponderación para que el test tenga un valor máximo en el examen de 3,5 puntos.

| | | | | | |
|-----------|---|---|---|---|---|
| Pregunta | 1 | 2 | 3 | 4 | 5 |
| Respuesta | | | | | |

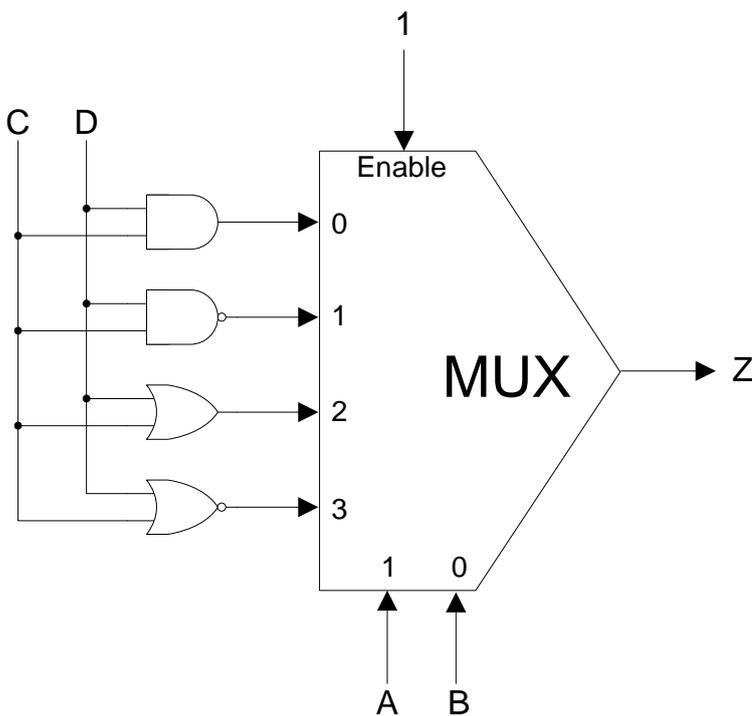
- Hallar el valor en decimal del número binario $X = 11001011$, suponiendo que está expresado en complemento a 2.
 - 53
 - 75
 - 203
 - Ninguna de las restantes respuestas es cierta.
- Convertir el número decimal 220 a su representación binaria en signo-magnitud con 8 bits.
 - 00101111
 - 11011100
 - No se puede representar con 8 bits porque está fuera del rango permitido.
 - Ninguna de las restantes respuestas es cierta.
- Sea la función lógica de 3 variables $f = m_1 + m_4 + m_6 + m_7$. La segunda forma canónica de la función f es:
 - $f = M_2 \cdot M_4 \cdot M_5 \cdot M_7$
 - $f = M_0 \cdot M_2 \cdot M_3 \cdot M_5$
 - $f = M_2 \cdot M_3 \cdot M_5$
 - Ninguna de las restantes respuestas es cierta.

4. Analizar la función lógica materializada por el siguiente circuito:



- a. $Z(A, B, C, D) = (A + C + \bar{D}) \cdot (B + \bar{C}) \cdot (\bar{A} + \bar{B} + D) \cdot \bar{C}$
- b. $Z(A, B, C, D) = (A + C + \bar{D}) \cdot (B + \bar{C}) \cdot (\bar{A} + \bar{B} + D) \cdot C$
- c. $Z(A, B, C, D) = (A + C + \bar{D}) \cdot (B + \bar{C}) \cdot (\bar{A} + \bar{B} + D)$
- d. Ninguna de las restantes respuestas es cierta

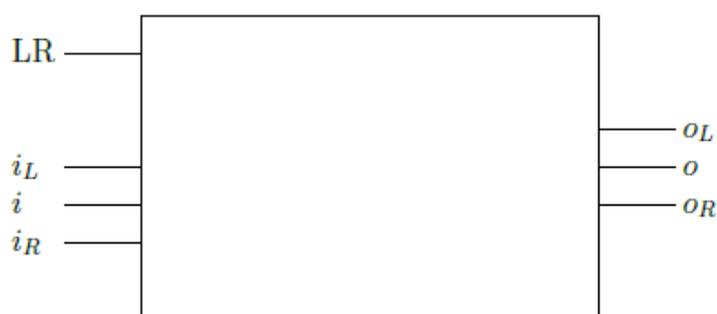
5. Indicar la función lógica materializada por el siguiente circuito:



- a. $f(A, B, C, D) = \sum m(3,4,5,6,9,10,11,12)$
- b. $f(A, B, C, D) = \sum m(0,3,5,6,11,12)$
- c. $f(A, B, C, D) = \sum m(0,2,3,4,9,11,12)$
- d. Ninguna de las restantes respuestas es cierta

EJERCICIO (valor máximo: 6,5 puntos)

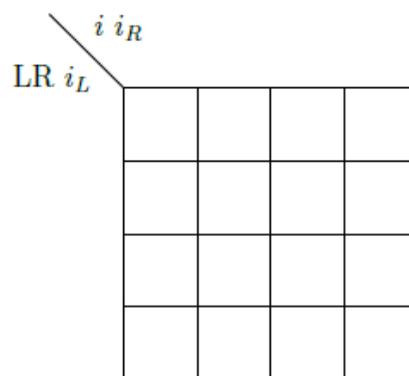
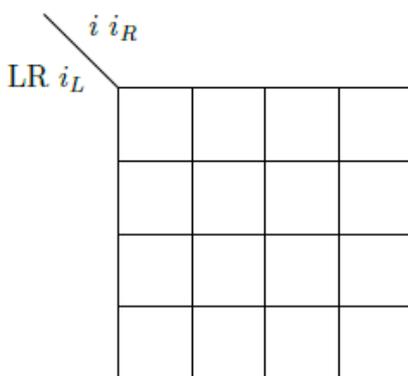
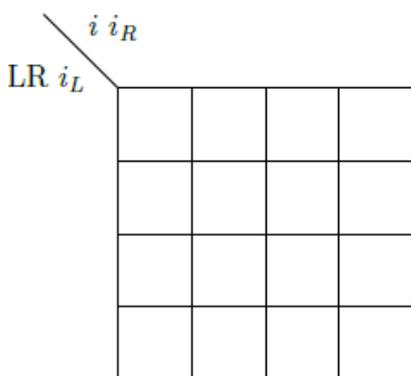
Dado un circuito con 4 bits de entrada y 3 bits de salida, como aparece en la figura, y con la siguiente tabla de verdad:



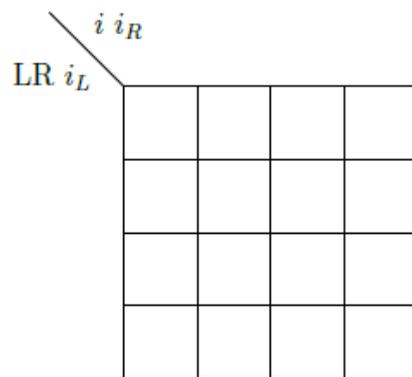
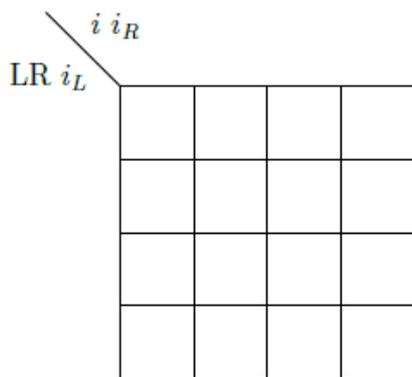
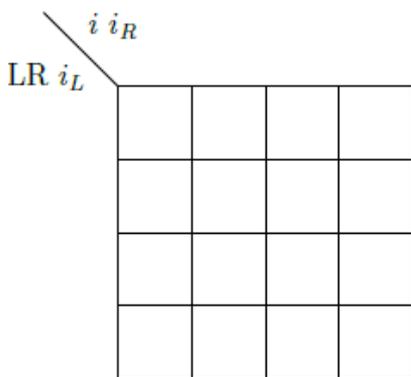
| LR | i_L | i | i_R | o_L | o | o_R |
|----|-------|-----|-------|-------|-----|-------|
| 0 | 0 | 0 | 0 | 0 | 0 | - |
| 0 | 0 | 0 | 1 | 0 | 1 | - |
| 0 | 0 | 1 | 0 | 1 | 0 | - |
| 0 | 0 | 1 | 1 | 1 | 1 | - |
| 0 | 1 | 0 | 0 | 0 | 0 | - |
| 0 | 1 | 0 | 1 | 0 | 1 | - |
| 0 | 1 | 1 | 0 | 1 | 0 | - |
| 0 | 1 | 1 | 1 | 1 | 1 | - |
| 1 | 0 | 0 | 0 | - | 0 | 0 |
| 1 | 0 | 0 | 1 | - | 0 | 0 |
| 1 | 0 | 1 | 0 | - | 0 | 1 |
| 1 | 0 | 1 | 1 | - | 0 | 1 |
| 1 | 1 | 0 | 0 | - | 1 | 0 |
| 1 | 1 | 0 | 1 | - | 1 | 0 |
| 1 | 1 | 1 | 0 | - | 1 | 1 |
| 1 | 1 | 1 | 1 | - | 1 | 1 |

- a) (2,25 puntos) Obtener las funciones de conmutación mínimas de cada una de las salidas, tanto en SdeP como en PdeS, utilizando los mapas de Karnaugh incluidos en el enunciado.

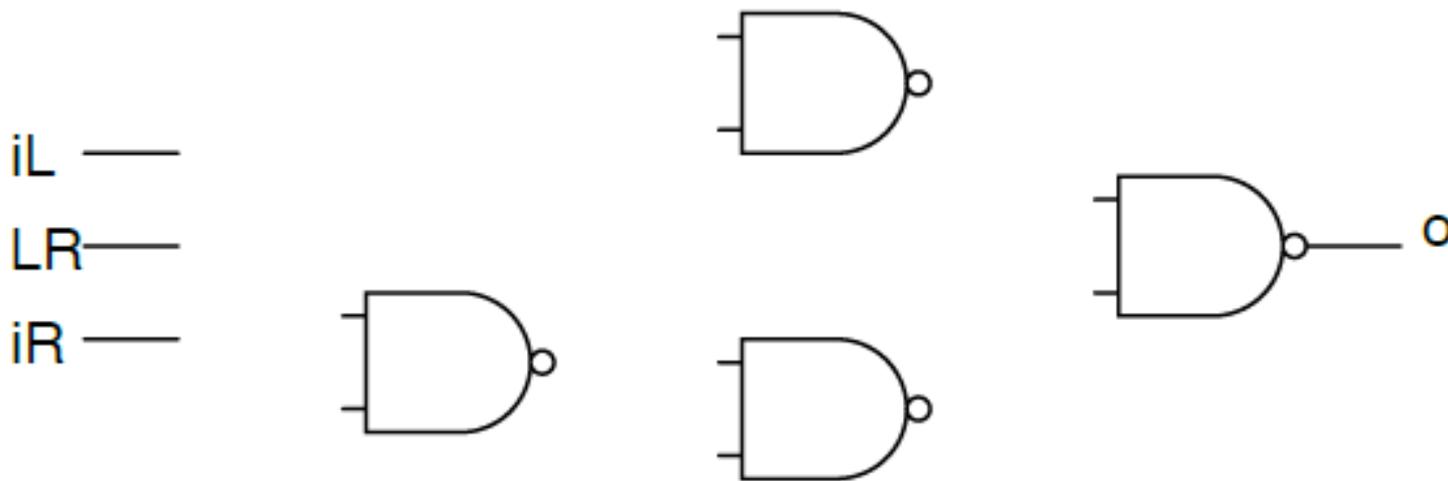
Suma de productos:



Producto de sumas:



b) (2,25 puntos) Implementar la salida o utilizando únicamente puertas NAND de 2 entradas. Para ello, añadir las conexiones al esquema parcial incluido a continuación. Pueden añadirse puertas NAND de 2 entradas adicionales si fuera necesario.



- c) (2 puntos) ¿Sería posible construir un desplazador de ancho 4 utilizando este componente? En caso afirmativo, realizar el dibujo de la implementación, explicando claramente la función de cada entrada y cada salida del circuito resultante. ¿Ha sido necesario utilizar puertas lógicas adicionales?
-

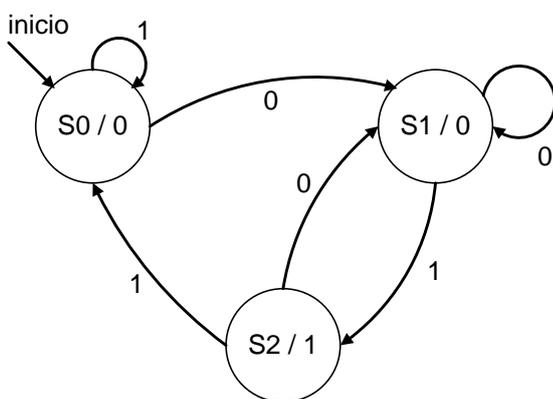
FUNDAMENTOS DE COMPUTADORES - 2ª PRUEBA ESCRITA
(puntuación máxima: 10; peso en la nota final: 40%)

TEST (valor máximo ponderado: 3,75 puntos)

Cada pregunta contestada correctamente sumará 1 punto y cada respuesta incorrecta restará 0,25. Las preguntas en blanco no sumarán ni restarán. Al resultado se le aplicará un factor de ponderación para que el test tenga un valor máximo en el examen de 3,75 puntos.

| | | | | | |
|-----------|---|---|---|---|---|
| Pregunta | 1 | 2 | 3 | 4 | 5 |
| Respuesta | | | | | |

1. Sea el DTE de la figura adjunta. Si la FSM se encuentra en el estado S0 y recibe la secuencia de entrada 1001011, indicar cuál es la secuencia de estados que atraviesa y la salida que produce:



- e. Secuencia de salida: 0001010; secuencia de estados: S0 – S1 – S1 – S2 – S1 – S2 – S0
- f. Secuencia de salida: 0000010; secuencia de estados: S0 – S0 – S0 – S0 – S1 – S2 – S0
- g. Secuencia de salida: 0010010; secuencia de estados: S1 – S1 – S2 – S0 – S1 – S2 – S0
- h. Ninguna de las restantes respuestas es cierta.

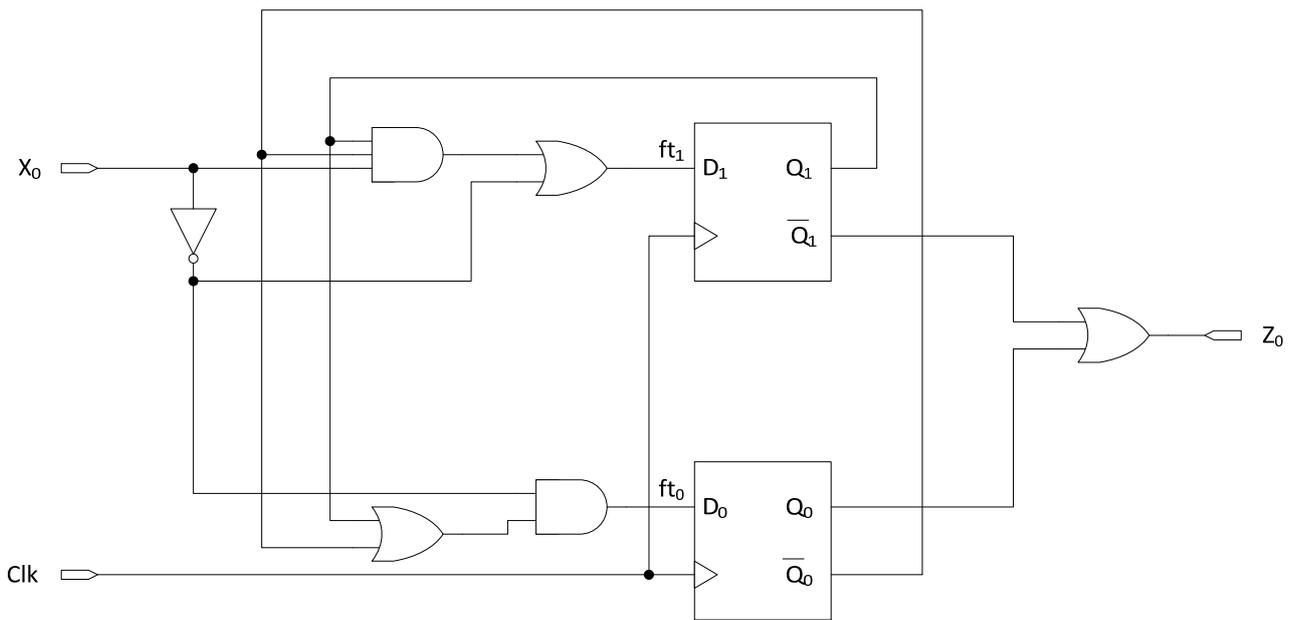
2. Indicar cuál de las siguientes afirmaciones es CIERTA:

- e. Un latch D síncrono por nivel bajo se vuelve transparente en el instante en que se produce en el reloj un flanco de subida.
- f. El biestable JK tiene sentido únicamente cuando es síncrono por nivel.
- g. Una FSM no puede implementarse utilizando biestables SR para almacenar el estado: para esto último sólo valen los biestables JK, T o D.
- h. Ninguna de las restantes respuestas es cierta.

3. Indicar cuál de las siguientes afirmaciones es FALSA:

- a. La técnica de habilitación de salida en un registro permite, mediante una señal de control S, que el registro coloque en la salida su contenido cuando S esté activa, o un valor de alta impedancia cuando S esté inactiva.
- b. La técnica de habilitación de reloj (“clock gating”) en un registro puede producir problemas de sesgo (“skew”) en el reloj del sistema, motivo por el cual es preferible utilizar habilitación de entrada.
- c. Los contadores síncronos realizan obligatoriamente cuenta ascendente.
- d. Los contadores asíncronos se llaman así porque sus biestables no comparten la misma señal de reloj, a diferencia de lo que sucede en los contadores síncronos, en los que la señal de reloj es igual para todos los biestables.

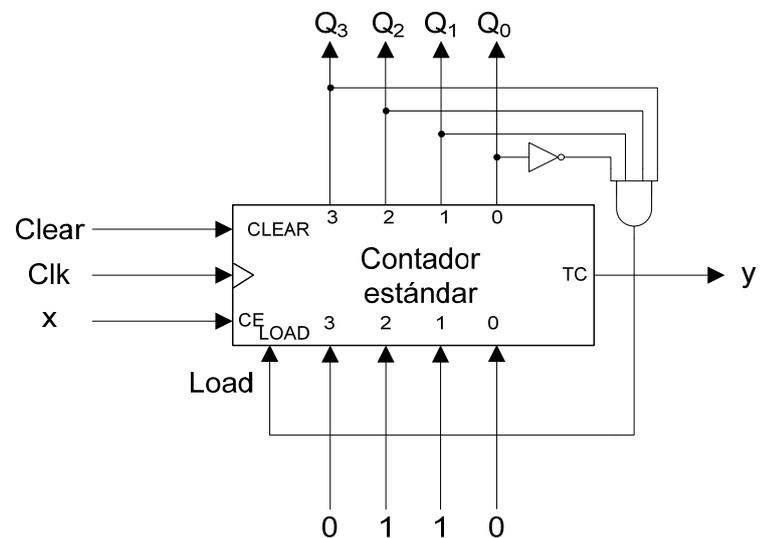
4. Dado el circuito de la figura, que representa una FSM, indicar cuál de las siguientes afirmaciones es CIERTA:



- a. La FSM de la figura no es una máquina de Moore.
- b. $ft_1(Q_1, Q_0, X_0) = Q_1 \overline{Q_0} X_0 + \overline{X_0}$
- c. $ft_0(Q_1, Q_0, X_0) = (Q_1 + \overline{Q_0}) \cdot \overline{X_0}$
- d. $Z_0(Q_1, Q_0) = Q_1 Q_0$

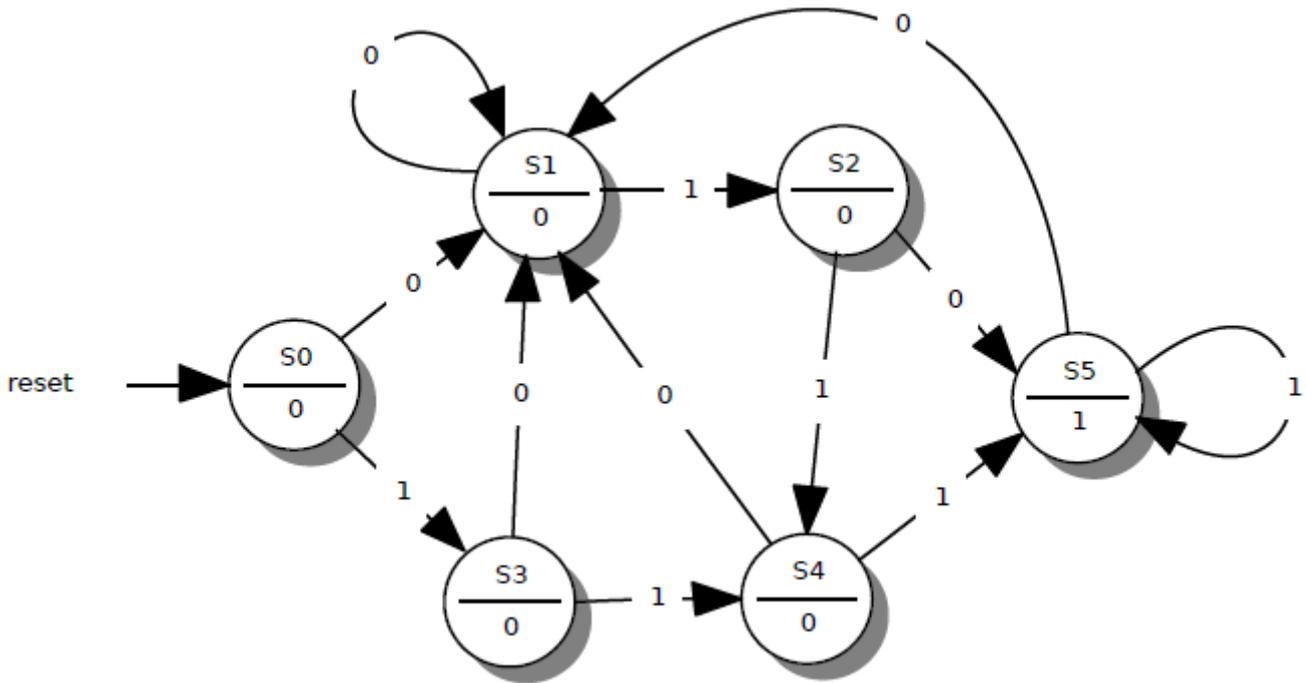
5. Indicar la función que realiza el circuito adjunto:

- a. Es un contador de 0 a 14.
- b. Es un contador de 6 a 14.
- c. Es un contador de 6 a 15.
- d. Ninguna de las restantes respuestas es cierta



EJERCICIO (valor máximo: 6,25 puntos)

Sea la máquina de estados finitos cuyo diagrama está representado en la siguiente figura:



Se pide:

- a) (0,5 puntos) ¿Se trata de una máquina de Mealy o de Moore? Justificar la respuesta.
- b) (1,5 puntoS) Obtener la tabla de transiciones y salidas.
- c) (3 puntos) Obtener las funciones de excitación y de salida mínimas en forma de SdeP para implementar la máquina con biestables tipo T (se adjunta la tabla de excitación del biestable y la tabla de codificación de estados).

| Q | | Q' | T |
|-----|---|------|-----|
| 0 | → | 0 | 0 |
| 0 | → | 1 | 1 |
| 1 | → | 0 | 1 |
| 0 | → | 0 | 0 |

| Estado | Codificación |
|--------|--------------|
| S0 | 000 |
| S1 | 001 |
| S2 | 010 |
| S3 | 011 |
| S4 | 100 |
| S5 | 101 |

- d) (1,5 puntos) Implementar el circuito utilizando una ROM y biestables D. Para ello, rellenar el contenido de la ROM en el circuito proporcionado en la figura (se han omitido las señales de *reset* por claridad).

