



# Problemas de Electrónica Digital (Tema 4, enunciados)

## Electrónica Digital

**Universidad de Alcalá**

---

# Índice

Ejercicios del Tema 4 .....	2
Cuestión 1 .....	2
Cuestión 2 .....	3
Cuestión 3 .....	4
Cuestión 4 .....	5
Cuestión 5 .....	6
Cuestión 6 .....	7
Cuestión 7 .....	8
Cuestión 8 .....	10
Cuestión 9 .....	11
Cuestión 10 .....	12
Cuestión 11 .....	13
Cuestión 12 .....	14

## Ejercicios del Tema 4

### Cuestión 1

El registro universal 74LS194 de la Figura 1.1 es sometido a las señales de la Figura 1.2. Complete el cronograma de la Figura 1.2 justificando su respuesta.

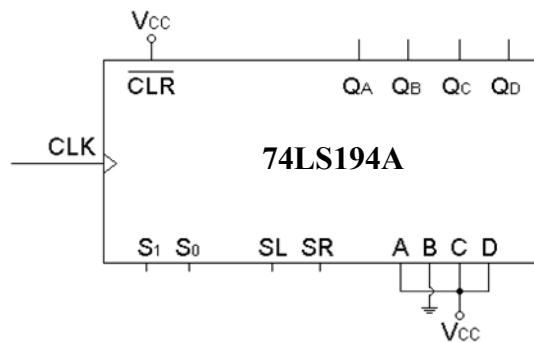


Figura 1.1. Registro de desplazamiento y tabla de funcionamiento.

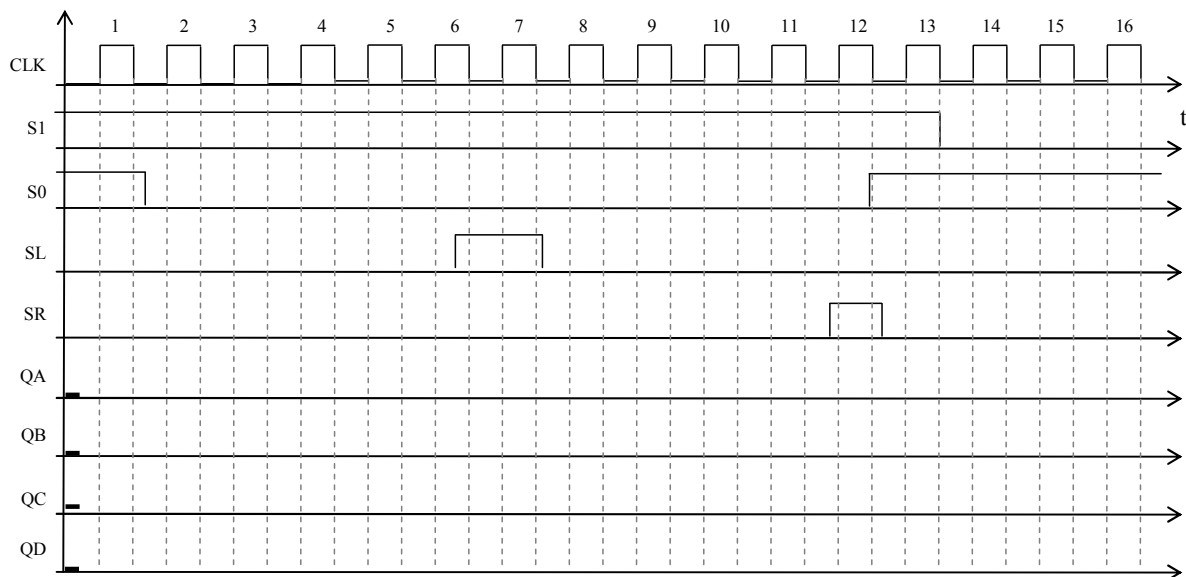


Figura 1.2.

### Cuestión 2

1) Atendiendo al circuito que aparece en la Figura 2.1, complete la tabla que aparece a continuación.

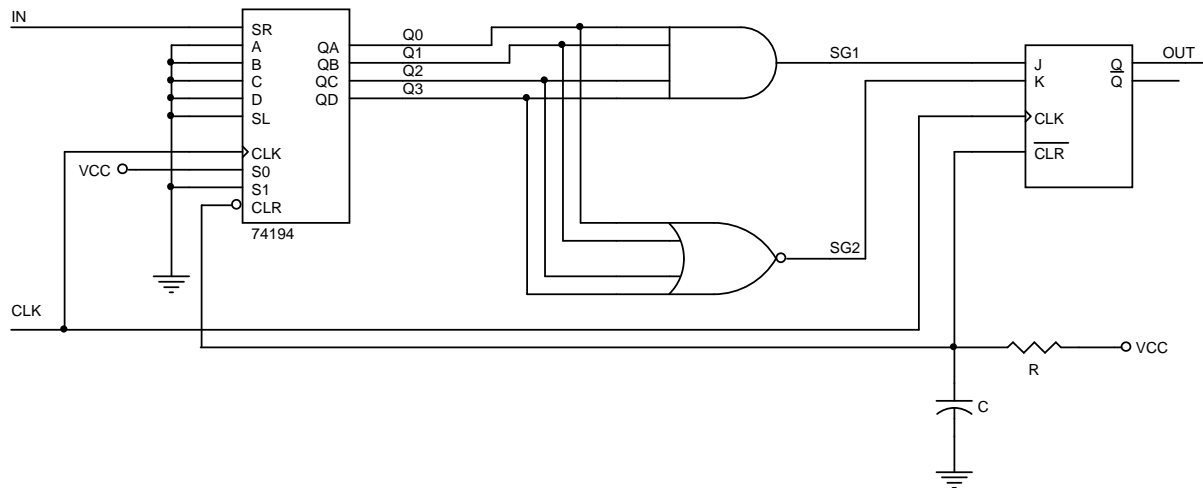


Figura 2.1. Circuito basado en el 74194.

CLK	IN	Q0	Q1	Q2	Q3	SG2	SG1	OUT
Inicio	0							
↑	1							
↑	1							
↑	1							
↑	1							
↑	0							
↑	1							
↑	0							
↑	0							
↑	0							
↑	0							
↑	0							
↑	1							
↑	1							
↑	1							

2) El circuito anterior se puede utilizar como un filtro digital que elimina los pulsos de corta duración debidos al ruido que pudiera aparecer en la señal de entrada. Indique la duración máxima (en ciclos de reloj) de los pulsos que dicho circuito es capaz de eliminar.

### Cuestión 3

Mediante el registro de desplazamiento 74LS194, cuyas características se adjuntan, se ha realizado un contador cíclico, tal como se muestra en la Figura 3.1.

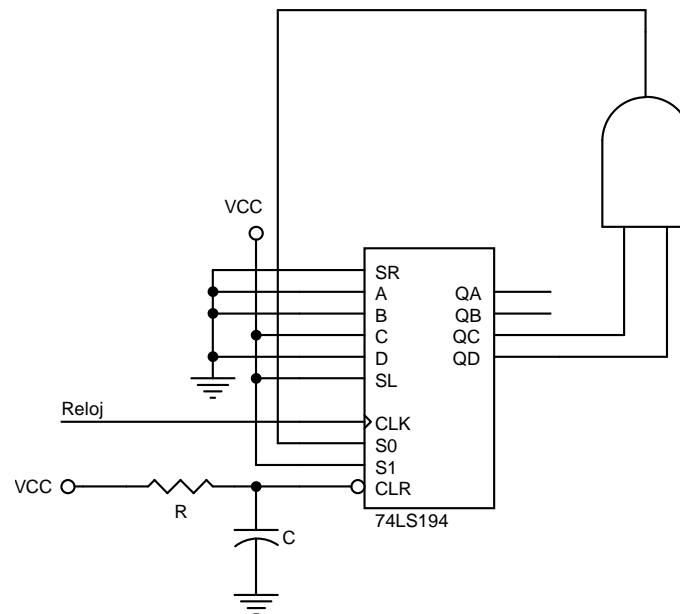


Figura 3.1. Contador implementado con un 74LS194.

1) Complete la siguiente tabla, indicando el módulo del contador implementado.

Reloj	QD	QC	QB	QA	Operación
Inicio					
↑					
↑					
↑					
↑					
↑					
↑					
↑					

2) Basándose en el montaje de la Figura 3.1, realice un nuevo diseño, incluyendo los elementos necesarios, de forma que la secuencia del contador sea periódica desde la conexión de la alimentación.

### Cuestión 4

A partir del circuito de la figura 4.1, realizado con el circuito integrado 74LS194.

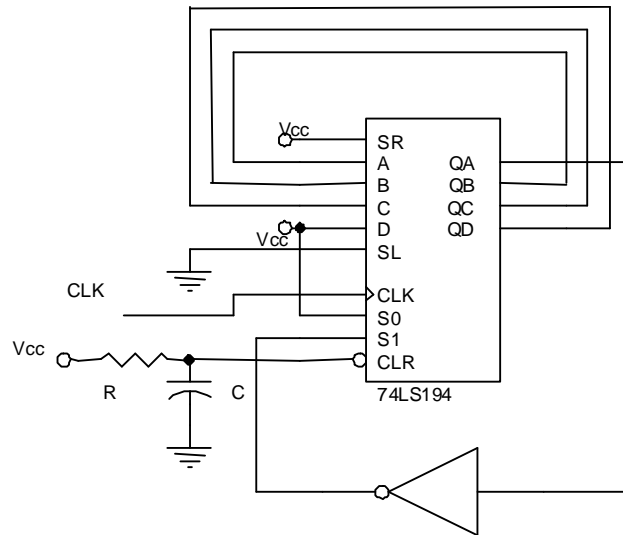


Figura 4.1. Circuito basado en registro de desplazamiento.

1) Complete la siguiente tabla.

Reloj	QD QC QB QA	Operación realizada
Conexión alimentación		
↑		
↑		
↑		
↑		
↑		
↑		

### Cuestión 5

Dado el circuito la Figura 5.1, se pide:

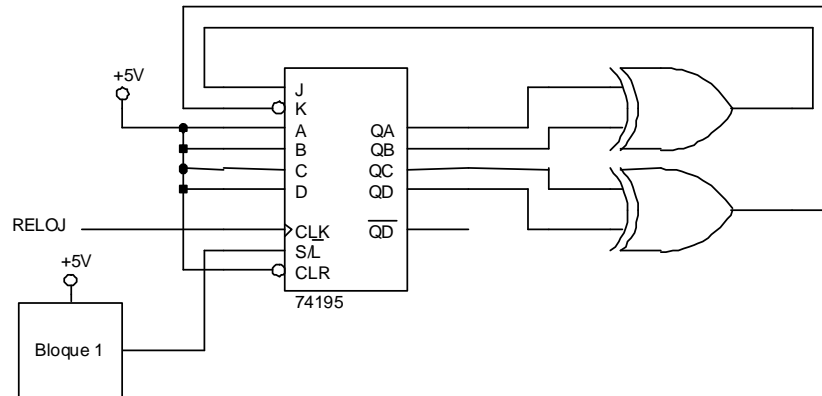


Figura 5.1. Sistema secuencial.

- 1) Diseñe el circuito “Bloque 1”, para garantizar que en la conexión del circuito se realice una operación de carga al producirse un flanco de subida de la señal de reloj.
- 2) Si la señal de reloj tiene un periodo de 1 ms, ¿cuánto tiempo hay que mantener un nivel bajo en dicho terminal para garantizar que se produce la carga al conectar la alimentación?
- 3) Suponiendo que la carga se realiza correctamente, complete la siguiente tabla con la evolución de las salidas del registro. ¿Cuál es el módulo de este contador?

RELOJ	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>	J	$\bar{K}$
Conex. + ↑						
↑						
↑						
↑						
↑						
↑						
↑						
↑						
↑						
↑						

Módulo contador:

### Cuestión 6

A partir del circuito de la figura 6.1, y de la tabla de funcionamiento del integrado 74194, responda justificadamente a las siguientes preguntas:

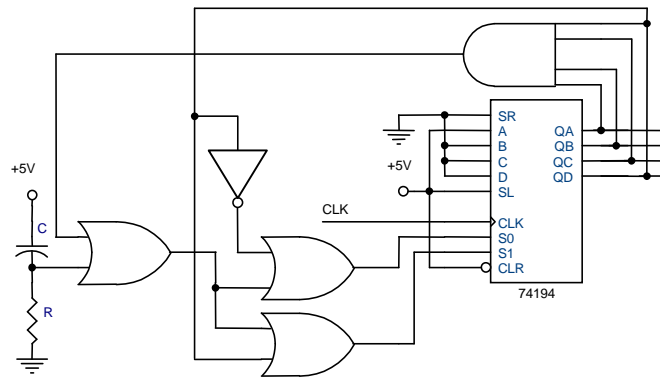


Figura 6.1. Circuito secuencial basado en el registro 74194.

- 1) Complete la siguiente tabla indicando la evolución de las señales más significativas durante 12 ciclos de la señal de reloj desde que se carga el condensador, a partir del momento en el que se conecta la alimentación.

CLK	S <sub>1</sub>	S <sub>0</sub>	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>
Conex. + ↑						
↑						
↑						
↑						
↑						
↑						
↑						
↑						
↑						
↑						
↑						
↑						
↑						

- 2) Calcule la frecuencia máxima de funcionamiento sabiendo que el registro tiene un tiempo de propagación de 26 ns y un tiempo de setup de 20 ns, y cada puerta un tiempo de propagación de 18 ns.



### Cuestión 7

Basándose en el contador de décadas 74160 se ha diseñado otro contador de 4 bits, con salidas Q'DQ'CQ'BQ'A, como se muestra en la Figura 7.1.

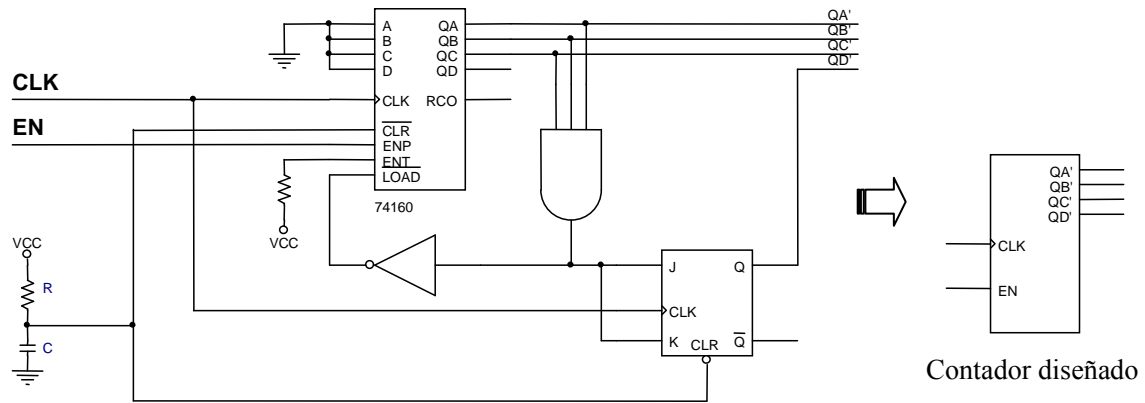
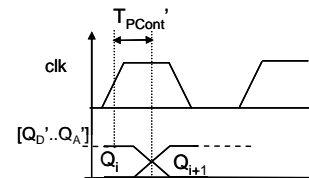


Figura 7.1.

1) ¿Cuál es el tiempo de propagación  $T_{PCont}$  del nuevo contador diseñado? Razone la respuesta.

Datos (tiempos de propagación):  $t_{P160}=30ns$ ;  $t_{PBiest}=40ns$ ;  $t_{Ppuertas}=20ns$ .

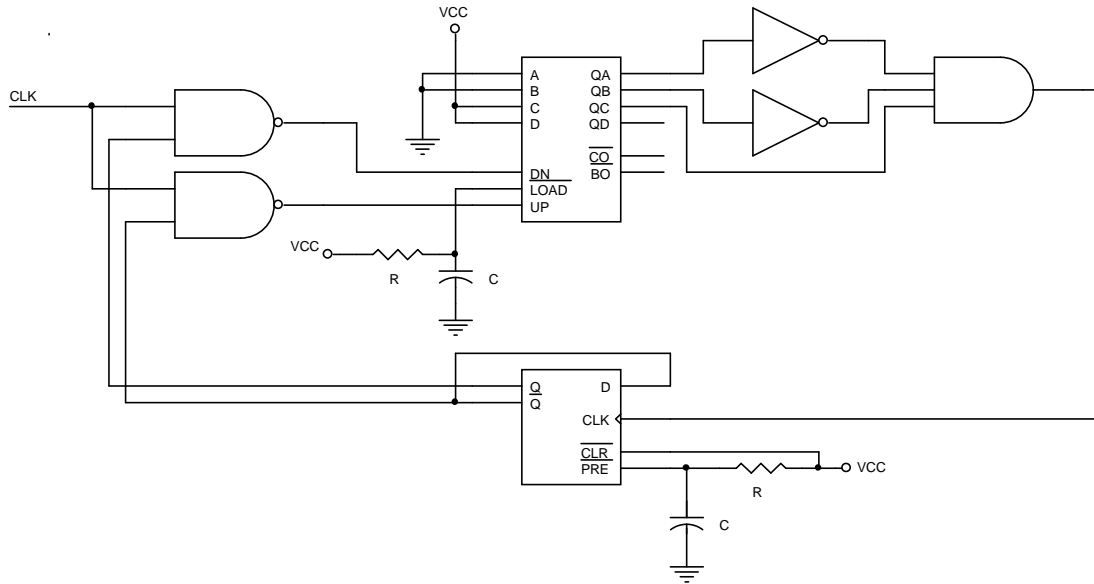


2) Complete la tabla con las salidas del contador diseñado, cuando la señal EN='H'.

CLK	Q <sub>D</sub> ' Q <sub>C</sub> ' Q <sub>B</sub> ' Q <sub>A</sub> '	Load/
Conex Vcc		
↑		
↑		
↑		
↑		
↑		
↑		
↑		
↑		
↑		
↑		
↑		
↑		
↑		
↑		
↑		
↑		
↑		
↑		
↑		

### Cuestión 8

En el circuito de la Figura 8.1 se representa un contador cuya salida es interpretada en complemento a 2. El diseño está basado en un contador ascendente/descendente con entrada de carga (LOAD) asíncrona.



**Figura 8.1. Circuito basado en un contador.**

- 1) Indique claramente los límites numéricos entre los que oscila el valor de salida del contador expresados en decimal.
  
- 2) Indique las modificaciones que habría que hacer en el circuito para realizar una cuenta asimétrica entre el -3 y el +5.

### Cuestión 9

En la Figura 9.1 se muestra un circuito secuencial basado en un contador del que se proporciona su cronograma de funcionamiento en la Figura 9.2. Se pide:

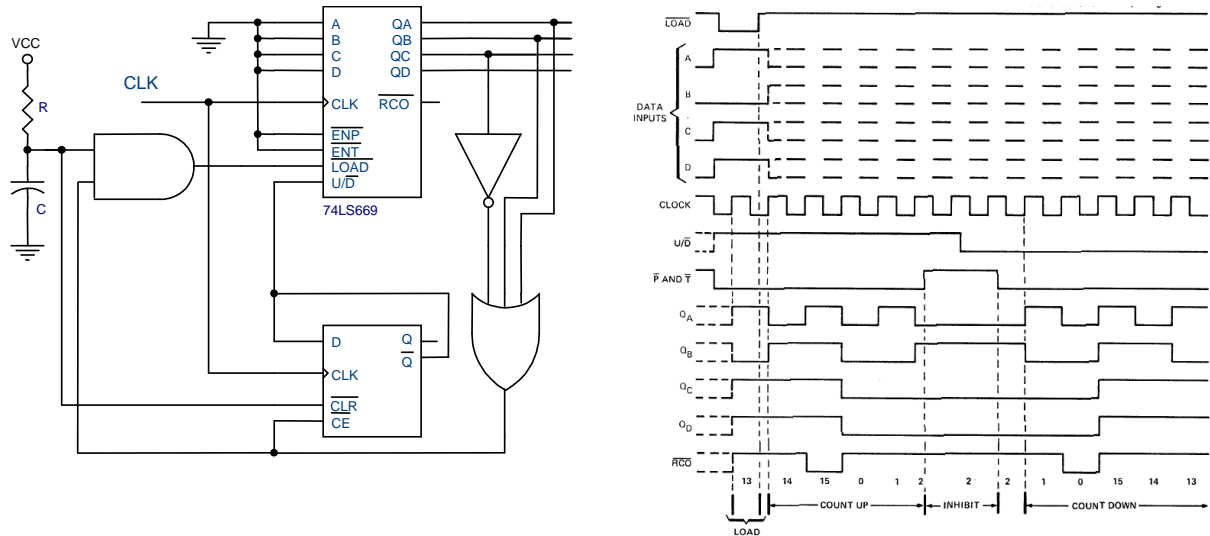


Figura 9.1. Sistema secuencial. Figura 9.2. Cronograma de funcionamiento del 74LS669

- 1) Complete la siguiente tabla indicando la evolución de las salidas del contador desde el momento de conexión de la alimentación, durante los 12 flancos de reloj siguientes a la carga del condensador.

Funcionamiento del biestable

$\overline{\text{CLR}}$	$\overline{\text{CE}}$	D	CLK	$Q_{t+1}$
L	X	X	X	L
H	H	X	X	$Q_t$
H	L	$D_t$	$\uparrow$	$D_t$

CLK	$Q_D$	$Q_C$	$Q_B$	$Q_A$
Conexión + $\uparrow$				
$\uparrow$				
$\uparrow$				
$\uparrow$				
$\uparrow$				
$\uparrow$				
$\uparrow$				
$\uparrow$				
$\uparrow$				
$\uparrow$				
$\uparrow$				

- 2) Determine la máxima frecuencia de funcionamiento del circuito a partir de los datos que se adjuntan a continuación, atendiendo únicamente a la señal LOAD.

Datos:  $t_{p_{PUERTAS}}=5 \text{ ns}$ ; Contador:  $t_{p_{CONT}}=18\text{ns}$ ;  $t_{SU\_LOAD}= 2 \text{ ns}$ ;  $t_{SU\_U/D}= 4 \text{ ns}$ ; Biestable:  $t_{p_B}= 12 \text{ ns}$ ;  $t_{SU\_D}= 2 \text{ ns}$ ;  $t_{SU\_CE}= 2 \text{ ns}$ .

### Cuestión 10

En la Figura 10.1 se muestra un circuito realizado con un contador genérico binario natural bidireccional, con entradas CLR asíncrona y LOAD síncrona y salida de fin de cuenta MX/MN activa a nivel alto durante un ciclo de la señal de reloj. Se pide:

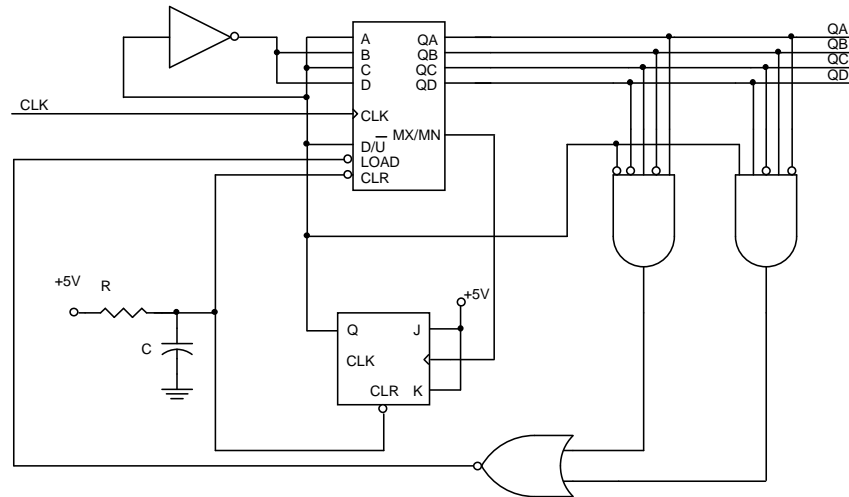


Figura 10.1. Circuito basado en un contador binario natural de módulo 16.

1) Complete la siguiente tabla indicando los eventos que ocurren tras las situaciones que se plantean.

Situaciones		Eventos
Conexión de la alimentación	Valor inicial de cuenta:	
	Sentido inicial de cuenta:	
	Valor inicial de LOAD:	
Llegada de Q al fin de cuenta	En cuenta ascendente:	
	En cuenta descendente:	
Salida Q=5	En cuenta ascendente:	
	En cuenta descendente:	
Salida Q=10	En cuenta ascendente:	
	En cuenta descendente:	

2) Escriba ordenadamente y en decimal los códigos que forman la secuencia que sigue la salida del circuito, indicando el módulo del contador obtenido.

### Cuestión 11

- 1) A partir de un contador binario natural genérico de módulo 16, cuya tabla de funcionamiento se adjunta, obtenga un contador que disponga de dos señales de selección, S1 y S0, y una entrada de Enable activa a nivel alto, E, que permitan indicar el código de salida y el sentido de la cuenta, según se indica en la tabla mostrada, y que al conectar la alimentación comience en el código 0. Puede emplear puertas AND, NAND y OR en el menor número posible.

Nota: CO se activa cuando en cuenta descendente el código de salida es el 0. BO se activa cuando en cuenta ascendente el código de salida es el 15.

E	S1	S0	Cód. salida y sentido
1	X	X	Cuenta detenida
0	0	0	Binario, ascendente
0	0	1	Binario, descendente
0	1	0	Decimal, ascendente
0	1	1	Decimal, descendente

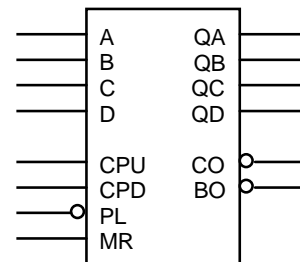
MR	$\overline{PL}$	CPU	CPD	Modo
1	X	X	X	Reset (Async.)
0	0	↑ ó	↑	Preset (Sync.)
0	1	1	1	No change
0	1	↑	1	Count Up
0	1	1	↑	Count Down

CLK

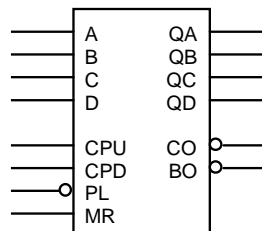
E

S0

S1



- 2) A partir del mismo contador genérico, diseñe un contador que siga la secuencia 6, 7, 8, 9, 10, 6, 7, 8...



### Cuestión 12

Dado el circuito de la Figura 12.1:

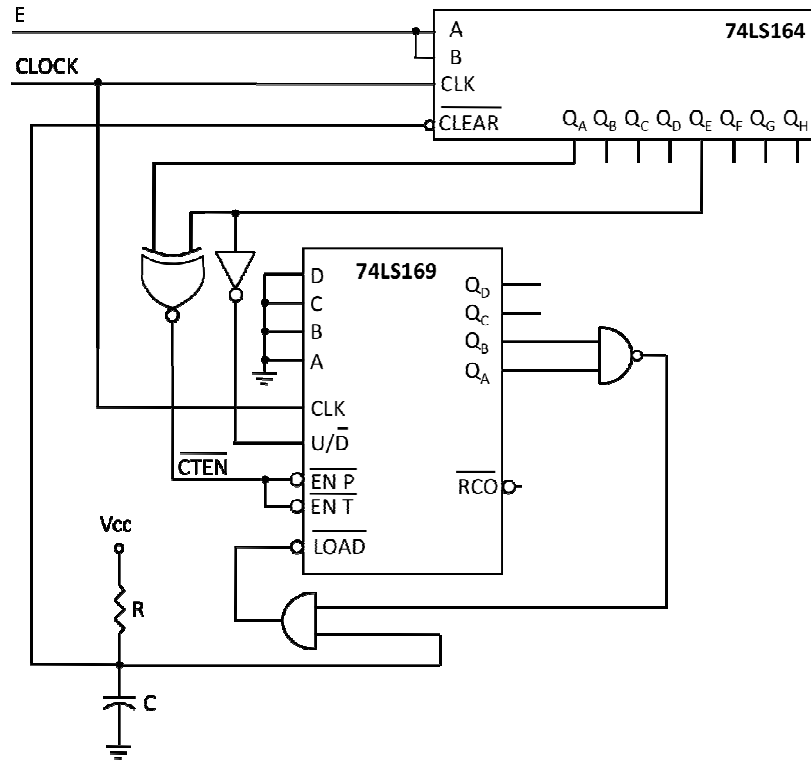


Figura 12.1. Circuito secuencial.

- 1) Indique cuál será el valor inicial de las salidas de los componentes 74LS164 y 74LS169 una vez transcurrido el transitorio del circuito RC, sabiendo que la constante de tiempo de dicha red es mayor que el período de la señal de reloj ( $\tau=RC > T_{CLK}$ ). Obtenga además en este apartado las ecuaciones lógicas de aquellas entradas de ambos circuitos que considere necesarias para analizar su funcionamiento y rellenar posteriormente el cronograma del siguiente apartado.

2) Partiendo del estado inicial que haya justificado en el apartado anterior y suponiendo que la red RC ha alcanzado su régimen estable, rellene el cronograma adjunto para el circuito de la Figura 12.1.

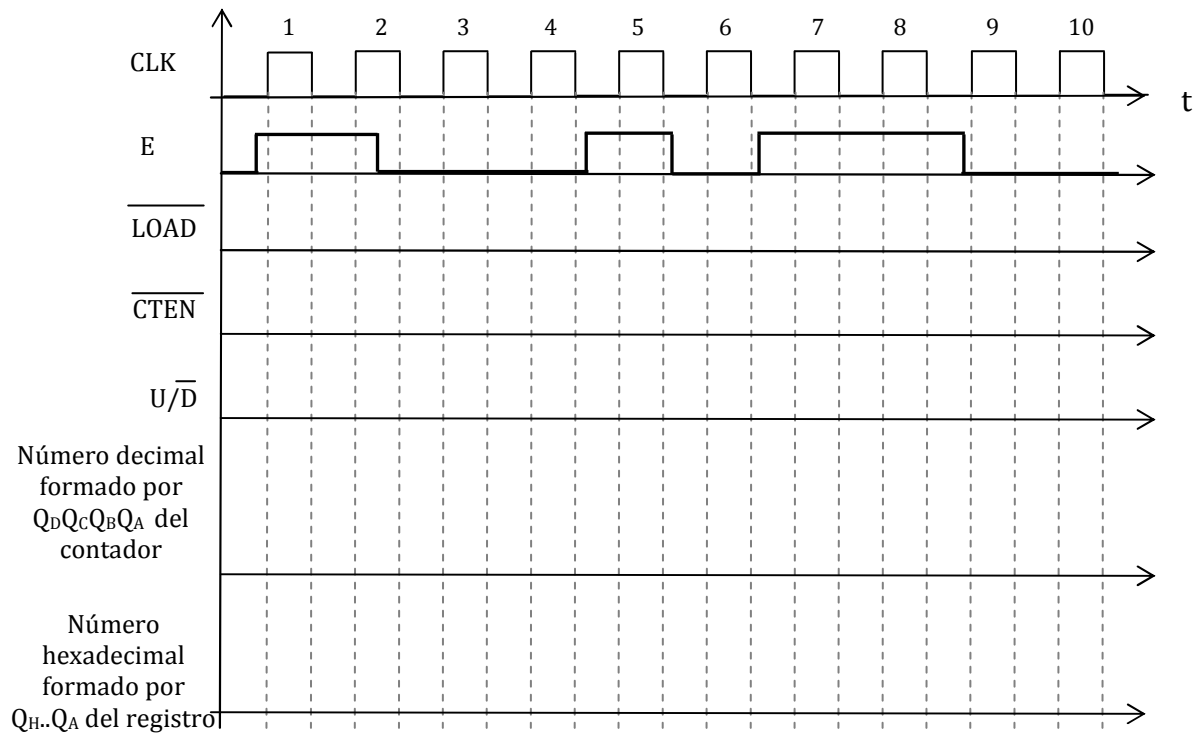


Figura 12.2. Cronograma de funcionamiento.