



ASIGNATURA	600030 – SISTEMAS ELECTRÓNICOS DIGITALES	CURSO	2015-2016
APELLIDOS, NOMBRE		GRUPO	

ENTREGABLE TEMA 3

En un sistema digital basado en el *uC* LPC1788FBD208 (bus de datos de 32 bits), se desea incluir tres bloques externos de los siguientes tipos:

- SRAM de 8Mx8 organizada en 4 bancos (32 bits de bus de datos) a partir de dispositivos CY7C1071DV33. Suponga que se desea mapear a partir de la dirección 0x9D000000.
- FLASH de 16M8 organizada en 1 sólo banco (8 bits de bus de datos) a partir de dispositivos S29AL032D70TAI00. Suponga que se desea mapear a partir de la dirección 0x98000000.
- Espacio para expansión externa de 16 bits de ancho de palabra. En él se ubicará un periférico de 128x16. Suponga que el bloque se desea mapear a partir de la dirección 0x80000000.

Con esta información y la proporcionada por el fabricante del LPC1788 y de los chips de memoria responda justificadamente a las siguientes preguntas:

- a) Dibuje el diseño del mapa de memoria externo del *uC* a incluir, de forma que se minimice la lógica de selección externa. Indique la información lógica y física sobre mapa así como si en el diseño realizado se dejan espacios libres entre los distintos bloques, y de qué tamaño (en su caso).
- b) ¿Qué tipo de decodificación se ha empleado en cada caso? Si es incompleta en alguno de los casos, indique cuantas direcciones lógicas se corresponden con cada dirección física, y añada el hardware externo que permita hacer completa dicha decodificación en el caso del periférico.
- c) Dibuje el diseño del sistema de memoria SRAM, y su conexión al EMC .
- d) Dibuje el diseño del sistema de memoria FLASH, y su conexión al EMC .
- e) Dibuje la conexión del periférico con el EMC .
- f) Incluya la configuración de todos los registros del módulo EMC necesarios para conseguir el correcto funcionamiento del sistema de memoria diseñado, ajustando la duración de los ciclos de acceso a los dispositivos al valor mínimo necesario para garantizar correctamente tanto la lectura como la escritura (suponga para el caso del periférico que su tiempo de acceso es de 100ns) considerando que la frecuencia de CPU es de 100 Mhz .