



Electrónica Digital

Capítulo 1. Circuitos Digitales. Aspectos generales. (1/3)



1. Introducción
2. Álgebra de Boole
3. Bit, código digital, nivel lógico, códigos de numeración
4. Funciones lógicas básicas. Puertas lógicas
5. Diseño de un circuito digital básico
6. Lenguajes de descripción software
7. Familias lógicas

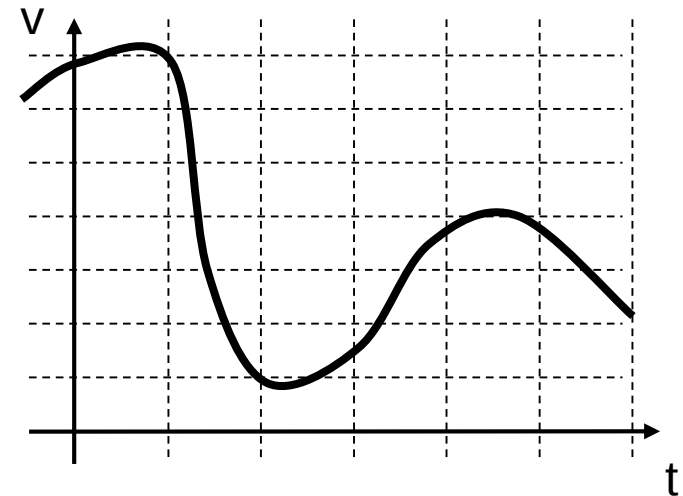


1. Introducción



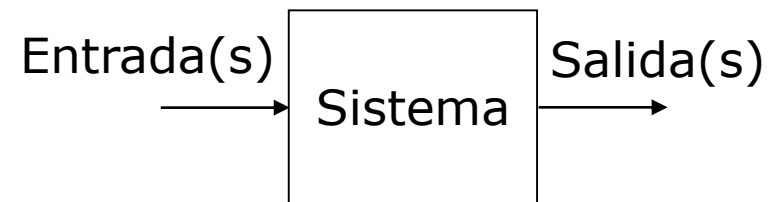
□ Señal:

- Magnitud física que varía. Puede ser óptica, acústica, etc.
- En nuestro caso, trabajaremos con **señales eléctricas: voltaje e intensidad**, que pueden representar la variación de otra magnitud (temperatura, presión, etc.)



□ Sistema:

- Conjunto de elementos interconectados que evolucionan de forma coordinada siguiendo determinadas reglas o relaciones
- En nuestro caso los utilizaremos para procesar señales eléctricas: **circuitos**



Estructura / Función

Análisis / Síntesis



1. Introducción



□ Tipos de magnitudes:

■ Señales analógicas:

- Pueden tomar infinitos valores entre un mínimo y un máximo.

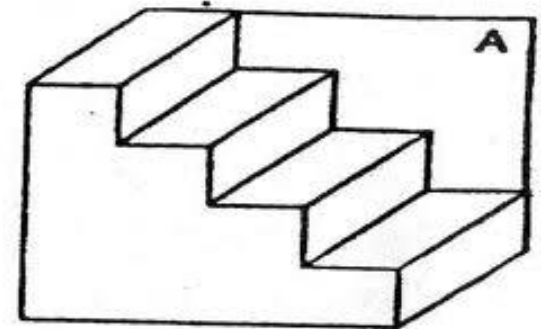
■ Señales digitales:

- Son aquellas cuya magnitud sólo puede tomar un número finito de valores n ($0, 1, 2, \dots, n-1$).
- Si $n=2$ la señal es **binaria** y solo podrá tomar los valores 0 y 1.

Altitud a la que
vuelan los globos
Mag. analógica



Altura a la que
nos situamos al
subir una escalera
Mag. digital



Programables, estables, repetibles,
Almacenamiento, fiables, derivas temporales,
inmunidad al ruido

□ Ventajas e inconvenientes.

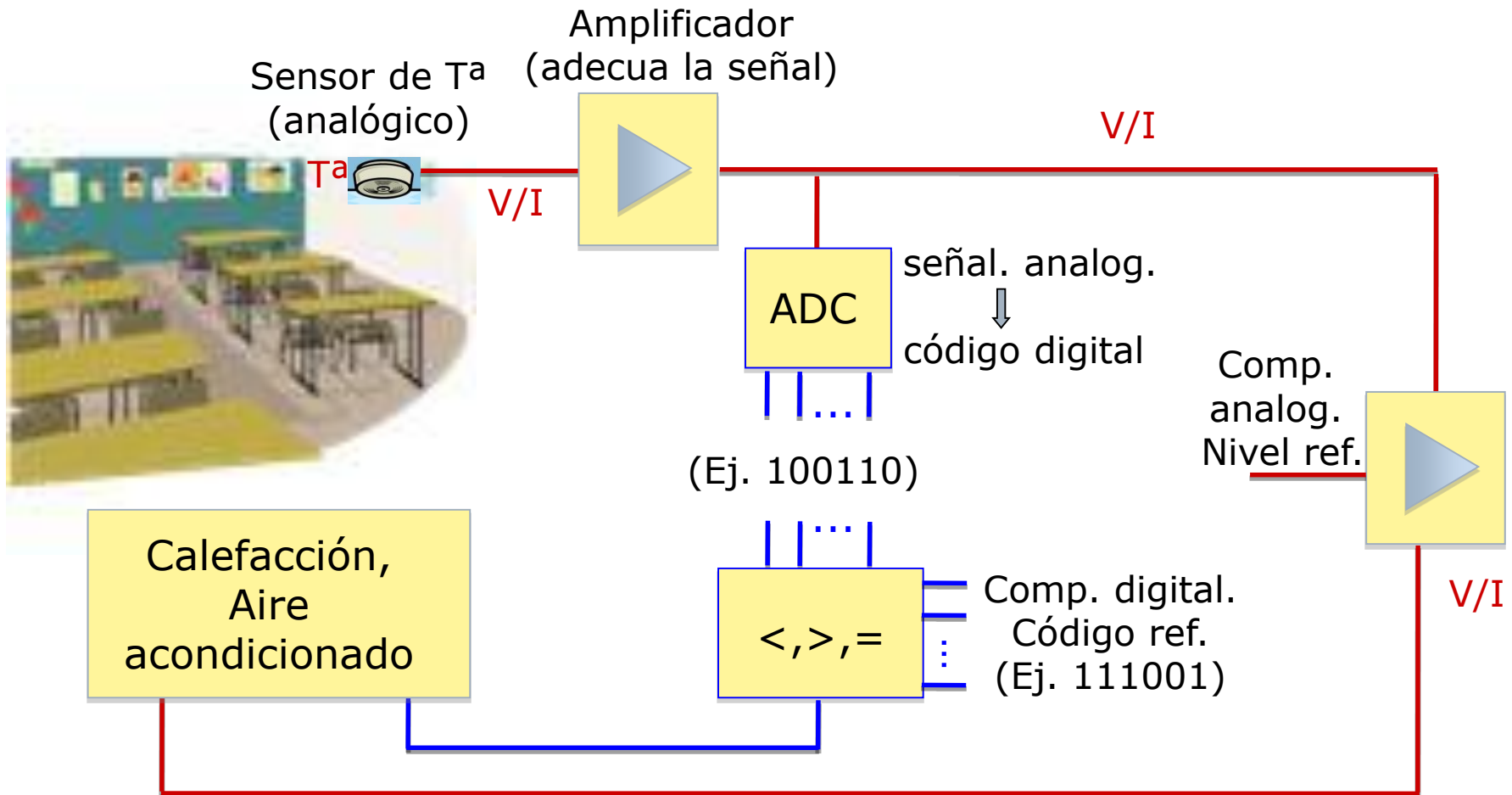


1. Introducción



□ Se puede trabajar con señales **analógicas** y/o **digitales**

■ Ej. Circuito de control de temperatura (T^a)

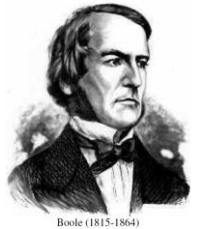




2. Álgebra de Boole



- ❑ Desarrollado por George Boole en 1854.
- ❑ Un álgebra de Boole es una séxtupla formada por:
 - Un **conjunto de elementos** A ,
 - **dos valores posibles** (álgebra de Boole bivalente) para los elementos del conjunto A : **0 y 1**.
 - **dos operaciones binarias**: **producto** (también denominada "y", "and" en inglés, y denotada con un punto $\cdot$) y **suma** (también denominada "o", "or" en inglés, y denotada por $+$),
 - **una operación unitaria**: **negación** (not en inglés y denotada con una línea sobre la variable negada)
- ❑ ...que cumplen una serie de principios y teoremas que se referenciarán en el anexo.
- ❑ **Claude Shannon demostró que representando (codificando) las magnitudes, señales y números mediante 0's y 1's, se pueden realizar complejas operaciones lógicas y matemáticas de forma relativamente simple con circuitos que operan usando el álgebra de Boole.**





3. Bit, código digital, nivel lógico, códigos de numeración



- ❑ **Bit (Binary digit):** mínima unidad de información digital cuyo valor puede ser 0 ó 1 (cada una de las variables del álgebra de Boole es un bit).
- ❑ **Código digital:** conjunto de bits que se utilizarán para representar un número, una magnitud, etc. con 0's y 1's.
 - Ej: del 12 (número decimal) → al 1100 (código binario natural)
- ❑ **Nivel lógico:** los circuitos reales que implementan las operaciones del álgebra de Boole utilizarán unos determinados niveles de tensión para representar el valor de cada bit. Ej.:
 - 0 → nivel bajo de tensión (L), cercano a masa: [0V. 0,5V.]
 - 1 → nivel alto de tensión (H), cercano a Vcc: [4,3V. 5V.]

Ejemplos

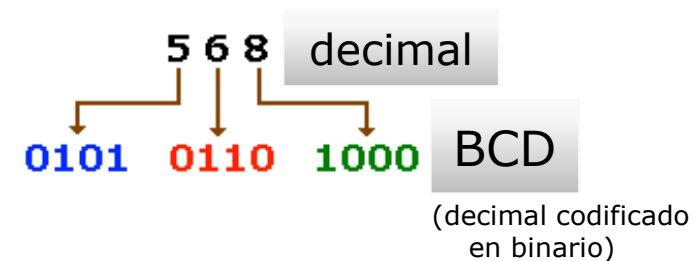


3. Bit, código digital, nivel lógico, códigos de numeración



- Según el código de numeración, existen distintas formas de representar los datos, señales, medidas...

Decimal	Binario	Hexadecimal	Octal	BCD	Exceso 3	Gray o Reflejado
0	0000	0	0	0000	0011	0000
1	0001	1	1	0001	0100	0001
2	0010	2	2	0010	0101	0011
3	0011	3	3	0011	0110	0010
4	0100	4	4	0100	0111	0110
5	0101	5	5	0101	1000	0111
6	0110	6	6	0110	1001	0101
7	0111	7	7	0111	1010	0100
8	1000	8	10	1000	1011	1100
9	1001	9	11	1001	1100	1101
10	1010	A	12	0001 0000		1111
11	1011	B	13	0001 0001		1110
12	1100	C	14	0001 0010		1010
13	1101	D	15	0001 0011		1011
14	1110	E	16	0001 0100		1001
15	1111	F	17	0001 0101		1000



$$568_{10} = 1000111000_2$$

Decimal	Código Gray
0	0000
1	0001
2	0011
3	0010
4	0110
5	0111
6	0101
7	0100

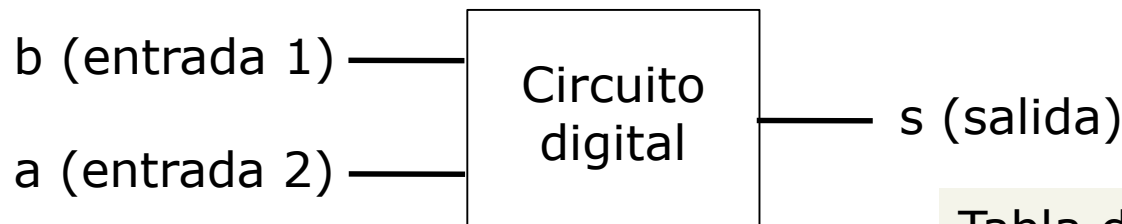


4. Funciones lógicas básicas

Introducción



- Una función lógica describe el cometido que realiza un circuito digital.
- Puede representarse bien mediante una expresión algebraica o bien mediante una tabla de verdad. Ej.:



Expr. algebraica

$$s = \bar{b} \cdot a + b \cdot \bar{a}$$

Tabla de verdad

b	a	s
0	0	0
0	1	1
1	0	1
1	1	0

Otro ejemplo:

$$f(c, b, a) = c \cdot \bar{a} + b \cdot a$$



4. Funciones lógicas básicas

Puertas lógicas



- ❑ Las operaciones o funciones lógicas básicas (AND, OR, Not,...) que se describen a continuación son la base de todos los sistemas digitales que se irán viendo a lo largo del curso.

- ❑ Para cada operación o función lógica, se muestra
 - su expresión algebraica,
 - su tabla de verdad,
 - los símbolos (IEC e IEEE tradicional, respectivamente) del circuito que implementa dicha función en un montaje real.



4. Funciones lógicas básicas

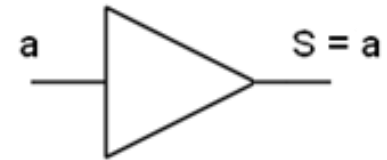
Puertas lógicas



❑ **Seguidor, *buffer*:** La salida sigue a la entrada

$$S = a$$

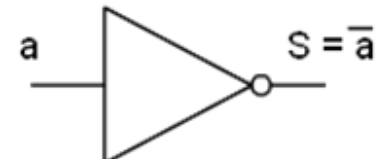
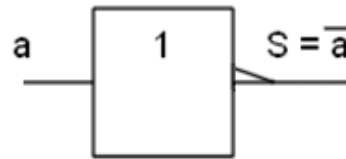
a	S
0	0
1	1



❑ **NOT, inversor:** La salida es la inversa de la entrada

$$S = \bar{a}$$

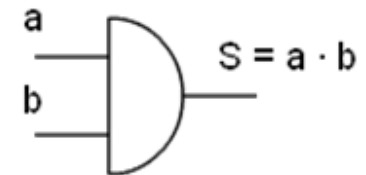
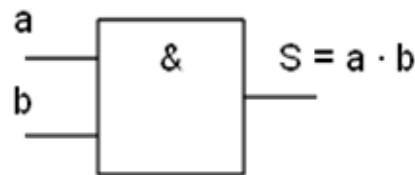
a	S
0	1
1	0



❑ **AND, producto lógico:** la salida es 1 cuando todas las entradas son 1

$$S = a \cdot b$$

a	b	S
0	0	0
0	1	0
1	0	0
1	1	1





4. Funciones lógicas básicas

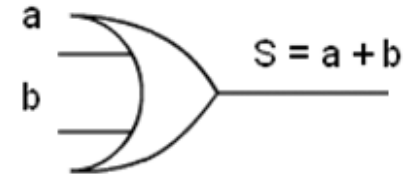
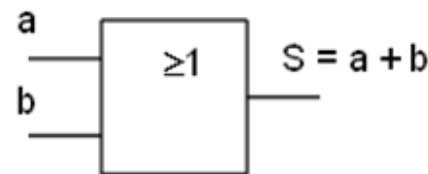
Puertas lógicas



- **OR, suma lógica:** la salida es 0 sólo si todas las entradas son 0

$$S = a + b$$

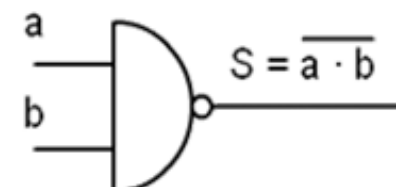
a	b	S
0	0	0
0	1	1
1	0	1
1	1	1



- **NAND:** la salida es 0 sólo cuando todas las entradas son 1

$$S = \overline{a \cdot b} = \overline{a} + \overline{b}$$

a	b	S
0	0	1
0	1	1
1	0	1
1	1	0





4. Funciones lógicas básicas

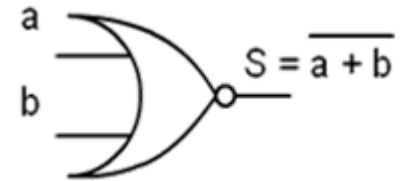
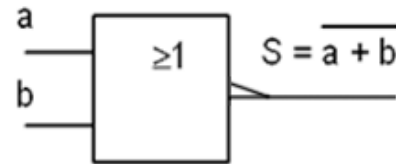
Puertas lógicas



□ **NOR:** la salida es 1 solo cuando todas las entradas son 0

$$S = \overline{a+b} = \overline{a} \cdot \overline{b}$$

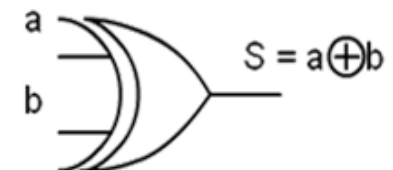
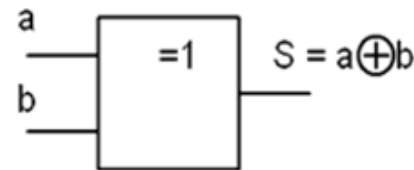
a	b	S
0	0	1
0	1	0
1	0	0
1	1	0



□ **XOR, Or exclusiva:** la salida es 1 cuando el número de entradas a 1 es impar (considerando el 0 par)

$$C = a \oplus b = \overline{a}b + a\overline{b}$$

a	b	S
0	0	0
0	1	1
1	0	1
1	1	0



□ **XNOR:** $C = \overline{a \oplus b}$ (puerta XOR negada)



5. Diseño de un circuito digital básico

- La resolución de un problema que requiera el diseño de un circuito digital partirá de un enunciado como el siguiente:

Sistema de recuento de votos:

La junta directiva de un equipo está formada por un presidente "a" y tres vocales, "b", "c", y "d". En una votación ningún miembro de la junta puede abstenerse y las decisiones se toman siempre por mayoría simple (mitad más uno). En caso de empate, decide el voto del presidente.

Las decisiones son binarias (sólo se puede votar SÍ o NO) y, para llevarlas a cabo, cada miembro del tribunal dispone de un botón que genera un 1 lógico si está pulsado y un 0 si no está pulsado. Los miembros de la junta se han puesto de acuerdo en que pulsar el botón será votar SÍ y dejarlo sin pulsar será NO.

Diseñe un circuito digital que recoja los votos de cada miembro de la junta y automatice el proceso de decisión generando en su salida un 1 lógico si la mayoría ha votado SÍ y un 0 lógico si la mayoría vota NO.



5. Diseño de un circuito digital básico

- El procedimiento para llegar desde el enunciado hasta el circuito que resuelva el problema se compone de los siguientes pasos:
 - **Identificar las entradas y salidas.** Esquema de bloques del circuito.
 - Establecer la **tabla de verdad**, a partir del enunciado del problema.
 - Obtener la **función canónica**, como suma de minterms o producto de maxterms, a partir de la tabla de verdad.
 - **Simplificar** la función canónica, bien algebraicamente (aplicando teoremas del Álgebra de Boole), o con otros métodos (p. ej. mapas de Karnaugh).
 - **Implementar** la función simplificada, mediante las oportunas puertas lógicas.



6. Lenguajes de descripción hardware

- ❑ Un **sistema digital complejo** no se implementa, en la mayoría de los casos, mediante puertas lógicas básicas, ni con dispositivos discretos.
- ❑ En su lugar, muchas aplicaciones se llevan a cabo mediante la programación de dispositivos digitales programables que, implementado las mismas funciones lógicas básicas, y además son más versátiles, reutilizables, etc.
- ❑ Un **lenguaje de descripción de hardware** (*Hardware Description Language*, **HDL** por sus siglas en inglés) es un lenguaje del estilo de los lenguajes de programación de software (C, etc.) que permite la descripción de los circuitos digitales.
- ❑ Una vez descrito un circuito digital según las especificaciones del HDL utilizado, **el programa puede ser compilado y cargado en un dispositivo lógico programable adecuado**, que cumplirá la misma funcionalidad que el circuito realizado con puertas lógicas básicas.



6. Lenguajes de descripción hardware



□ VHDL (estándar muy potente de diseño en la industria)

```
entity Mux4 is
    port (
        A      : in  bit_vector(3 downto 0);  -- dato A 4 bits
        B      : in  bit_vector(3 downto 0);  -- dato B 4 bits
        S, E    : in  bit;                    -- selección y enable
        O      : out bit_vector(3 downto 0));  -- salida 4 bits
end Mux4;

architecture funcionmux of Mux4 is
begin -- funcionmux
    -- purpose: selección uno de los datos A o B en la salida
    -- type    : combinational
    -- inputs  : A, B, S, E
    -- outputs : O
    process (A, B, S, E)
    begin -- process
        if E = '0' then
            if S = '0' then
                O <= A;
            else
                O <= B;
            end if;
        else
            O <= "0000";
        end if;
    end process;
end funcionmux;
```

□ VERILOG

```
module mux(A, B, C, sel, O);
    input  [1:0] sel;
    input  [23:0] A, B, C;
    output [23:0] O;

    reg [23:0] O;

    always @(sel or A or B or C)
        case(sel)
            'b00: O = A;
            'b01: O = B;
            'b10: O = C;
            default: O = 0;
        endcase
endmodule
```



6. Lenguajes de descripción hardware



- ❑ Sistema de recuento de votos resuelto con VHDL (función lógica)

```
entity temal is
  port (
    a, b, c, d : in bit;
    resultado : out bit);
end temal;
architecture rtl of temal is

  begin -- rtl

    resultado <= (a and b) or (a and c) or (a and d) or (b and c and d);

  end rtl;
  ...
```



6. Lenguajes de descripción hardware



□ Sistema de recuento de votos resuelto con VHDL (tabla de verdad)

```
entity tema1 is
  port (
    a, b, c, d : in bit;
    resultado : out bit);
end tema1;
architecture rtl of tema1 is
  signal votacion : bit_vector(3 downto 0);
begin -- rtl
  votacion <= a & b & c & d;
  process(votacion) is
  begin
    case votacion is
      when "0000" => resultado <='0';
      when "0001" => resultado <='0';
      when "0010" => resultado <='0';
      when "0011" => resultado <='0';
      when "0100" => resultado <='0';
      when "0101" => resultado <='0';
      when "0110" => resultado <='0';
      when "0111" => resultado <='1';
      when "1000" => resultado <='0';
      when "1001" => resultado <='1';
      when "1010" => resultado <='1';
      when "1011" => resultado <='1';
      when "1100" => resultado <='1';
      when "1101" => resultado <='1';
      when "1110" => resultado <='1';
      when "1111" => resultado <='1';
    end case;
  end process;
end rtl;
```



7. Familias lógicas

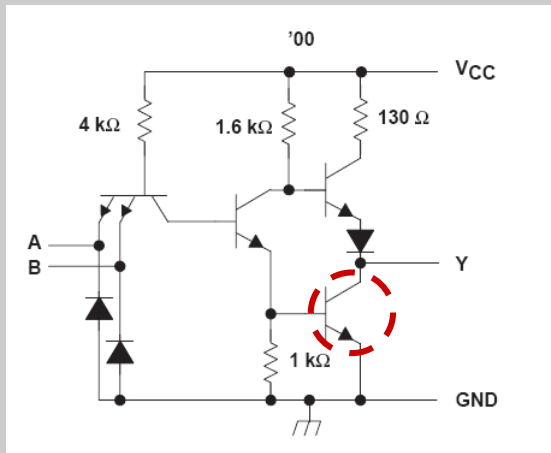
Concepto de familia



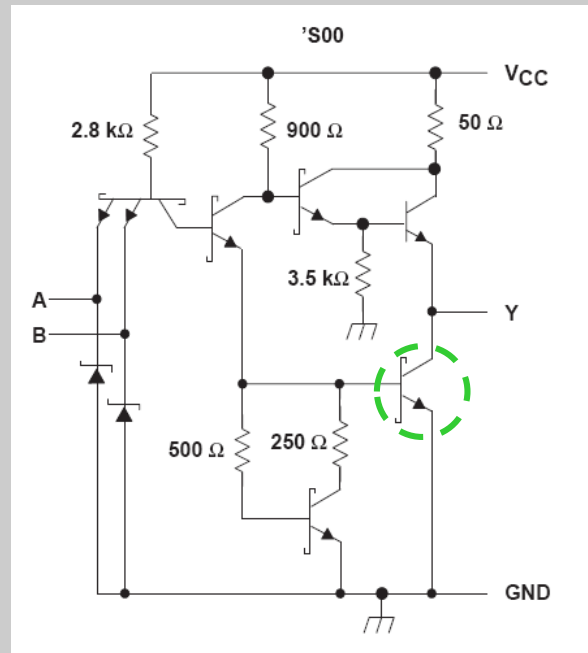
- Un mismo circuito digital se puede implementar con distintas tecnologías de fabricación → familias y subfamilias
 - usan distintos tipos de componentes electrónicos



FAMILIA TTL

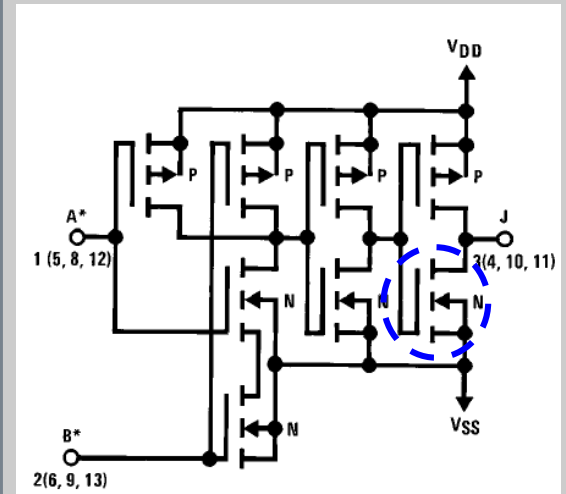


Familia estándar



Subfamilia Schottky

FAMILIA CMOS



Distintas subfamilias

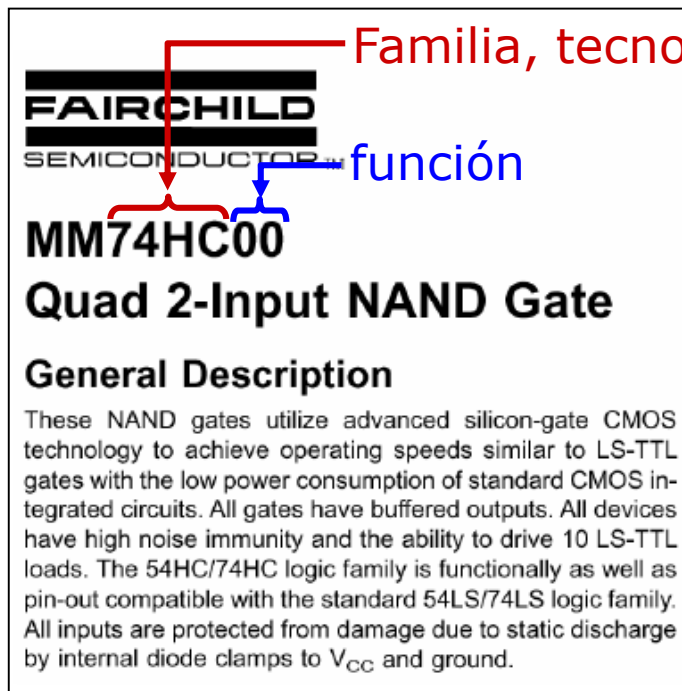


7. Familias lógicas

Concepto de familia

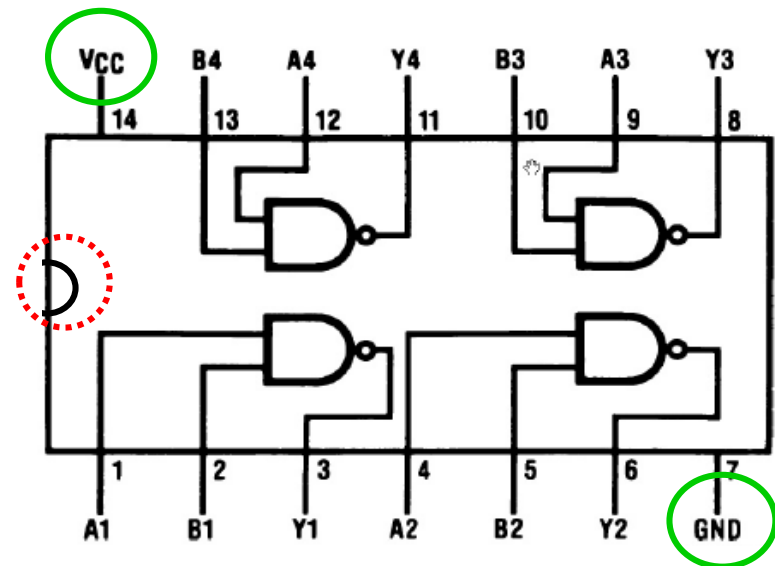
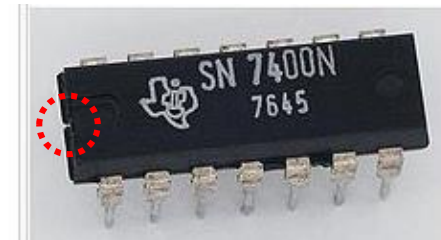


- ❑ Muchos circuitos digitales se fabrican en circuitos integrados (CI), también llamados "chips"
- Cada chip tiene un nombre identificativo y hojas de características (datasheets) que lo definen



Familia, tecnología

función



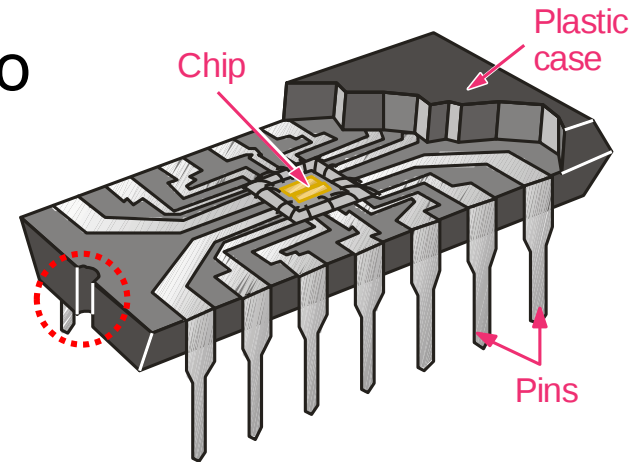


7. Familias lógicas

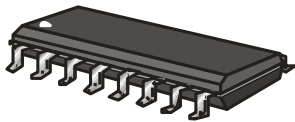
Concepto de familia: encapsulados



- ❑ Corte de un chip con encapsulado DIP (Dual-In-line Pins)



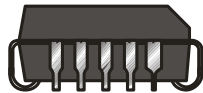
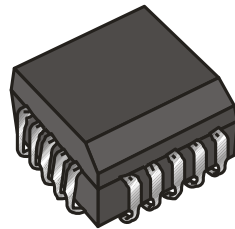
- ❑ Otros encapsulados



End view

SOIC

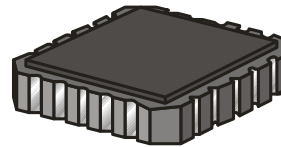
Small Outline IC



End view

PLCC

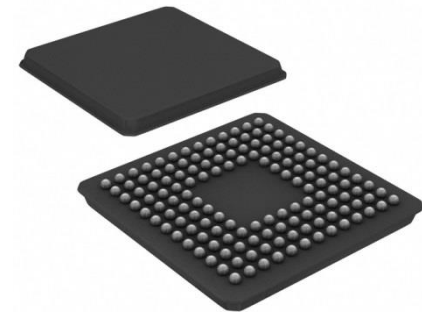
Plastic Lead Chip Carrier



End view

LCCC

Leaded Ceramic Chip Carrier



BGA

Ball Grid Array

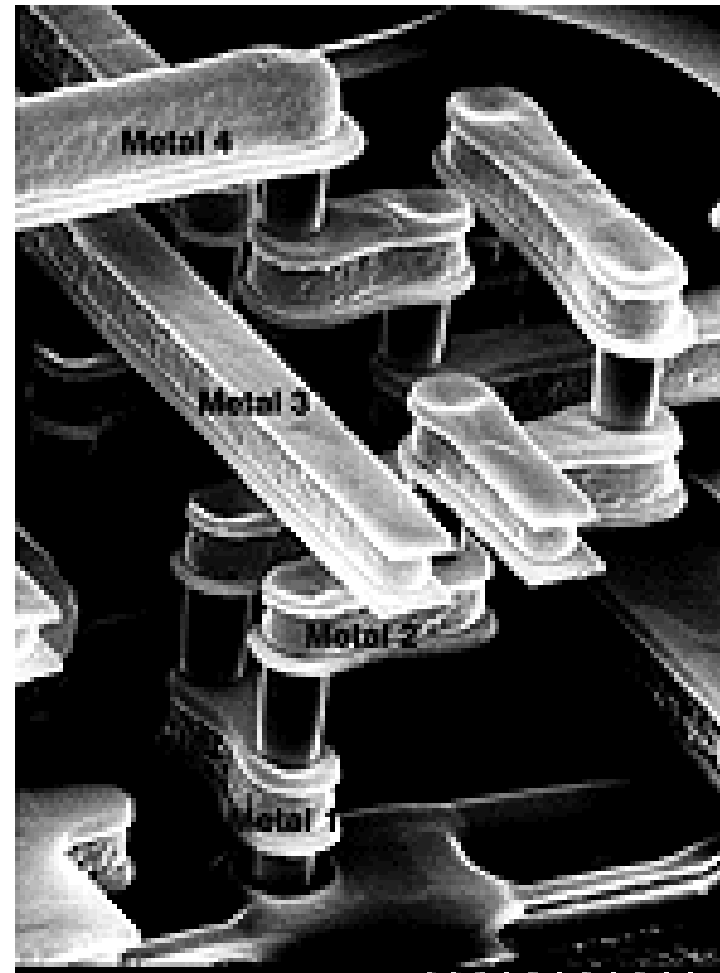
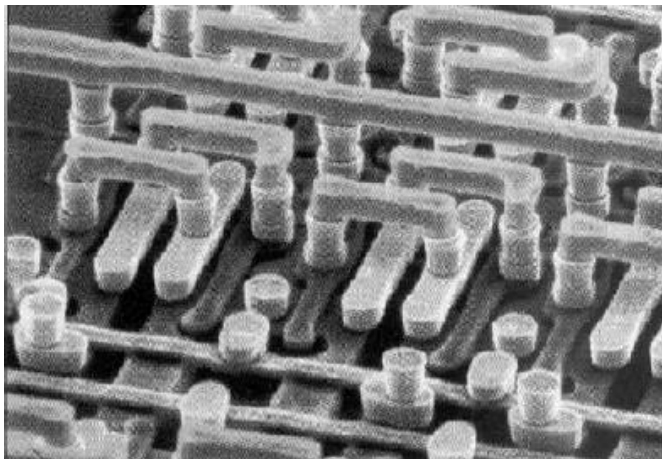
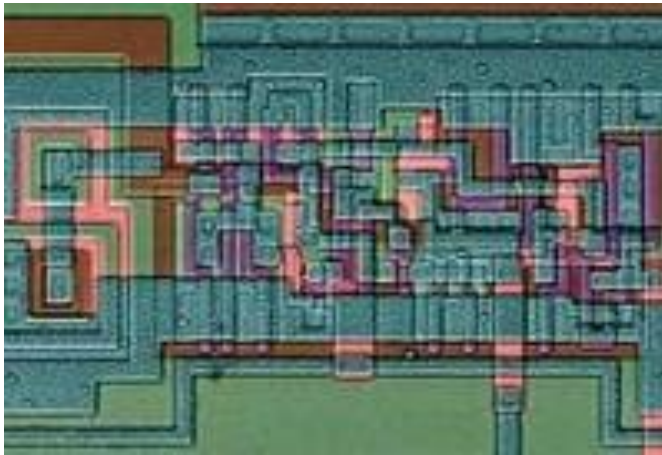


7. Familias lógicas

Concepto de familia



❑ Imágenes microscópicas de chips





7. Familias lógicas

Hojas de características



SN5400, SN54LS00, SN54S00 SN7400, SN74LS00, SN74S00 QUADRUPLE 2-INPUT POSITIVE-NAND GATES

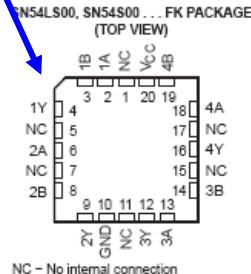
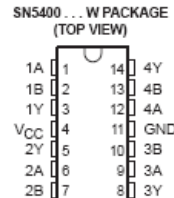
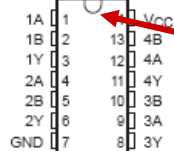
SOL5025B - DECEMBER 1983 - REVISED OCTOBER 2003

Package Options Include Plastic Small-Outline (D, NS, PS), Shrink Small-Outline (DB), and Ceramic Flat (W) Packages, Ceramic Chip Carriers (FK), and Standard Plastic (N) and Ceramic (J) DIPs

Also Available as Dual 2-Input Positive-NAND Gate in Small-Outline (PS) Package

Muesca, ranura (o borde curvado) fija: numeración pines

SN5400 ... J PACKAGE
SN54LS00, SN54S00 ... J OR W PACKAGE
SN7400, SN74S00 ... D, N, OR NS PACKAGE
SN74LS00 ... D, DB, N, OR NS PACKAGE



NC - No internal connection

description/ordering information

These devices contain four independent 2-input NAND gates. The devices perform the Boolean function $Y = \overline{A \cdot B}$ or $Y = \overline{A + B}$ in positive logic.

SN5400, SN54LS00, SN54S00 SN7400, SN74LS00, SN74S00 QUADRUPLE 2-INPUT POSITIVE-NAND GATES

SOL5025B - DECEMBER 1983 - REVISED OCTOBER 2003

absolute maximum ratings over operating free-air temperature (unless otherwise noted)†

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage: '00, 'S00	5.5 V
'LS00	7 V
Package thermal impedance, θ_{JA} (see Note 2): D package	86°C/W
DB package	96°C/W
N package	80°C/W
NS package	76°C/W
PS package	95°C/W
Storage temperature range, T_{stg}	-65°C to 150°C

† Stresses beyond those listed under "absolute maximum ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated under "recommended operating conditions" is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

NOTES: 1. Voltage values are with respect to network ground terminal.
2. The package thermal impedance is as indicated in accordance with JEDEC 51-7.

recommended operating conditions (see Note 3)

	SN5400			SN7400			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH} High-level input voltage	2			2			V
V_{IL} Low-level input voltage			0.8			0.8	V
I_{OH} High-level output current			-0.4			-0.4	mA
I_{OL} Low-level output current			16			16	mA
T_A Operating free-air temperature	-55	125	0	70			°C

NOTE 3: All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report, Implications of Slow or Floating CMOS Inputs, literature number SCBA004.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS‡	SN5400			SN7400			UNIT
		MIN	TYP§	MAX	MIN	TYP§	MAX	
V_{IK}	$V_{CC} = \text{MIN}, I_I = -12 \text{ mA}$			-1.5			-1.5	V
V_{OH}	$V_{CC} = \text{MIN}, V_{IL} = 0.8 \text{ V}, I_{OH} = -0.4 \text{ mA}$	2.4	3.4		2.4	3.4		V
V_{OL}	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, I_{OL} = 16 \text{ mA}$		0.2	0.4		0.2	0.4	V
I_I	$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$			1			1	mA
I_{IH}	$V_{CC} = \text{MAX}, V_I = 2.4 \text{ V}$			40			40	µA
I_{IL}	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$			-1.6			-1.6	mA
$I_{OS}^¶$	$V_{CC} = \text{MAX}$	-20		-55	-18		-55	mA
I_{OCH}	$V_{CC} = \text{MAX}, V_I = 0 \text{ V}$		4	8		4	8	mA
I_{OCL}	$V_{CC} = \text{MAX}, V_I = 4.5 \text{ V}$		12	22		12	22	mA

‡ For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

§ All typical values are at $V_{CC} = 5 \text{ V}, T_A = 25^\circ\text{C}$.

¶ Not more than one output should be shorted at a time.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA: Information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS
INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 2003, Texas Instruments Incorporated
On products compliant to MIL-PRF-38535, all parameters are tested unless otherwise noted. On all other products, production processing does not necessarily include testing of all parameters.

1

4

TEXAS
INSTRUMENTS
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265



7. Familias lógicas

Hojas de características



SN5400, SN54LS00, SN54S00 SN7400, SN74LS00, SN74S00 QUADRUPLE 2-INPUT POSITIVE-NAND GATES

SOL5025B - DECEMBER 1983 - REVISED OCTOBER 2003

switching characteristics, $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$ (see Figure 1)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN5400 SN7400			UNIT
				MIN	TYP	MAX	
t_{PLH}	A or B	Y	$R_L = 400\ \Omega$, $C_L = 15\text{ pF}$	11	22		ns
t_{PHL}				7	15		

recommended operating conditions (see Note 4)

PARAMETER	TEST CONDITIONS†	SN54LS00			SN74LS00			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
V_{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH}	High-level input voltage	2			2			V
V_{IL}	Low-level input voltage		0.7			0.8		V
I_{OH}	High-level output current		-0.4			-0.4		mA
I_{OL}	Low-level output current		4			8		mA
T_A	Operating free-air temperature	-55	125		0	70		$^\circ\text{C}$

NOTE 4: All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. Refer to the TI application report, Implications of Slow or Floating CMOS Inputs, literature number SCBA004.

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS00			SN74LS00			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	
V_{IK}	$V_{CC} = \text{MIN}$, $I_I = -18\text{ mA}$			-1.5			-1.5	V
V_{OH}	$V_{CC} = \text{MIN}$, $V_{IL} = \text{MAX}$, $I_{OH} = -0.4\text{ mA}$	2.5	3.4		2.7	3.4		V
V_{OL}	$V_{CC} = \text{MIN}$, $V_{IH} = 2\text{ V}$, $I_{OL} = 4\text{ mA}$		0.25	0.4		0.25	0.4	V
	$I_{OL} = 8\text{ mA}$					0.35	0.5	
I_I	$V_{CC} = \text{MAX}$, $V_I = 7\text{ V}$		0.1			0.1		mA
I_{IH}	$V_{CC} = \text{MAX}$, $V_I = 2.7\text{ V}$		20			20		μA
I_{IL}	$V_{CC} = \text{MAX}$, $V_I = 0.4\text{ V}$		-0.4			-0.4		mA
$I_{OS}^{\S}$	$V_{CC} = \text{MAX}$	-20	-100		-20	-100		mA
I_{CCH}	$V_{CC} = \text{MAX}$, $V_I = 0\text{ V}$		0.8	1.6		0.8	1.6	mA
I_{CCL}	$V_{CC} = \text{MAX}$, $V_I = 4.5\text{ V}$		2.4	4.4		2.4	4.4	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$.

§ Not more than one output should be shorted at a time.

switching characteristics, $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$ (see Figure 1)

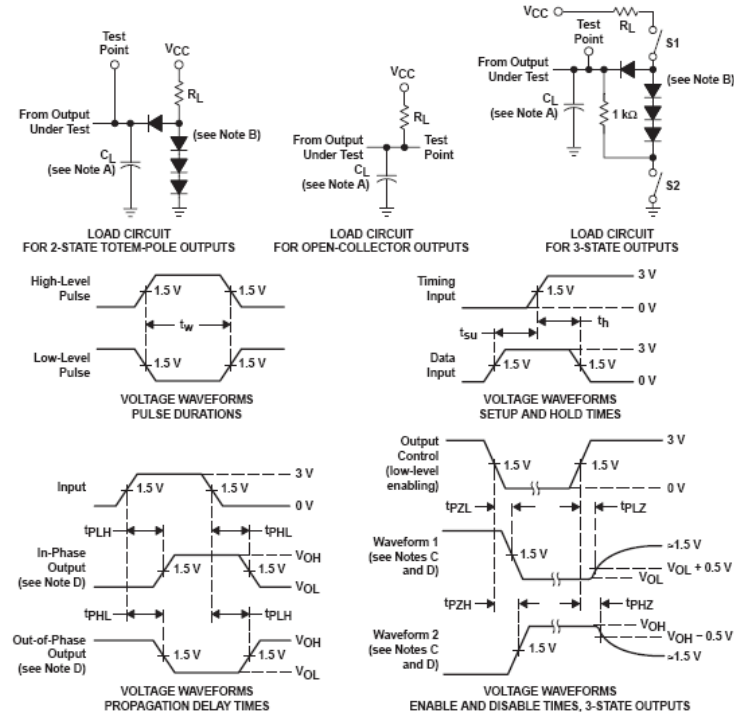
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN54LS00 SN74LS00			UNIT
				MIN	TYP	MAX	
t_{PLH}	A or B	Y	$R_L = 2\text{ k}\Omega$, $C_L = 15\text{ pF}$	9	15		ns
t_{PHL}				10	15		

SN5400, SN54LS00, SN54S00 SN7400, SN74LS00, SN74S00 QUADRUPLE 2-INPUT POSITIVE-NAND GATES

SOL5025B - DECEMBER 1983 - REVISED OCTOBER 2003

PARAMETER MEASUREMENT INFORMATION

SERIES 54/74 DEVICES



- NOTES:
- C_L includes probe and jig capacitance.
 - All diodes are 1N3064 or equivalent.
 - Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
 - S1 and S2 are closed for t_{PLH} , t_{PHL} , t_{PZL} , and t_{PHZ} ; S1 is open and S2 is closed for t_{PLZ} ; S1 is closed and S2 is open for t_{PHZ} .
 - All input pulses are supplied by generators having the following characteristics: PRR $\leq 1\text{ MHz}$, $Z_0 \approx 50\ \Omega$; t_r and $t_f \leq 7\text{ ns}$ for Series 54/74 devices and t_r and $t_f \leq 2.5\text{ ns}$ for Series 74S/74S devices.
 - The outputs are measured one at a time with one input transition per measurement.

Figure 1. Load Circuits and Voltage Waveforms

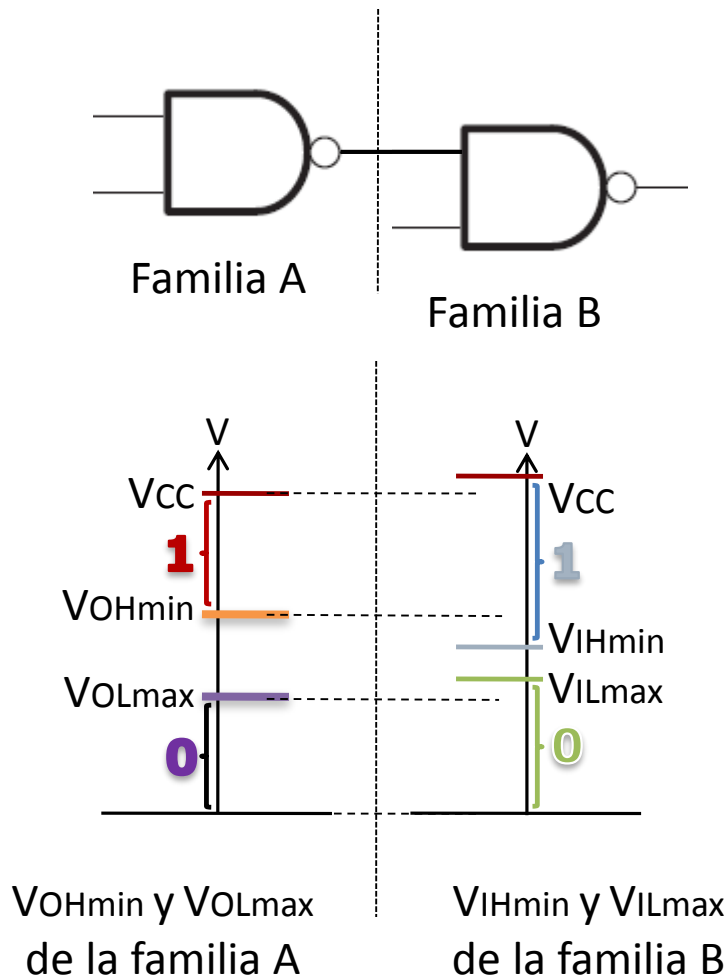


7. Familias lógicas

Compatibilidad e interconexión



□ Compatibilidad en tensiones



Condición de compatibilidad en tensión:
las tensiones límites que la puerta A entrega como '0' y '1' deben estar dentro de los márgenes que B entiende como '0' y '1' respectivamente. Es decir:

$$V_{OHmin}|_A \geq V_{IHmin}|_B$$
$$V_{OLmax}|_A \leq V_{ILmax}|_B$$



7. Familias lógicas

Parámetros temporales



switching characteristics, $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$ (see Figure 1)

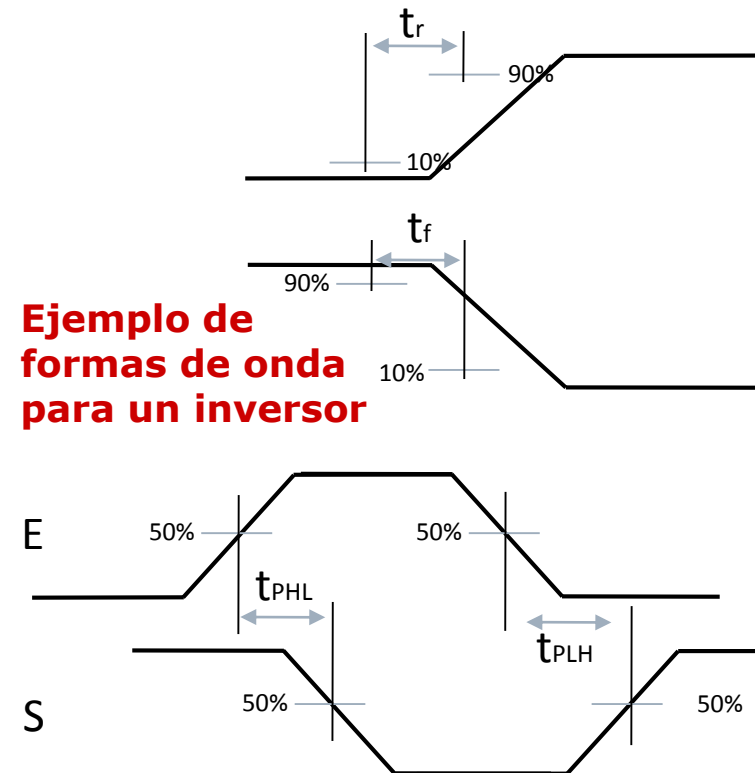
PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	SN5400 SN7400			UNIT
				MIN	TYP	MAX	
t_{PLH}	A or B	Y	$R_L = 400\ \Omega$, $C_L = 15\text{ pF}$		11	22	ns
t_{PHL}					7	15	

t_r (tiempo de subida): tiempo que tarda en pasar la salida de nivel bajo a nivel alto.

t_f (tiempo de bajada): tiempo que tarda la salida en pasar de nivel alto a nivel bajo.

t_{PHL} (tiempo de propagación o retardo HL): tiempo transcurrido desde que cambia la entrada hasta que la salida conmuta de nivel alto a nivel bajo.

t_{PLH} (tiempo de propagación o retardo LH): tiempo transcurrido desde que cambia la entrada hasta que la salida conmuta de nivel bajo a nivel alto.



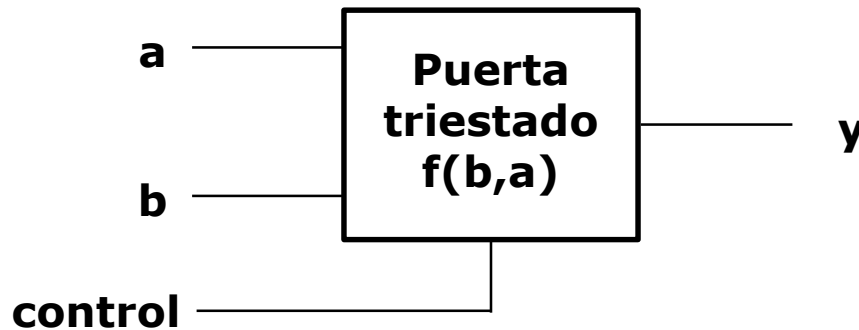


7. Familias lógicas

Puertas triestado



- ❑ **Puerta triestado** (tri-state): aquella en la que la salida puede adoptar tres posibles estados (niveles): L, H o **Z** (Hi-Z, **High Impedance**).
- ❑ Estas puertas disponen de un terminal de control:



control	y
Activado	$f(b,a)$
Desactivado	Z

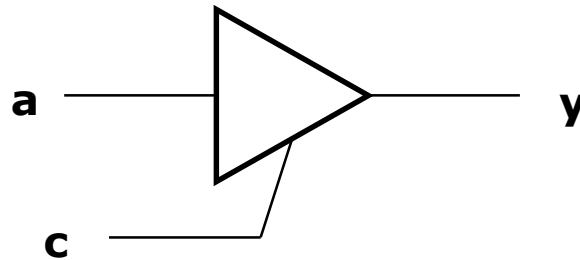


7. Familias lógicas

Puertas triestado

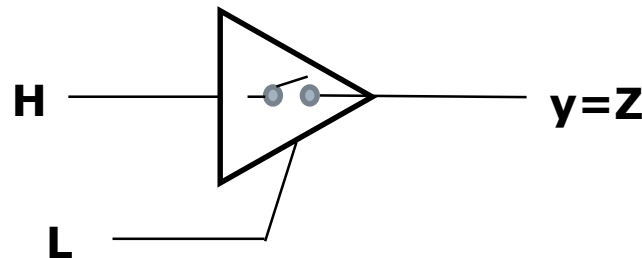


□ Ejemplo: buffer triestado:



c	a	y
L	X	Z
H	L	L
H	H	H

□ El estado Z físicamente indica que la salida está desconectada del circuito (es un circuito abierto).



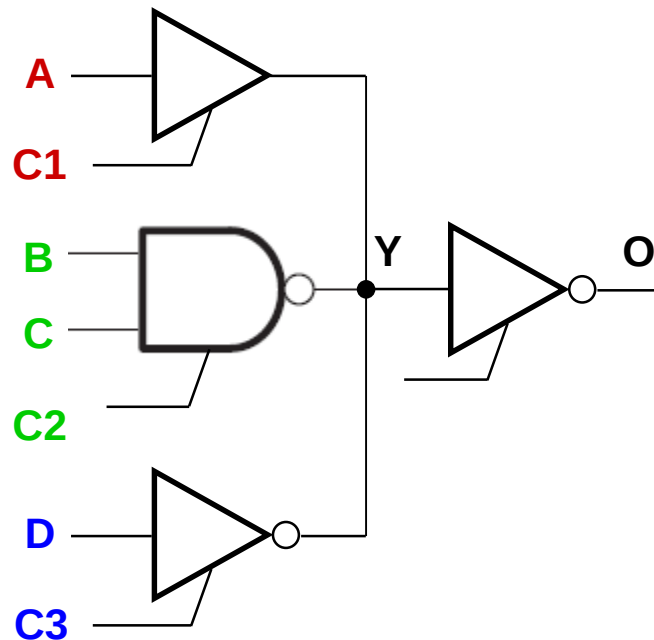


7. Familias lógicas

Puertas triestado



- Aplicación: Conectar varias salidas al mismo punto sin que haya conflicto de niveles entre ellas:
 - En cada momento, todas las puertas estarán en estado Z menos una, que fijará el nivel a la salida:



Determine:

C1	C2	C3	Y	O
H	L	L		
L	H	L		
L	L	H		

- **iImport.!!:** muy usado μ procesadores, μ controladores...
 - Salida Y (ej. previo) podría ir a bit 0 de bus de datos de μ procesador...



1. Álgebra de Boole

■ Teoremas fundamentales



A1. Álgebra de Boole

Teoremas del Álgebra de Boole



- Principio de Dualidad: a toda relación lógica le corresponderá su dual intercambiando los operadores de suma lógica con los de producto lógico y los 1 con los 0

Ejemplo: $x + \bar{x} = 1$

$$x \cdot \bar{x} = 0 \quad \forall x \in \mathbf{B}$$

- Teorema 1: Ley de elementos nulos

1.a) $x + 1 = 1$

1.b) $x \cdot 0 = 0 \quad \forall x \in \mathbf{B}$

- Teorema 2: Ley de elementos neutros

1.a) $x + 0 = x$

1.b) $x \cdot 1 = x \quad \forall x \in \mathbf{B}$

- Teorema 3: Involución

$$x = \overline{\overline{x}} \quad \forall x \in \mathbf{B}$$



A1. Álgebra de Boole

Teoremas del Álgebra de Boole



□ Teorema 4: Idempotencia

$$3.a) x+x+ \dots +x=x$$

$$3.b) x \cdot x \cdot \dots \cdot x = x \quad \forall x \in \mathbf{B}$$

□ Teorema 5: Propiedad conmutativa

$$5.a) x+y=y+x$$

$$5.b) x \cdot y = y \cdot x \quad \forall x, y \in \mathbf{B}$$

□ Teorema 6: Propiedad distributiva

$$4.a) x+(y \cdot z)=(x+y)(x+z)$$

$$4.b) x \cdot (y+z)=(x \cdot y)+(x \cdot z) \quad \forall x, y, z \in \mathbf{B}$$

□ Teorema 7: Absorción

$$5.a) x+x \cdot y=x$$

$$5.b) x \cdot (x+y)=x \quad \forall x, y \in \mathbf{B}$$



A1. Álgebra de Boole

Teoremas del Álgebra de Boole



□ Teorema 8: Simplificación

$$5.a) x + \bar{x} \cdot y = x + y$$

$$5.b) x \cdot (\bar{x} + y) = x \cdot y$$

$$\forall x, y \in \mathbf{B}$$

□ Teorema 9: Ley asociativa

$$6.a) x + (y + z) = (x + y) + z = x + y + z$$

$$6.b) x \cdot (y \cdot z) = (x \cdot y) \cdot z = x \cdot y \cdot z$$

$$\forall x, y, z \in \mathbf{B}$$

□ Teorema 10: Ley de De Morgan

$$7.a) \overline{x + y} = \bar{x} \cdot \bar{y}$$

$$7.b) \overline{x \cdot y} = \bar{x} + \bar{y}$$

$$\forall x, y \in \mathbf{B}$$

□ Ley de De Morgan generalizada

$$\overline{a + b + \dots + q} = \bar{a} \cdot \bar{b} \cdot \dots \cdot \bar{q}$$

$$\overline{a \cdot b \cdot \dots \cdot q} = \bar{a} + \bar{b} + \dots + \bar{q}$$

$$\forall a, b, \dots, q \in \mathbf{B}$$