



## TEMA 2

# Diseño de sistemas digitales

Diseño de Circuitos y Sistemas  
Electrónicos  
Ing. Telecomunicación

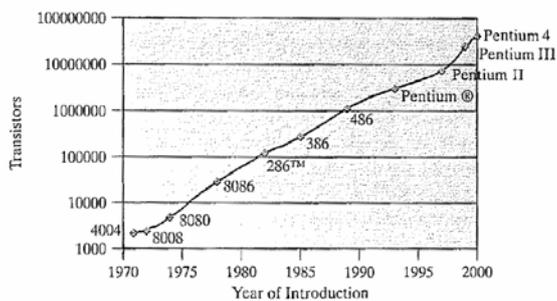
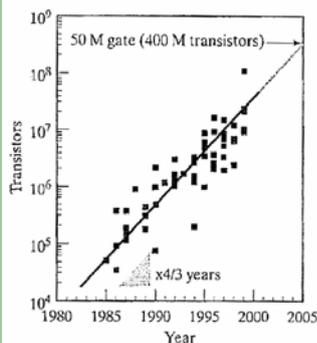


## Sumario

- Consideraciones en el diseño de circuitos integrados digitales
- Diseño de sistemas digitales integrados
  - ✓ Lógica CMOS estática
  - ✓ Lógica CMOS dinámica
  - ✓ Biestables y registros
- Temporización de sistemas digitales integrados
  - ✓ Clasificación temporal de sistemas digitales
  - ✓ Fuentes de *skew* y *jitter*
  - ✓ Técnicas de distribución de reloj
- Circuitos *self-timed*

## Consideraciones generales

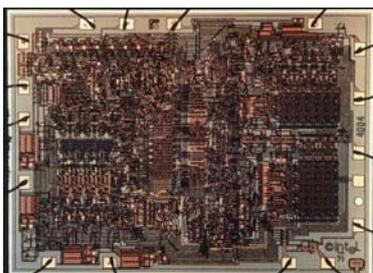
- Las prestaciones y la capacidad de integración de los circuitos integrados crecen con la ley de Moore:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Consideraciones generales

- Esta evolución ha tenido un impacto directo en el diseño de circuitos integrados:
  - ✓ los dispositivos modernos requieren una aproximación jerárquica al diseño, empleando herramientas automáticas



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Consideraciones generales

- Esta aproximación es posible en los sistemas digitales, pero mucho más compleja para sistemas analógicos:
  - ✓ este hecho deriva de la **abstracción** en el diseño: en cada nivel de diseño, los detalles internos de cada módulo quedan ocultos
  - ✓ esta filosofía se refuerza con el uso de herramientas CAD (*Computer Aided Design*)
  - ✓ la reutilización de módulos (*cores*) o el diseño basado en celdas estándar (*standard cells*) permite acelerar el proceso de diseño
- Sin embargo, ciertos aspectos escapan a este diseño jerárquico:
  - ✓ influencia de elementos parásitos
  - ✓ distribución de señales de reloj y de alimentación

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Sumario

- Consideraciones en el diseño de circuitos integrados digitales
- Diseño de sistemas digitales integrados
  - ✓ Lógica CMOS estática
  - ✓ Lógica CMOS dinámica
  - ✓ Biestables y registros
- Temporización de sistemas digitales integrados
  - ✓ Clasificación temporal de sistemas digitales
  - ✓ Fuentes de *skew* y *jitter*
  - ✓ Técnicas de distribución de reloj
- Circuitos *self-timed*

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Diseño de sistemas digitales integrados

- La implementación de circuitos digitales puede realizarse siguiendo distintos estilos que optimizan área, velocidad o consumo.
- Dependiendo del tipo de aplicación habrá de seleccionarse la lógica más adecuada:
  - ✓ la evolución del mercado ha convertido a velocidad y consumo en las restricciones fundamentales
- Otras cuestiones que pueden decidir la selección de una determinada lógica son la inmunidad al ruido o la fiabilidad.

## Lógica CMOS estática

- La lógica CMOS convencional también se conoce como **estática**:
  - ✓ en todo momento la salida de cada puerta (ignorando los transitorios durante la conmutación) está conectada a  $V_{DD}$  o GND a través de un camino de baja resistencia
  - ✓ además de la lógica CMOS convencional, otras familias lógicas estáticas son la pseudo-NMOS, la DCVSL (*Differential Cascode Voltage Switch Logic*) y la *pass-transistor*
- Las lógicas **dinámicas** almacenan carga de manera temporal en las capacidades de nodos con alta impedancia:
  - ✓ generan puertas más simples y rápidas, pero requieren una temporización adecuada y son más sensibles al ruido

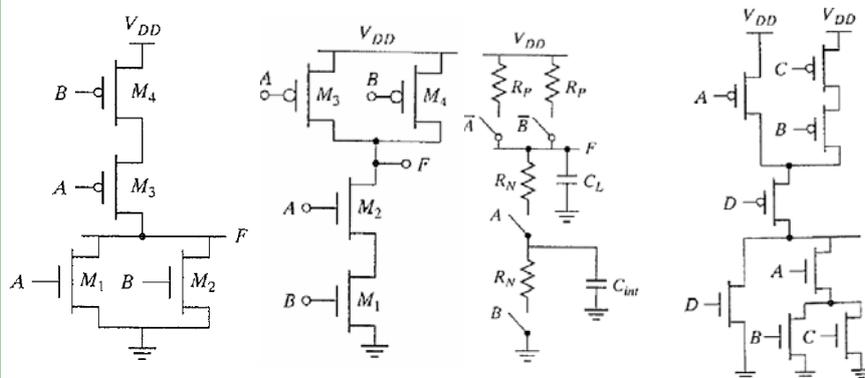
## Lógica CMOS estática

- La lógica CMOS convencional se basa en dos redes de transistores complementarias:
  - ✓ los transistores NMOS conectan el nodo de salida a GND cuando las entradas de la puerta implican que la salida ha de ser 0
  - ✓ los transistores PMOS conectan el nodo de salida a  $V_{DD}$  cuando las entradas de la puerta implican que la salida ha de ser 1
  - ✓ sólo una de ambas redes conduce para cada combinación de entrada
  - ✓ el nodo de salida presenta siempre una impedancia baja en estado estacionario
- Su principal ventaja estriba en el consumo reducido, ya que no hay conducción en el estado estacionario.

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Lógica CMOS estática

- La lógica CMOS convencional se basa en dos redes de transistores complementarias:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Lógica CMOS estática

- Principales características de la lógica CMOS convencional:
  - ✓ estructura muy robusta y simple
  - ✓ consumo reducido y márgenes de ruido considerables
  - ✓ el retardo de propagación depende del patrón de entrada (a través del modelado RC de la puerta) para una topología dada
- Principales inconvenientes:
  - ✓  $2N$  transistores para puertas de fan-in  $N$ : incrementa no solo el área, sino también el retardo ( $t_{pLH}$  crece con  $N$ ,  $t_{pHL}$  con  $N^2$  para una puerta NAND)
  - ✓ requiere técnicas especiales (tamaño progresivo, reordenamiento de entradas) para paliar el efecto anterior

## Lógica CMOS estática

- La lógica pseudo-NMOS permite reducir el área de la CMOS convencional a costa de peores márgenes de ruido y mayor consumo:
  - ✓ la red de transistores PMOS es sustituida por un único transistor que actúa como una carga de *pull-up*
  - ✓ requiere  $N+1$  transistores para puertas de fan-in  $N$
  - ✓  $V_{OL} > GND$ , resultando en un menor margen de ruido y disipación estática
  - ✓ la relación de aspecto del transistor de carga puede emplearse para compensar el margen de ruido, el retardo o el consumo:
    - la funcionalidad de la puerta depende de la relación entre los tamaños de los transistores NMOS y la carga PMOS

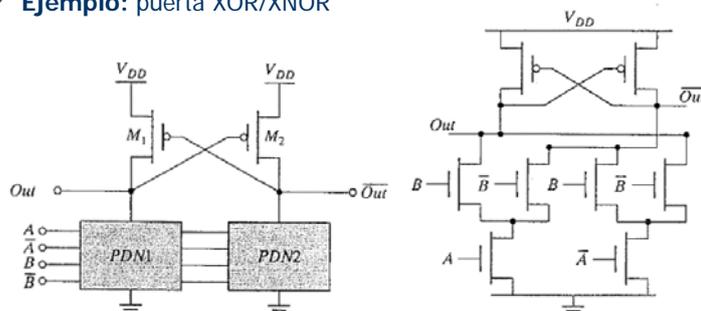
## Lógica CMOS estática

- Se pueden eliminar las principales desventajas de la lógica pseudo-NMOS combinando:
  - ✓ lógica diferencial: una puerta diferencial requiere cada entrada junto con su complemento, proporcionando los dos valores de la salida
  - ✓ realimentación positiva: permite desconectar el dispositivo de carga cuando no es necesario
- La lógica DCVSL (*Differential Cascode Voltage Switch Logic*) es un ejemplo de lo anterior:
  - ✓ cuenta con dos redes NMOS complementarias con cargas PMOS
  - ✓ la red que no conduce desconecta la carga PMOS de la otra, eliminando la conducción en estado estacionario

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Lógica CMOS estática

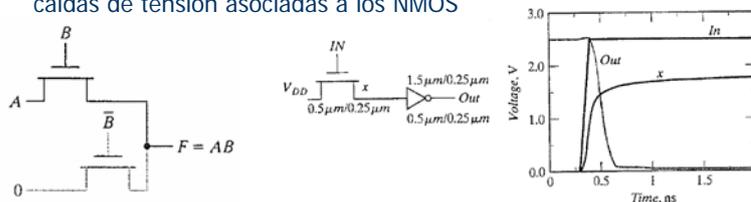
- La lógica DCVSL (*Differential Cascode Voltage Switch Logic*) es un ejemplo de lo anterior:
  - ✓ la salida diferencial elimina la necesidad de incluir inversores para generar entradas diferenciales
  - ✓ **Ejemplo:** puerta XOR/XNOR



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Lógica CMOS estática

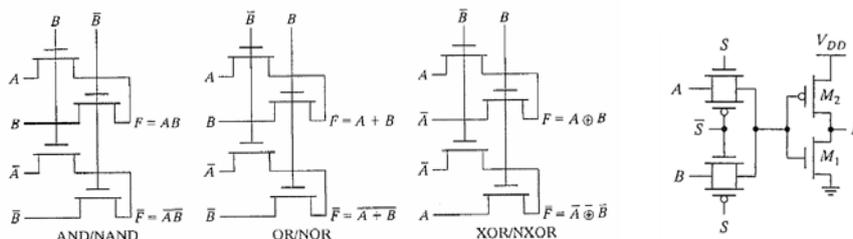
- La lógica *pass-transistor* permite reducir el área de la CMOS conectando las entradas primarias no sólo a las puertas sino también a fuentes/drenadores:
  - ✓ requiere menos transistores que la CMOS convencional
  - ✓ la reducción en el número de transistores también se traduce en una reducción de la capacidad
  - ✓ requiere regeneración de las señales entre puertas para solventar las caídas de tensión asociadas a los NMOS



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Lógica CMOS estática

- Se pueden solventar algunos de sus inconvenientes:
  - ✓ lógica diferencial DPL (*Differential Pass-transistor Logic*):
    - elimina la necesidad de inversores en cada puerta
    - modularidad: todas las puertas tienen la misma topología
  - ✓ utilizando puertas de transmisión



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

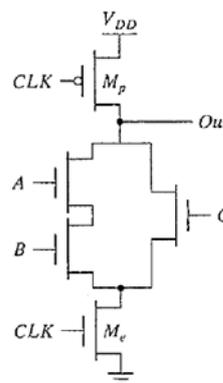
## Lógica CMOS dinámica

- Las lógicas **dinámicas** pretenden reducir el área de la lógica CMOS convencional evitando los inconvenientes de otras alternativas estáticas:
  - ✓ consumo en estado estacionario
  - ✓ degradación de niveles lógicos
- El principio de operación de estas lógicas se basa en dos fases diferentes de funcionamiento del circuito, controladas por una señal de reloj:
  - ✓ **precarga:** el nodo de salida se carga a un valor lógico, mientras la red de evaluación permanece desconectada
  - ✓ **evaluación:** la red de evaluación puede alterar el valor del nodo de salida

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Lógica CMOS dinámica

- Principio de operación:
  - ✓ **precarga:** CLK=0
    - el nodo de salida se precarga a  $V_{DD}$  a través del transistor PMOS
    - el transistor NMOS de evaluación elimina el consumo estático
  - ✓ **evaluación:** CLK=1
    - el nodo de salida se descarga a GND si la red NMOS tiene un patrón de entrada adecuado
    - el transistor PMOS de precarga elimina el consumo estático



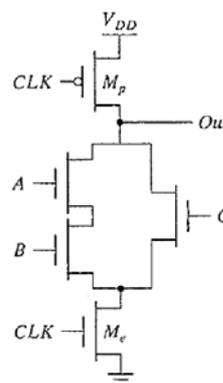
$$OUT = \overline{CLK} + CLK \cdot (A \cdot B + C)$$

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Lógica CMOS dinámica

### ➤ Principio de operación:

- ✓ una vez que se descarga el nodo de salida no puede volver a  $V_{DD}$  hasta la siguiente precarga:
  - las entradas sólo pueden conmutar una vez durante la evaluación
- ✓ se puede plantear una puerta dual, con una precarga a GND y carga condicional a  $V_{DD}$  durante la evaluación
- ✓ la salida puede estar en alta impedancia durante la evaluación, en contra de lo que ocurre con las lógicas estáticas



$$OUT = \overline{CLK} + CLK \cdot (A \cdot B + C)$$

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Lógica CMOS dinámica

### ➤ Las principales ventajas de la lógica dinámica son:

- ✓ requiere  $N+2$  transistores para una puerta de fan-in  $N$ , frente a los  $2N$  de la CMOS estática convencional
- ✓ las prestaciones de la puerta no dependen de la relación entre los tamaños de los transistores
- ✓ idealmente sólo presenta consumo dinámico
- ✓ mejora la velocidad, al disminuir la capacidad y no haber corriente de cortocircuito (toda la corriente descarga el nodo de salida)

### ➤ Principales inconvenientes:

- ✓ el consumo asociado al reloj puede ser muy elevado y puede haber consumo estático al añadir dispositivos que reduzcan fugas
- ✓ presenta gran actividad por la precarga/evaluación de la salida

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Lógica CMOS dinámica

- La lógica dinámica requiere considerar ciertos aspectos para garantizar la integridad de las señales:
  - ✓ **fuga de carga:** durante la evaluación se puede producir corrientes de fuga que descarguen el nodo de salida:
    - impide que esta lógica sea válida para frecuencias bajas de operación
    - puede solventarse con un transistor de *pull-up* continuo (*bleeder*) en el nodo de salida, pero introduce consumo estático
  - ✓ **reparto de carga:** la carga almacenada en el nodo de salida tendrá que repartirse entre las capacidades de nodos internos:
    - produce una caída en la tensión de salida
    - puede solventarse precargando los nodos internos

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

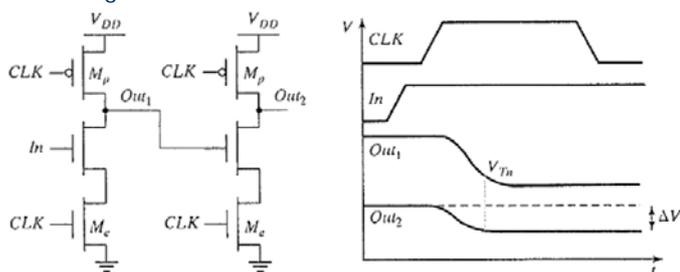
## Lógica CMOS dinámica

- La lógica dinámica requiere considerar ciertos aspectos para garantizar la integridad de las señales:
  - ✓ **acoplamiento capacitivo:** la relativamente alta impedancia del nodo de salida lo hace muy sensible al *crosstalk* por acoplamiento capacitivo:
    - influencia de líneas cercanas al nodo, pero no conectadas
    - influencia de nodos cercanos acoplados a nodos conectados al nodo de salida
  - ✓ **clock feedthrough:** causado por el acoplamiento capacitivo entre el reloj y el nodo de salida, a través de  $C_{GD}$  del transistor de precarga:
    - puede causar inyección de carga en el sustrato que puede anclar el nodo a 1, además de *latchup*

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Lógica CMOS dinámica

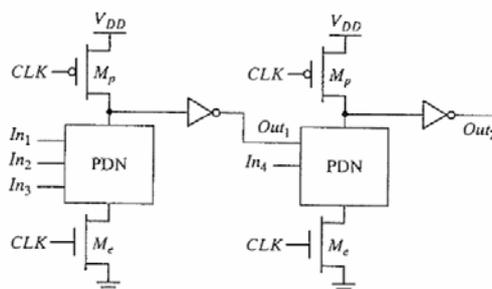
- La conexión en cascada de puertas dinámicas no puede realizarse de manera directa:
  - ✓ el retardo de propagación (tiempo necesario para descargar el primer nodo de salida) puede provocar una descarga no deseada de la salida de la siguiente puerta, lo que resulta en una degradación de los niveles lógicos



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Lógica CMOS dinámica

- La conexión en cascada puede hacerse con **lógica domino**:
  - ✓ un inversor estático entre dos puertas asegura que todas las entradas son 0 durante la precarga:
    - se asegura una única transición en las entradas
    - se reduce la capacidad del nodo de salida



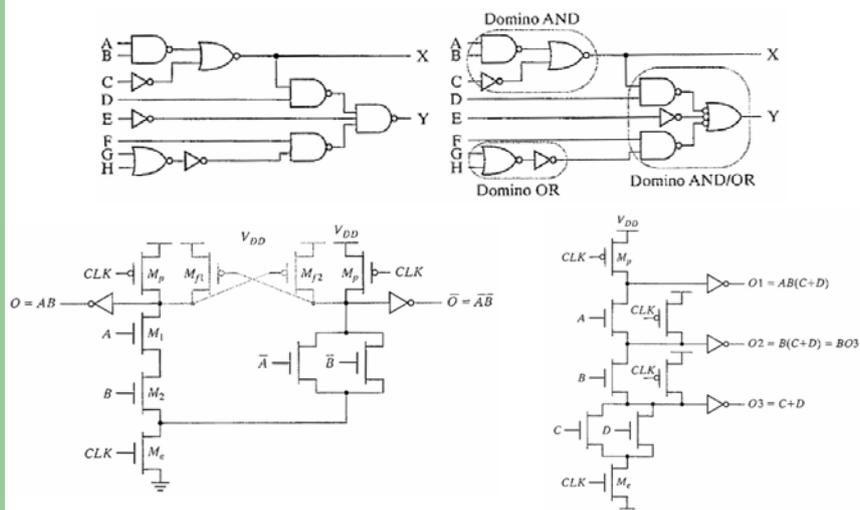
Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Lógica CMOS dinámica

- La lógica *domino* facilita muy altas velocidades (capacidades de salida reducidas), pero sólo permite lógica no inversora.
- Este hecho puede solventarse de varias maneras:
  - ✓ reorganización (mediante manipulación algebraica) del circuito para obtener una topología adecuada a la lógica *domino*:
    - no es posible en todas las situaciones
  - ✓ uso de lógica *domino* diferencial, similar a la DCVSL:
    - alternativa de coste elevado que sustituye las cargas estáticas DCVSL por transistores de precarga
    - supone un incremento de consumo al aumentar la actividad
  - ✓ uso de lógica *domino* con salidas múltiples en un mismo bloque
  - ✓ uso de lógica npCMOS

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

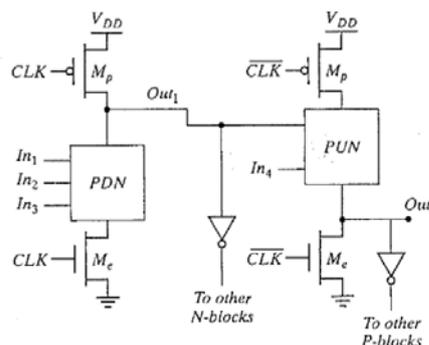
## Lógica CMOS dinámica



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Lógica CMOS dinámica

- La lógica n<sub>p</sub>CMOS utiliza los dos tipos de lógica *domino*, con árbol de descarga NMOS o de carga PMOS.:
  - ✓ la presencia de ambas redes elimina la necesidad de inversores en la conexión en cascada, al no haber posible descarga transitoria
  - ✓ su principal inconveniente es el diferente retardo de las redes NMOS y PMOS (menos conductivas), que necesitan mayor área



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Reducción de $V_{DD}$

- La evolución de la tecnología, el mercado y las aplicaciones determina una disminución continua en la tensión de alimentación:
  - ✓ reducción del consumo y aumento de la velocidad
  - ✓ se pueden alcanzar los 0.6V en 2010
- Para mantener el correcto funcionamiento con una  $V_{DD}$  muy reducida es necesario escalar los umbrales de los dispositivos:
  - ✓ la reducción de  $V_T$  provoca un aumento de la corriente de fuga (especialmente perjudicial en dispositivos con periodos inactivos)
  - ✓ puede solventarse usando dispositivos con diferentes umbrales:
    - $V_T$  baja: dispositivos para elementos de alta velocidad
    - $V_T$  alta: dispositivos en los que se reduce la corriente de fuga

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

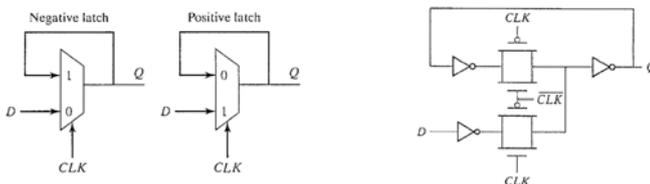
## Biestables y registros

- Los elementos de memoria son fundamentales para la definición de sistemas secuenciales:
  - ✓ **latch**: biestable disparado por nivel
  - ✓ **flip-flop (registro)**: biestable disparado por flanco
- En la definición de estos elementos simples, al igual que para estructuras complejas de memoria, se pueden emplear las dos aproximaciones anteriores:
  - ✓ **elementos estáticos**: basados en la realimentación de un circuito combinacional
  - ✓ **elementos dinámicos**: almacenan temporalmente un valor lógico en una capacidad

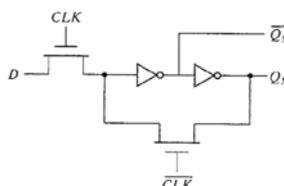
Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Biestables y registros

- Una de las técnicas de mayor robustez para generar *latches* es el uso de multiplexores de puerta de transmisión:



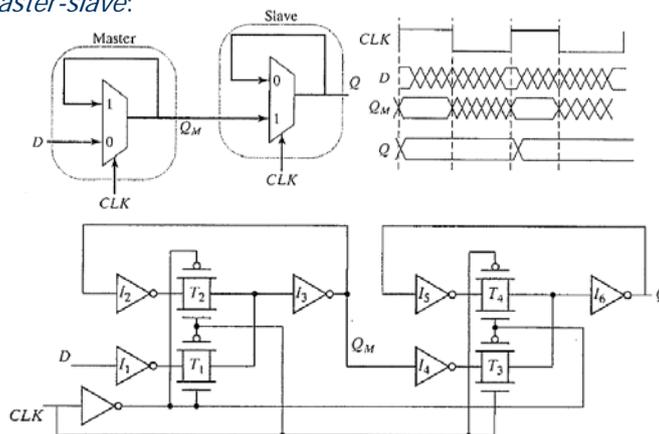
- ✓ puede reducirse el área empleando sólo transistores NMOS:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Biestables y registros

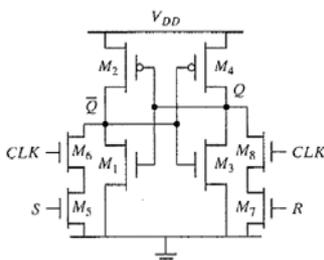
- Los *latches* anteriores pueden usarse para generar un *flip-flop master-slave*:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Biestables y registros

- Los conceptos sobre lógica estática y dinámica pueden conjugarse para definir un *latch SR* síncrono:
  - ✓ en estado estacionario cada inversor tiene un valor de salida, pero no hay conexión entre  $V_{DD}$  y GND
  - ✓ el tamaño de los transistores es crítico para asegurar un correcto funcionamiento del circuito



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

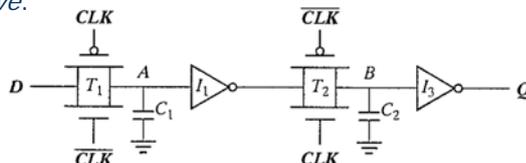
## Biestables y registros

- El mayor inconveniente de las aproximaciones **estáticas** anteriores y otras similares es la complejidad:
  - ✓ sin embargo, el valor almacenado permanece constante mientras se mantenga la alimentación:
  - ✓ en sistemas computacionalmente intensivos (cauces segmentados), esta última propiedad carece de sentido práctico
- Aproximaciones **dinámicas** al almacenamiento de un dato permiten reducir la complejidad del elemento de memoria:
  - ✓ una capacidad permite almacenar temporalmente un valor de tensión
  - ✓ aunque es necesario refrescar dicho valor, el ritmo de funcionamiento elimina la necesidad del refresco

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Biestables y registros

- *Flip-flop* dinámico disparado por flanco basado en el concepto *master-slave*:

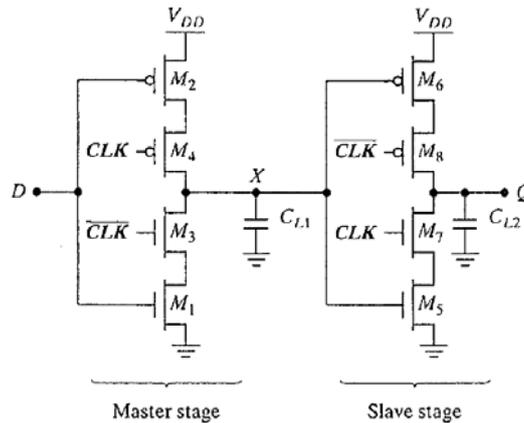


- ✓ el retardo es muy reducido y la estructura puede simplificarse usando sólo transistores NMOS de paso en lugar de puertas de transmisión
- ✓ la estructura es muy sensible al posible solapamiento de los relojes:
  - (0,0): conexión directa entre D y Q, puede combatirse con el retardo del primer inversor
  - (1,1): conexión directa entre D y Q, requiere fijar un  $t_{hold}$  suficientemente elevado

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Biestables y registros

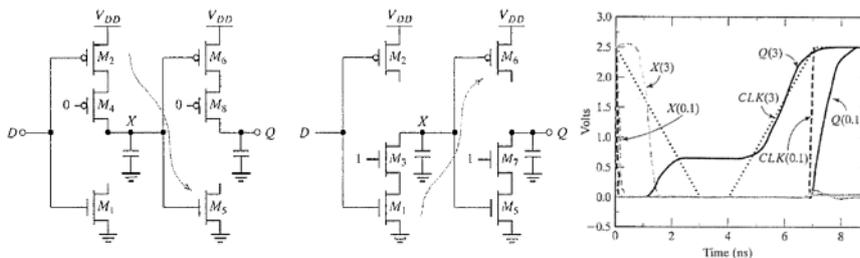
- La estructura C<sup>2</sup>MOS es insensible al solapamiento si los tiempos de subida y bajada de los relojes son suficientemente cortos:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Biestables y registros

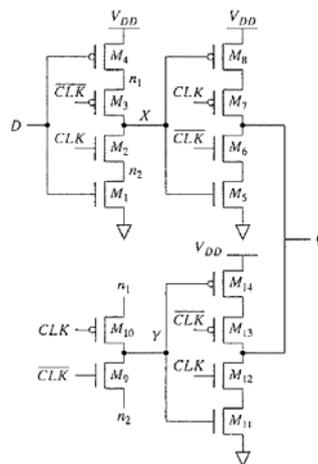
- La estructura C<sup>2</sup>MOS es insensible al solapamiento si los tiempos de subida y bajada de los relojes son suficientemente cortos:
  - ✓ (0,0): el nodo X ha de cargarse a través de  $M_2$  y  $M_4$ , y hasta que no alcance  $V_T$  no se activará  $M_5$
  - ✓ (1,1): el funcionamiento es correcto siempre que D mantenga su valor durante el solapamiento



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Biestables y registros

- Se puede definir un *flip-flop* C<sup>2</sup>MOS de flanco dual (disparado por ambos flancos):
  - ✓ permite usar un reloj a la mitad de frecuencia manteniendo el *data rate*, reduciendo el consumo de la red de distribución de reloj
  - ✓ está formado por dos *flip-flops master-slave* disparados por flanco cuyas salidas se multiplexan con *drivers* triestado
  - ✓ **CLK=1**: el *master* M<sub>1</sub>-M<sub>4</sub> muestrea D en el nodo X, mientras Y mantiene su valor
  - ✓ **CLK=0**: el *master* M<sub>1</sub>-M<sub>10</sub>-M<sub>9</sub>-M<sub>4</sub> muestrea D en Y y X mantiene su valor



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

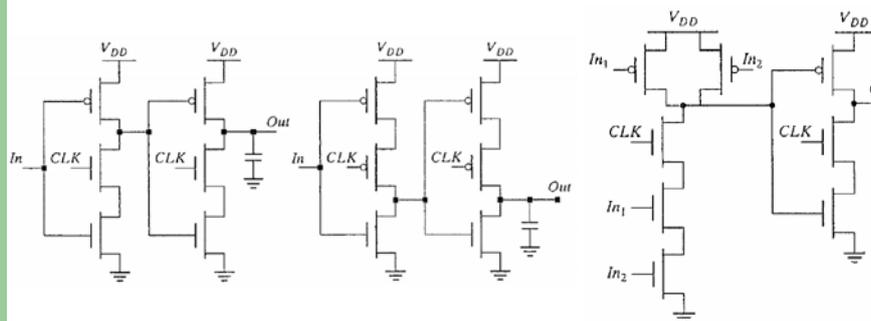
## Biestables y registros

- Aunque la estructura C<sup>2</sup>MOS minimiza la sensibilidad al solapamiento, mantiene la necesidad de generar dos fases del reloj.
- La estructura TSPC (*True Single Phase Clock*) permite diseñar *latches* y *flip-flops* que necesitan una única fase de reloj:
  - ✓ elimina la necesidad de generar la segunda fase
  - ✓ mantiene los requerimientos sobre tiempos de subida y bajada cortos
  - ✓ los *latches* se basan en el uso de dos inversores encadenados que se habilitan simultáneamente
  - ✓ los *flip-flops* se basan en encadenar *latches* positivos y negativos
  - ✓ permite embeber lógica adicional en la estructura del *latch*

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Biestables y registros

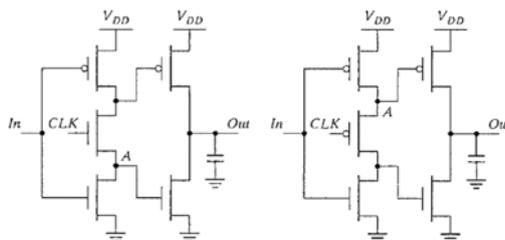
- La estructura TSPC (*True Single Phase Clock*) permite diseñar *latches* y *flip-flops* que necesitan una única fase de reloj:



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Biestables y registros

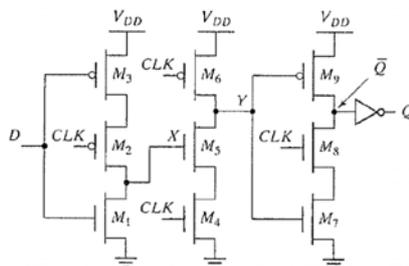
- Aunque el incluir lógica adicional en el *latch* TSPC aumenta el  $t_{SU}$ , se mejora el rendimiento global del sistema digital.
- La estructura del *latch* TSPC puede simplificarse (*split output*):
  - ✓ se reduce el número de transistores y se reduce la carga del reloj
  - ✓ como contrapartida, no todos los nodos conmutan completamente lo que resulta en una velocidad algo menor



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Biestables y registros

- El *flip-flop* TSPC está formado por dos *latches* encadenados:
  - ✓ el retardo de propagación equivale al retardo de tres inversores
  - ✓  $t_{su}$  equivale al retardo de un inversor, mientras que  $t_{hold}$  es el tiempo necesario para que el valor de X se propague a Y
  - ✓ las relaciones de aspecto de los transistores de *pull-up* y *pull-down* han de elegirse adecuadamente para evitar *glitches* innecesarios



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Sumario

- Consideraciones en el diseño de circuitos integrados digitales
- Diseño de sistemas digitales integrados
  - ✓ Lógica CMOS estática
  - ✓ Lógica CMOS dinámica
  - ✓ Biestables y registros
- Temporización de sistemas digitales integrados
  - ✓ Clasificación temporal de sistemas digitales
  - ✓ Fuentes de *skew* y *jitter*
  - ✓ Técnicas de distribución de reloj
- Circuitos *self-timed*

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

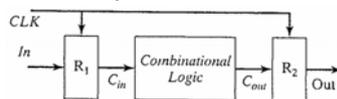
## Temporización de sistemas digitales

- Los sistemas secuenciales han de contar con un adecuado orden de todos los eventos para asegurar su correcto funcionamiento.
- Los **sistemas síncronos** lo consiguen mediante la sincronización de todos los elementos de memoria por una única señal de reloj:
  - ✓ requiere fuertes restricciones sobre la señal de reloj
  - ✓ *skew* y *jitter* limitan las prestaciones de los sistemas
  - ✓ la distribución de la señal de reloj supone un reto importante
- Los **sistemas asíncronos** eliminan la necesidad de relojes globales, aunque su análisis y funcionamiento implican otro tipo de problemas.

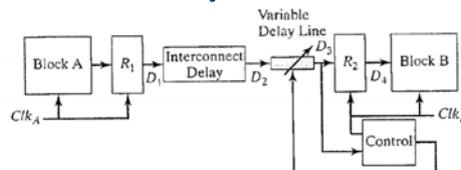
Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Clasificación temporal de sistemas digitales

- Atendiendo a su relación con la señal de reloj, las señales en sistemas digitales se pueden clasificar en:
  - ✓ **síncronas**: varía con la misma frecuencia que la señal de reloj y mantiene un desfase fijo con la misma



- ✓ **mesocronas**: no varía con la misma frecuencia que la señal de reloj y no mantiene un desfase fijo con la misma

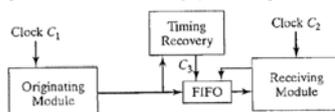


Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

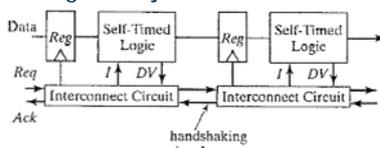
## Clasificación temporal de sistemas digitales

➤ Atendiendo a su relación con la señal de reloj, las señales en sistemas digitales se pueden clasificar en:

- ✓ **plesiocronas (cuasi síncronas):** varía con una frecuencia nominalmente igual a la del reloj pero ligeramente diferente



- ✓ **asíncronas:** pueden conmutar en cualquier instante de tiempo y no están sujetas a ningún reloj

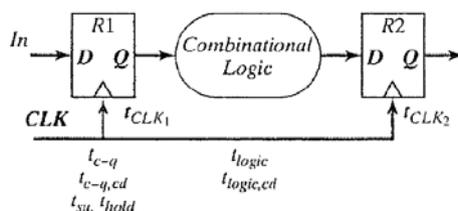


Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Fuentes de skew y jitter

➤ Los principales parámetros que permiten caracterizar un sistema síncrono ideal son:

- ✓  $t_{c-q,cd}$ ,  $t_{c-q}$ : retardo mínimo y máximo de propagación del registro
- ✓  $t_{su}$ ,  $t_{hold}$ : tiempos de *setup* y *hold* del registro
- ✓  $t_{logic,cd}$ ,  $t_{logic}$ : retardo mínimo y máximo de propagación de la lógica
- ✓  $t_{clk1}$ ,  $t_{clk2}$ : posiciones relativas de los flancos del reloj



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Fuentes de *skew* y *jitter*

- En un sistema ideal  $t_{clk1} = t_{clk2}$ , con lo que el mínimo período de reloj está determinado únicamente por los retardos de propagación:

$$T > t_{c-q} + t_{logic} + t_{su}$$

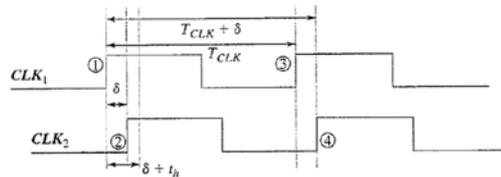
- $t_{hold}$  debe ser inferior que el mínimo retardo de propagación a través de la lógica:

$$t_{hold} < t_{c-q,cd} + t_{logic,cd}$$

- Este análisis ideal se ve afectado por la no idealidad del reloj:
  - ✓ no es perfectamente periódico ni sus eventos simultáneos en todo el circuito
  - ✓ existen variaciones espaciales y temporales

## Fuentes de *skew* y *jitter*

- Las variaciones espaciales en la llegada de un evento del reloj en un circuito integrado se conocen como *skew* (desfase):



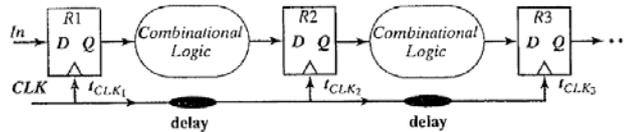
- ✓ está causado por diferencias en las rutas de reloj y en su carga
- ✓ afecta a las prestaciones del sistema:
  - **positivo ( $\delta > 0$ )**: permite reducir el período mínimo, pero puede provocar carreras

$$T \geq t_{c-q} + t_{logic} + t_{su} - \delta \quad \delta < t_{c-q,cd} + t_{logic,cd} - t_{hold}$$

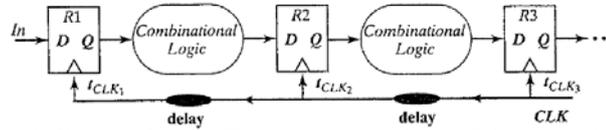
- **negativo ( $\delta < 0$ )**: reduce la velocidad, pero evita carreras

## Fuentes de skew y jitter

- Es posible forzar un determinado *skew* mediante el rutado de propagación del reloj:
  - ✓ **positivo ( $\delta > 0$ )**: si no se satisfacen las restricciones anteriores el funcionamiento será incorrecto (independientemente del reloj usado)



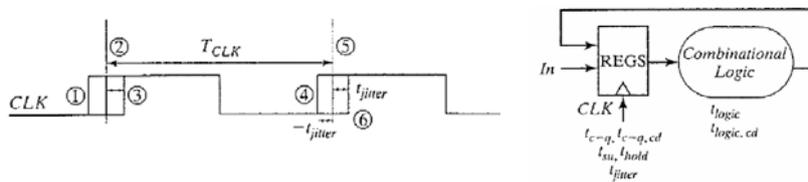
- ✓ **negativo ( $\delta < 0$ )**: reduce la velocidad, pero evita carreras



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Fuentes de skew y jitter

- Las variaciones temporales del período de reloj en un mismo punto del circuito integrado se conocen como *jitter*.



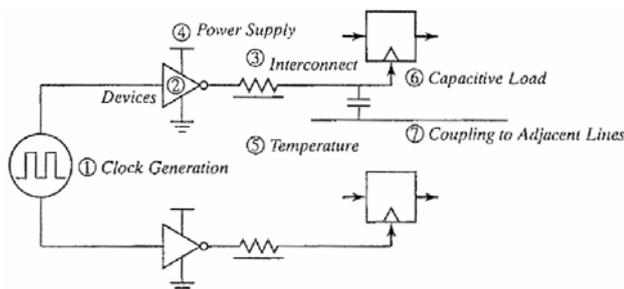
- ✓  $t_{jitter}$  (*jitter* absoluto) representa el valor absoluto de la mayor variación del evento del reloj con respecto a la referencia ideal
- ✓ afecta a la velocidad de los sistemas secuenciales

$$T \geq t_{c-q} + t_{logic} + t_{su} + 2t_{jitter}$$

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Fuentes de *skew* y *jitter*

- Reloj ideal:
  - ✓ señal perfectamente periódica
  - ✓ dispara simultáneamente diferentes elementos de memoria en un circuito integrado
  - ✓ se ve alterado por diferentes fuentes de no idealidad (*skew* y *jitter*)



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

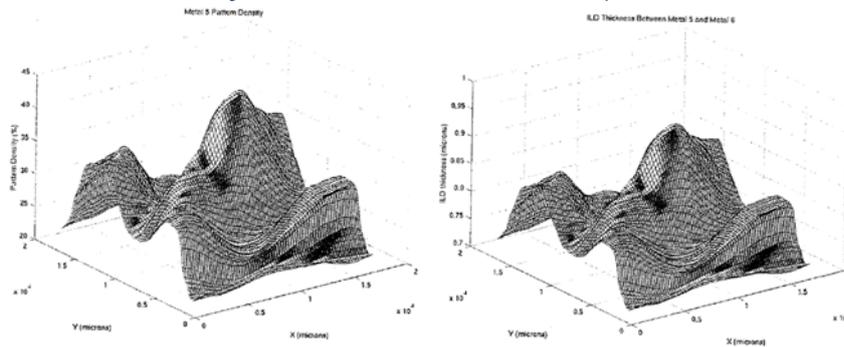
## Fuentes de *skew* y *jitter*

- **Generación de reloj:** la generación del reloj normalmente se lleva a cabo con VCOs analógicos que se ven afectados por:
  - ✓ ruido en la tensión de alimentación
  - ✓ acoplamiento a través del sustrato con la circuitería digital
  - ✓ esto provoca variaciones de frecuencia que se traducen en *jitter*
- **Variaciones en la fabricación:** la **dispersión** en parámetros característicos de los *buffers* del reloj provoca *skew* estático.
- **Variaciones en conexiones:** las variaciones en las dimensiones de las líneas son otra fuente de *skew*:
  - ✓ variaciones en resistencia y capacidad
  - ✓ ILD (*Inter-Layer Dielectric*): variaciones en el espesor del dieléctrico

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Fuentes de *skew* y *jitter*

- **Variaciones en conexiones:** las variaciones en las dimensiones de las líneas son otra fuente de *skew*:
  - ✓ variaciones en resistencia y capacidad
  - ✓ ILD (*Inter-Layer Dielectric*): variaciones en el espesor del dieléctrico



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Fuentes de *skew* y *jitter*

- **Variaciones ambientales:** principal causa de *skew* y *jitter*:
  - ✓ **temperatura:** las diferencias de consumo provocan gradientes de temperatura en el chip (especialmente con *clock gating*)
    - provocan diferencias en el comportamiento de los *buffers*
    - se traduce en *skew*, por la escala de variación temporal
  - ✓ **alimentación:** el retardo de los *buffers* de reloj varía con la tensión de alimentación
    - **variaciones estáticas (baja frecuencia):** consecuencia de las variaciones en la corriente consumida por los diferentes módulos
    - **variaciones dinámicas (alta frecuencia):** caídas instantáneas por fluctuación en la actividad o efectos inductivos
    - se traduce en *jitter*, degradando la velocidad del circuito

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Fuentes de *skew* y *jitter*

- **Acoplamiento capacitivo:** las fuentes principales de variaciones en la carga capacitiva son:
  - ✓ acoplamiento entre las líneas de reloj y las líneas de señales adyacentes:
    - este acoplamiento también incluye las puertas de los biestables
    - dado que las señales en las líneas acopladas pueden variar sin correlación con el reloj, introducen *jitter*
  - ✓ variaciones en las capacidades de puerta
    - para muchos elementos de memoria, la capacidad que presentan a la red de reloj depende del estado actual y el estado siguiente
    - altera la carga de los *buffers* de reloj, provocando que varíe el retardo asociado a éstos y provocando *jitter*

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

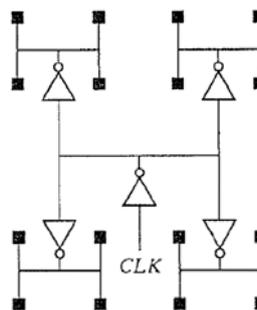
## Técnicas de distribución de reloj

- Uno de los mayores retos en el diseño de circuitos integrados digitales es la red de distribución de reloj:
  - ✓ ha de minimizar *skew* y *jitter*
  - ✓ es una de las principales fuentes de consumo
    - requiere técnicas para desactivar partes inactivas
    - estas técnicas introducen *skew* y *jitter*
- Normalmente se realiza una aproximación jerárquica:
  - ✓ una red distribuye una referencia global a diferentes partes del chip
  - ✓ redes locales distribuyen esta referencia teniendo en cuenta las diferentes cargas y variaciones posibles
  - ✓ se explota el hecho que el retardo global en la distribución del reloj es irrelevante, sólo el desfase entre diferentes puntos del circuito

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Técnicas de distribución de reloj

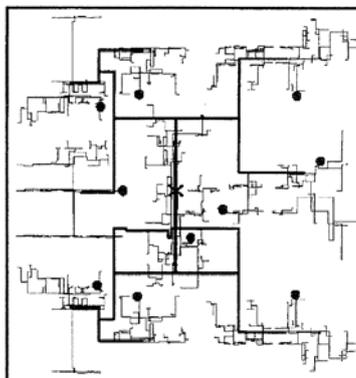
- Una de las redes de distribución más comunes es el **árbol H**:
  - ✓ el reloj global se enruta hasta el centro del chip
  - ✓ *buffers* y conexiones idénticas distribuyen la señal hasta otros puntos del chip, donde se repite la estructura
  - ✓ el retardo global puede ser de varios ciclos, pero el desfase es nulo, resultando en skew nulo
  - ✓ solución adecuada para estructuras regulares



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Técnicas de distribución de reloj

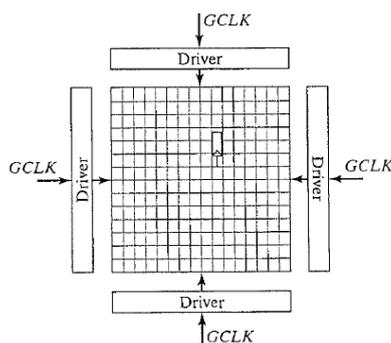
- El concepto del árbol H puede extenderse a un árbol más genérico (*matched RC tree*):
  - ✓ el retardo de todas las líneas de distribución de reloj es el mismo, independientemente de la estructura física
  - ✓ normalmente puede dividirse en tantos niveles de distribución como sea necesario
  - ✓ requiere un modelado detallado de los retardos asociados a cada segmento



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Técnicas de distribución de reloj

- El último nivel de distribución de reloj suele implementarse con una estructura *grid*:
  - ✓ los retardos a cada elemento de memoria no están compensados, sino que cada uno de ellos está minimizado
  - ✓ su principal desventaja es el consumo elevado, ya que introduce cierto exceso de interconexiones



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Sumario

- Consideraciones en el diseño de circuitos integrados digitales
- Diseño de sistemas digitales integrados
  - ✓ Lógica CMOS estática
  - ✓ Lógica CMOS dinámica
  - ✓ Biestables y registros
- Temporización de sistemas digitales integrados
  - ✓ Clasificación temporal de sistemas digitales
  - ✓ Fuentes de *skew* y *jitter*
  - ✓ Técnicas de distribución de reloj
- Circuitos *self-timed*

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

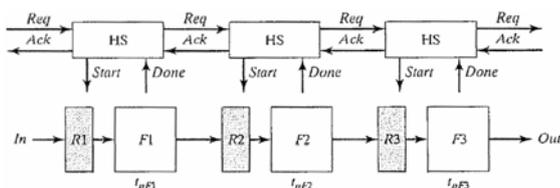
## Circuitos *self-timed*

- Los sistemas síncronos ofrecen evidentes ventajas y permiten un elevado rendimiento a través de la segmentación.
- Los inconvenientes asociados a los sistemas síncronos se pueden evitar con circuitos asíncronos:
  - ✓ su diseño es complicado e implica evitar cualquier carrera crítica, lo que requiere un análisis temporal exhaustivo
  - ✓ la manipulación de la estructura lógica y los retardos requiere diseño asistido y sólo es recomendable si es estrictamente necesario
- Es posible una solución intermedia con los circuitos *self-timed*:
  - ✓ separan la relación entre el nivel físico y el lógico asociada a la temporización

Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Circuitos *self-timed*

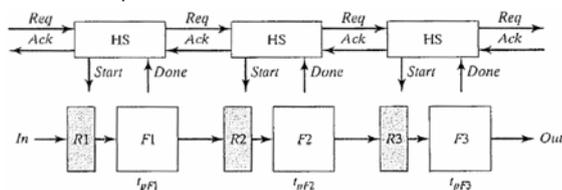
- Cauce segmentado *self-timed*:
  - ✓ *Start* controla el inicio del funcionamiento de los bloques combinacionales, que indican el fin de su procesamiento con *Done*
  - ✓ los bloques de *handshaking* (HS) controlan el flujo de datos:
    - *Req* señala la petición de procesar un dato
    - el bloque HS activa *Start* y espera a *Done*, lanzando un *Ack*
    - tras recibir *Done*, el bloque HS lanza un *Req* al siguiente bloque



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Circuitos *self-timed*

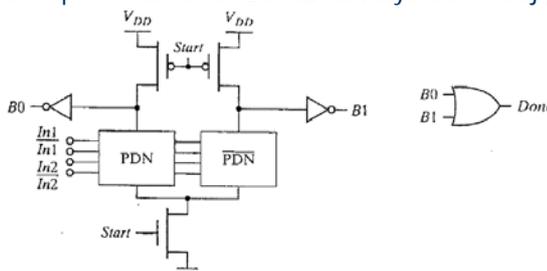
- Cauce segmentado *self-timed*:
  - ✓ *Done* asegura que se respeta el retardo físico de cada bloque
  - ✓ la combinación de *Req* y *Ack* asegura que la ordenación lógica de las operaciones es la correcta
  - ✓ la temporización se genera localmente, lo que puede permitir aumentar la velocidad y reducir el consumo
  - ✓ se incrementa la inmunidad frente a variaciones durante la fabricación, temperatura, etc.



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Circuitos *self-timed*

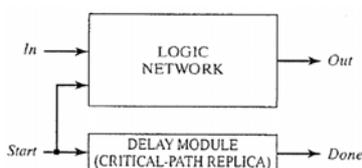
- Existen diferentes alternativas para la generación de *Done*:
  - ✓ **Codificación dual (dual-rail coding)**: utiliza redundancia, usando dos señales para representar cada bit
    - el fin del funcionamiento de la lógica requiere que ambas señales sean complementarias (00 indica transición, 11 no puede ocurrir)
    - puede implementarse con DCVSL sustituyendo el reloj por *Start*



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Circuitos *self-timed*

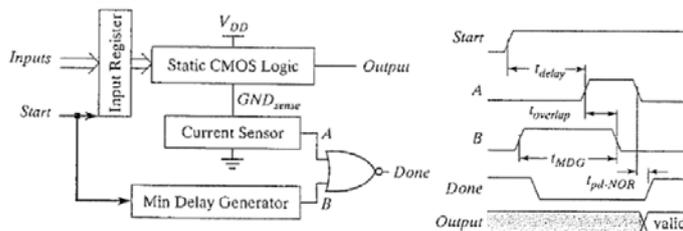
- Existen diferentes alternativas para la generación de *Done*:
  - ✓ **Replica del retardo:** la codificación dual implica un consumo elevado y un área significativa
    - *Done* puede generarse con un simple elemento de retardo que iguale el camino crítico del bloque combinacional
    - permite el uso de lógica convencional no redundante



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Circuitos *self-timed*

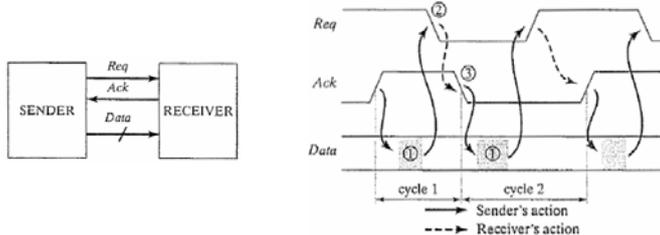
- Existen diferentes alternativas para la generación de *Done*:
  - ✓ **Análisis de corriente (*current sensing*):** la corriente que circula por una puerta estática permite determinar si han finalizado todas las transiciones
    - el sensor de corriente genera un 0 si no hay corriente
    - esta señal indica que el bloque combinacional ha completado su funcionamiento



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Circuitos *self-timed*

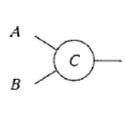
- El protocolo de *handshaking* puede implementarse en **dos fases**:
  - ✓ el circuito de origen pone los datos en el bus (①) y produce una transición en *Req* (②)
  - ✓ el circuito de destino acepta el dato cuando está listo provocando una transición en *Ack* (③)
  - ✓ mientras no se produzca esto, el circuito de origen queda a la espera y no acepta nuevos datos en su entrada



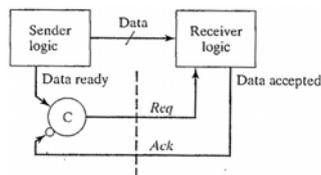
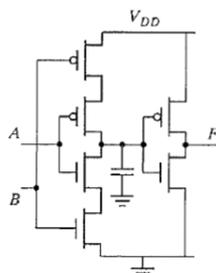
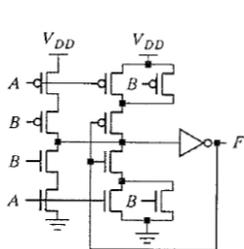
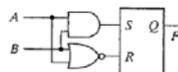
Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Circuitos *self-timed*

- El protocolo de *handshaking* puede implementarse en **dos fases**:
  - ✓ el orden de estos eventos ha de mantenerse para garantizar una correcta sincronización
  - ✓ puede implementarse con el **elemento C de Muller**



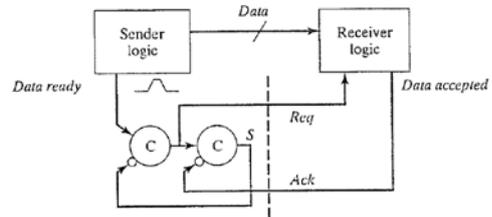
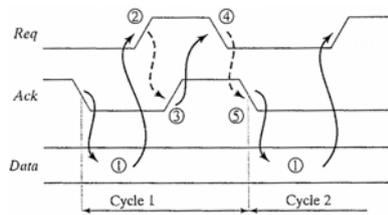
A	B	$F_{n+1}$
0	0	0
0	1	$\bar{F}_n$
1	0	$F_n$
1	1	1



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación

## Circuitos *self-timed*

- El protocolo de *handshaking* puede implementarse en **4 fases**:
  - ✓ el circuito de origen pone los datos en el bus levanta *Req* (②)
  - ✓ el circuito de destino acepta el dato levantando *Ack* (③)
  - ✓ una vez procesado el dato, *Ack* (⑤) y *Req* (④) vuelven a 0 y el circuito de origen puede colocar un nuevo dato en el bus
  - ✓ evita la detección de ambos flancos, evitando bloqueos del sistema



Diseño de Circuitos y Sistemas Electrónicos – Ingeniería de Telecomunicación