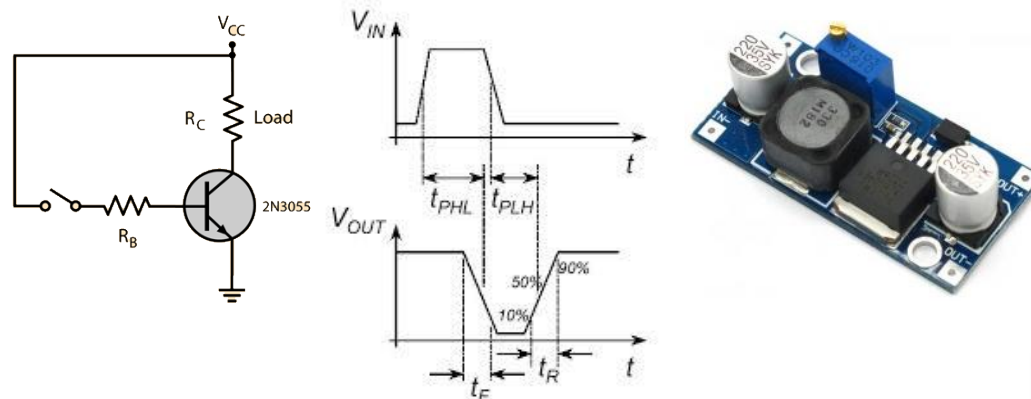


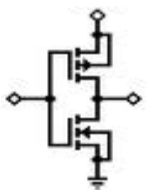


Tecnología Electrónica

Capítulo 9: Introducción a los Dispositivos en conmutación.



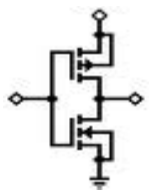
Versión: 2020/05/12



Índice general



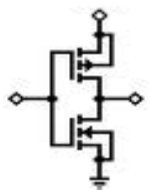
- ❑ El diodo en conmutación
 - Conmutación
 - *cambios bruscos de portadores en la unión PN*
 - Tensiones y corrientes en conmutación
 - *Transiciones (Off → On) y (On → Off)*
- ❑ Transistores en conmutación
 - Procesos de carga/descarga en transistores unipolares.
 - FET: formas de onda en conmutación.
 - Conmutación en BJT. Procesos y formas de onda.
- ❑ Introducción a los circuitos electrónicos digitales
 - Inversor CMOS.
 - Función de transferencia estática.
 - Procesos de conmutación. Cargas capacitivas.
 - Potencia dinámica.



Índice general



- ❑ **El diodo en conmutación**
 - **Conmutación**
 - *cambios bruscos de portadores en la unión PN*
 - **Tensiones y corrientes en conmutación**
 - *Transiciones (Off → On) y (On → Off)*
- ❑ **Transistores en conmutación**
 - Procesos de carga/descarga en transistores unipolares.
 - FET: formas de onda en conmutación.
 - Conmutación en BJT. Procesos y formas de onda.
- ❑ **Introducción a los circuitos electrónicos digitales**
 - Inversor CMOS.
 - Función de transferencia estática.
 - Procesos de conmutación. Cargas capacitivas.
 - Potencia dinámica.



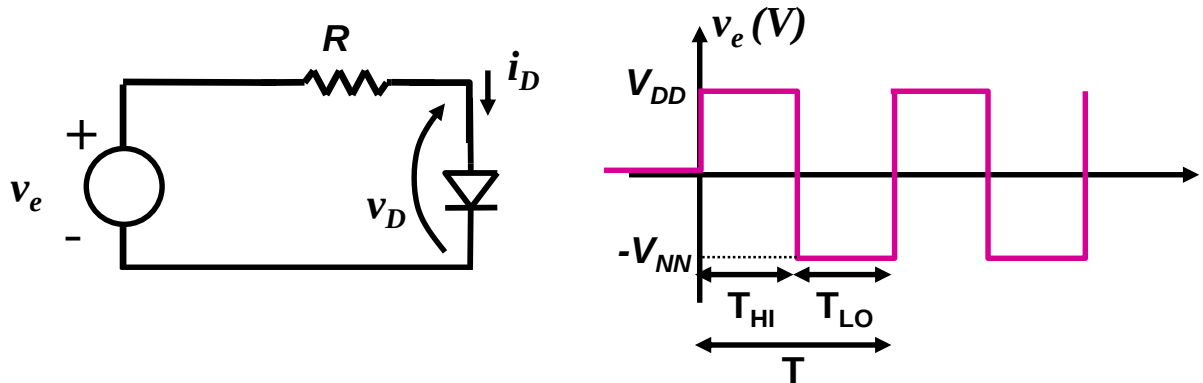
El diodo en conmutación

Caso de estudio: circuito básico

□ Conmutación $\Rightarrow$ **Paso de conducción a corte y viceversa a elevada frecuencia**

- $i_D \rightarrow$ sí puede variar instantáneamente
- $v_D \rightarrow$ no puede variar instantáneamente debido a la capacidad interna del diodo; efectos: capacidad de *difusión*, C_d , y de *transición* (o unión) C_j .

→ Circuito para estudiar la conmutación

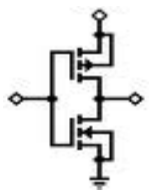


Datos de partida:

- $V_{DD} \gg V_\gamma$
para garantizar el paso a ON.
- $|V_{NN}| < |V_{RM}|$
para evitar romper el diodo en inverso.

Según el circuito de la figura:

- $T_{HI} \Rightarrow$ Diodo pasa a conducción (ON)
- $T_{LO} \Rightarrow$ Diodo pasa a corte (OFF)



El diodo en conmutación

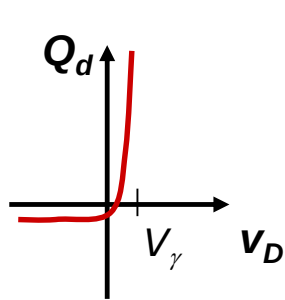
Unión PN: capacidades internas



❑ Causas y formulación, definidas con parámetros Spice:

■ En **directo**: $C_d \rightarrow$ **Capacidad de difusión**

■ *Fluctuaciones de portadores debido a la lentitud del proceso de difusión.*



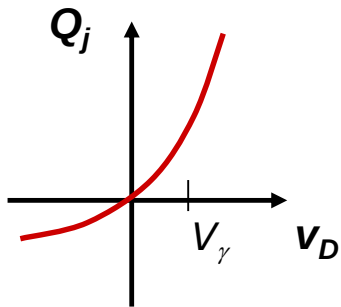
$$Q_d = K \left(e^{qv_D/kT} - 1 \right)$$

$$C_d = \tau_T \cdot g_d = \tau_T \cdot (I_{DQ}/V_T)$$

$\tau_T = TT$ = tiempo medio de vida de portadores

- **Despreciable en inversa**
- Importante en **alta frecuencia y conmutación**

■ En **inverso**: $C_j \rightarrow$ **Capacidad de transición.**



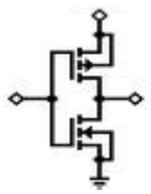
$$C_j = \frac{C_{j0}}{\left(1 - V_{DQ}/V_{j0}\right)^m}$$

C_{j0} = Capacidad de transición a tensión cero

V_{j0} = potencial de barrera de la unión

m = coeficiente de gradiente

- **Domina** el comportamiento dinámico **en inversa**, es importante en **alta frecuencia y conmutación**
- Justifica ciertas aplicaciones del diodo en inversa usado como un **condensador controlado por tensión** en pequeña señal.

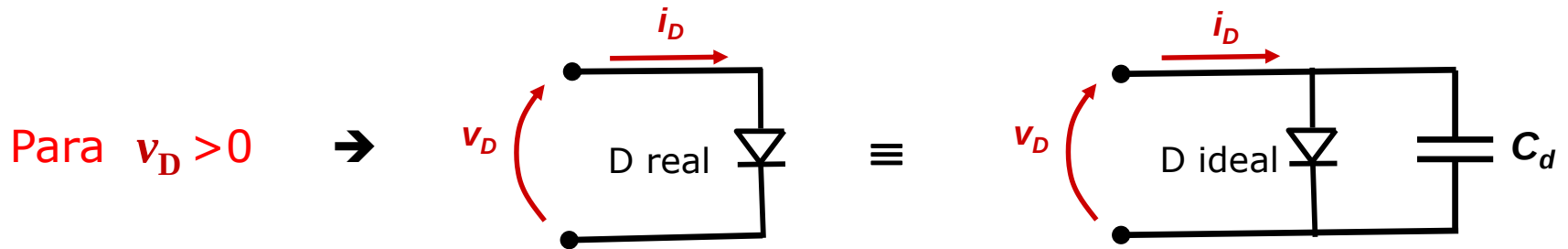


El diodo en conmutación

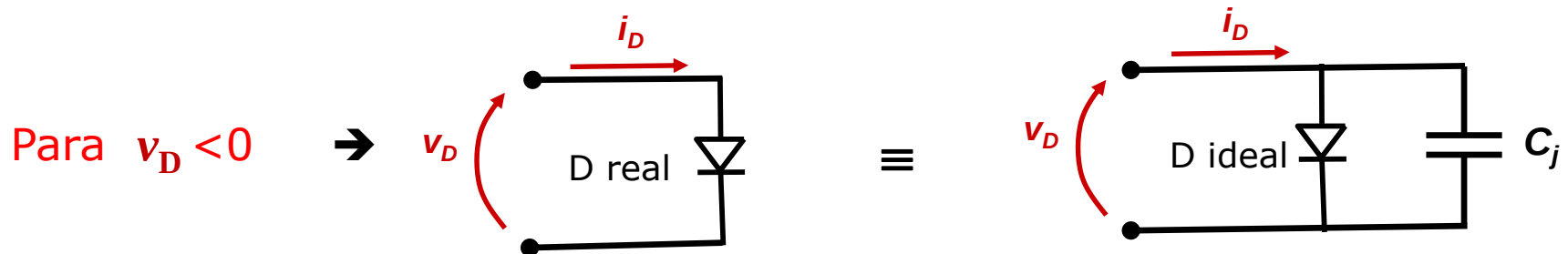
Caso de estudio: circuito básico

- Desde el punto de vista de conmutación un diodo real se puede **aproximar** por un diodo ideal en paralelo con una capacidad.

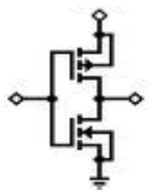
- En **directa** el circuito equivalente aproximado es:



- En **inversa** el circuito equivalente aproximado es:



- En lo que sigue supondremos que el **diodo ideal** se comporta como una pila de valor V_γ cuando conduce (ON), y una fuente de corriente de valor $-I_S$ cuando está cortado (OFF, con $v_D < 0$).

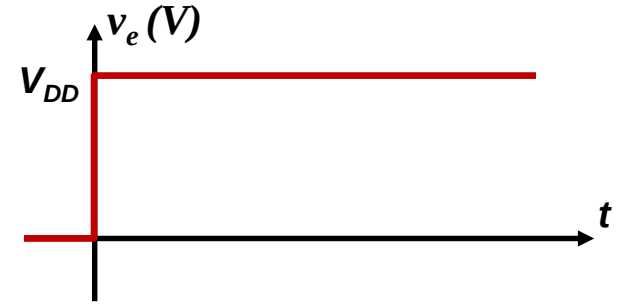
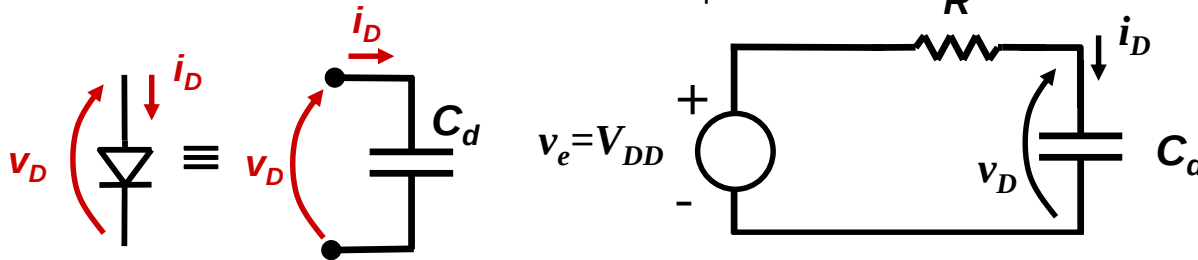


El diodo en conmutación

Paso a ON: carga de la unión PN

□ Paso corte-conducción: $v_e \rightarrow V_{DD}$

- Modelo equivalente en conducción (D ideal inicialmente cortado $v_D < V_\gamma$)

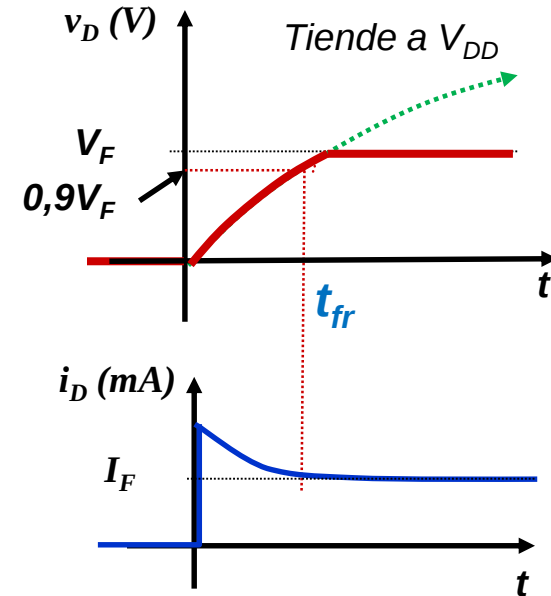


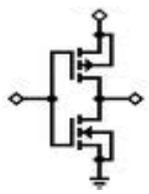
- C_d se carga tendiendo hacia V_{DD} , con una $\tau_1 = R \cdot C_d$
- v_D se estabiliza cuando el D ideal conduce, fijando una tensión $V_F = V_{DQ} = V_\gamma$
- i_D se estabiliza al conducir el D ideal, en $I_F = I_{DQ}$

$$I_F = I_{DQ} = \frac{V_{DD} - V_\gamma}{R} \approx \frac{V_{DD}}{R}$$

Tiempo de recuperación en directa

$$t_{fr} \Rightarrow v_D(t_{fr}) = 90\% V_F$$



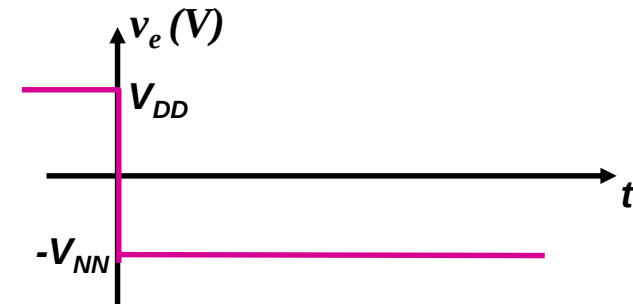
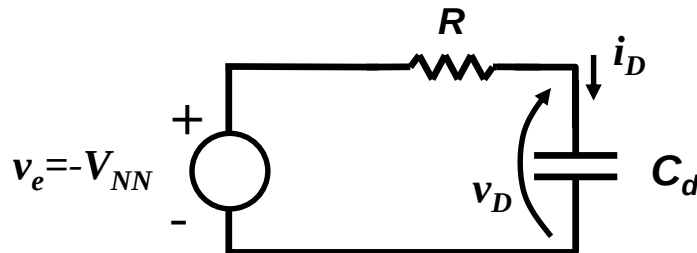


El diodo en conmutación

Paso a OFF: descarga de la unión PN (1)

□ Paso conducción-corte: $v_e \rightarrow -V_{NN}$

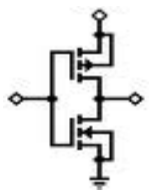
- Suponiendo que el diodo está conduciendo ($v_e = V_{DD}$) y pasamos a $v_e = -V_{NN}$ inicialmente el modelo equivalente del diodo será una C_d , mientras $v_D > 0$



- C_d se carga tendiendo hacia $-V_{NN}$ con una $\tau_1 = R \cdot C_d$, si bien se puede aproximar la corriente de descarga por una constante, ya que:

$$i_D = \frac{-V_{NN} - v_D}{R} \approx \frac{-V_{NN}}{R} = -I_R$$

- Cuando v_D pase por cero el modelo equivalente del diodo es una capacidad C_j y esa C_j se carga hacia $-V_{NN}$ con una $\tau_2 = R \cdot C_j$
- El tiempo transcurrido desde el instante en que v_e pasó de V_{DD} a $-V_{NN}$ hasta que $v_D = 0$ se denomina tiempo de almacenamiento t_s .



El diodo en conmutación

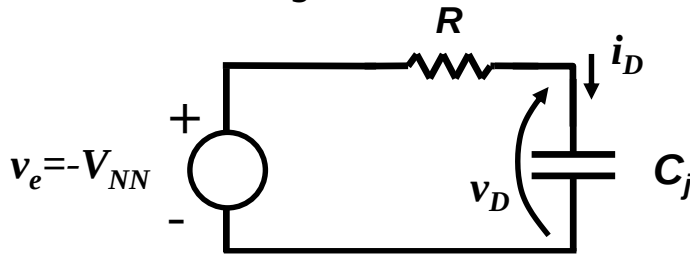
Paso a OFF: descarga de la unión PN (y 2)

Tiempo de almacenamiento, t_s

τ_T (tiempo de tránsito de portadores)

$$t_s = \tau_T \cdot \ln \left(1 + \left| \frac{I_F}{I_R} \right| \right)$$

- A partir de t_s el circuito equivalente en corte es

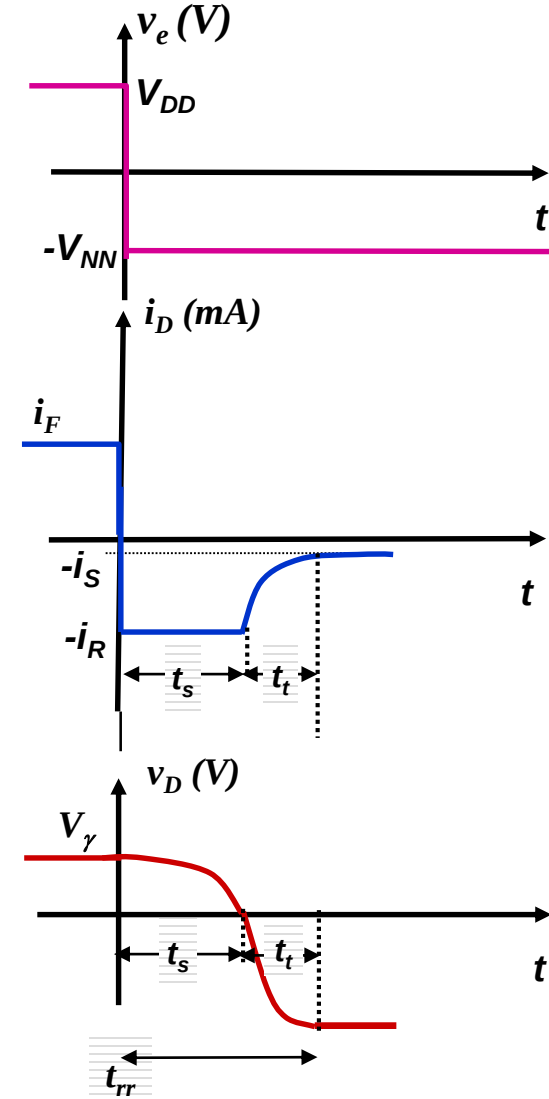


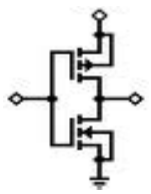
- C_j se carga tendiendo hacia un valor final $\approx -V_{NN}$ con una $\tau_2 = R \cdot C_j$
- v_D se estabiliza en $v_D \approx -V_{NN}$ transcurrido un tiempo t_t que se puede aproximar por $t_t = 3 \cdot R \cdot C_j$

Tiempo de recuperación en inversa

$$t_{rr} = t_s + t_t$$

Tiempo de transición, t_t : desde $i_D = -I_R \rightarrow$ hasta $i_D = -0,1 \cdot I_R$

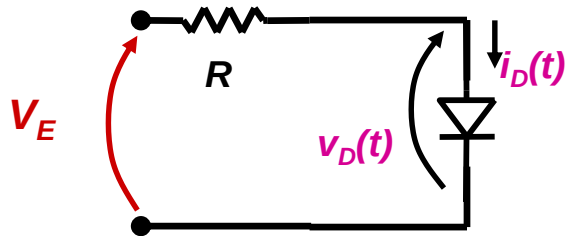




El diodo en conmutación

Ciclo de conmutación: carga-descarga

Formas de onda



■ En estado **estacionario** ($t \gg T$, en cada periodo)

○ **Diodo en conducción (ON)**

$$v_E = V_{DD} \Rightarrow v_D = V_\gamma \Rightarrow i_D = i_F = \frac{V_{DD} - V_\gamma}{R} \approx \frac{V_{DD}}{R}$$

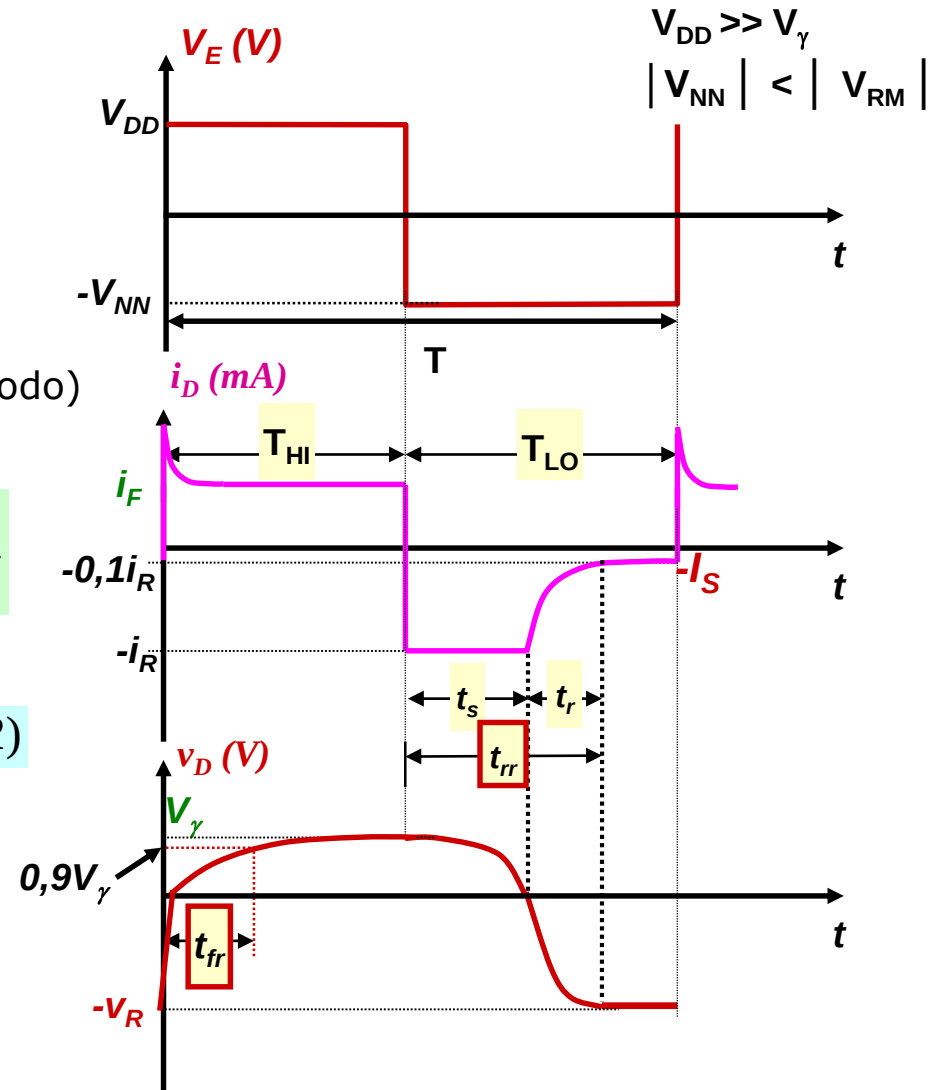
○ **Diodo en corte (OFF)**

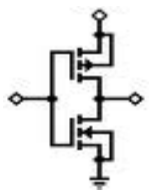
$$v_E = -V_{NN} \Rightarrow i_D = -I_S \Rightarrow v_D = V_R = (-V_{NN} + I_S R)$$

■ **En la transición de ON-OFF**

$$\text{durante } t_s : v_D \approx V_\gamma \Rightarrow i_D = i_R = -\left(\frac{V_{NN} + V_\gamma}{R}\right)$$

En general $t_{fr} \text{ (ns)} < t_{rr} \text{ (}\mu\text{s)}$



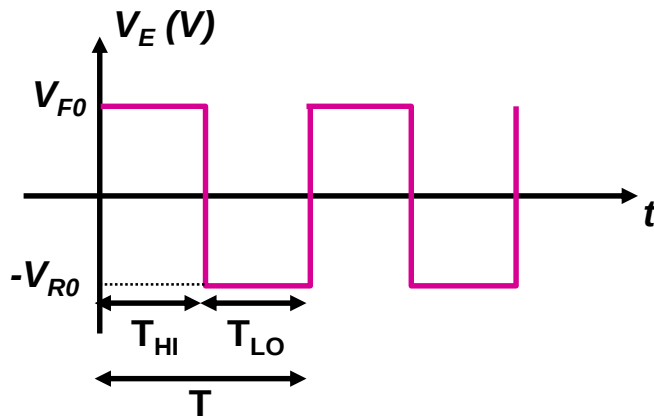


El diodo en conmutación

Frecuencia máxima de conmutación

■ Frec. máxima en función de los tiempos **On→Off** y **Off→On**

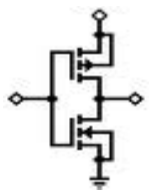
- Para que el diodo pueda responder a las variaciones de la señal de entrada v_E , se ha de cumplir:



A la vez:
$$\begin{cases} T_{HI} \geq t_{fr} \\ T_{LO} \geq t_{rr} \end{cases} \Rightarrow \begin{cases} f_{m\acute{a}x} = \frac{1}{t_{fr} + t_{rr}} \\ D = \frac{t_{fr}}{t_{fr} + t_{rr}} \end{cases}$$

- **Particularización:** señal con ciclo de trabajo $D = 50\%$ ($T_{HI} = T_{LO}$)

$$T_{LO-\min} = T_{HI-\min} = \max[t_{fr}, t_{rr}] \Rightarrow f_{\max} = \frac{1}{T_{LO-\min} + T_{HI-\min}} = \frac{1}{2 \cdot \max[t_{fr}, t_{rr}]}$$



El diodo en conmutación

Observaciones en Pspice (1)

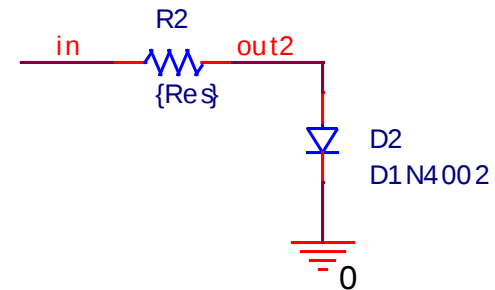
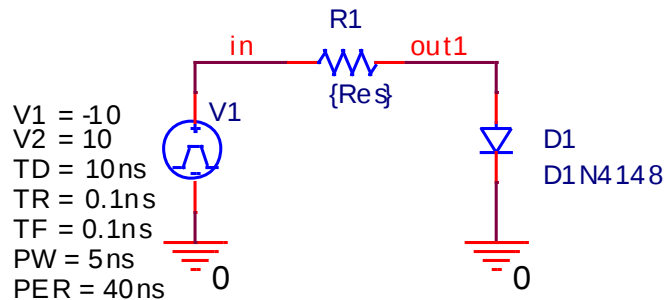


Actividad:

- Con PSpice, visualice las formas de onda de conmutación de los diodos 1N4148 (pequeña señal) y 1N4002 (rectificador)

PARAMETERS:

Res = 100



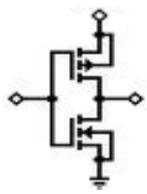
- Parámetros Spice, de interés en conmutación, para los diodos 1N4148 y 1N4002:

Nombre	1N4148	1N4002
Cjo	4p	5,12E-11
M	0,3333	0,2762
Vj	0,5	0,3905
Tt	1,15E-08	4,76E-06

Ejercicio. Sobre el circuito de la figura:

- Obtenga y tabule la capacidad interna total ($C_t = C_d + C_j$) de cada diodo 1N4148 y 1N4002 para tensiones V_{in} (en V) de: -10, -5, -1, 0, 1, 5 y 10.
- ¿Qué capacidad contribuye más a C_t en cada zona (directa e inversa)?

(NOTA: se recomienda usar para su resolución una hoja Excel o Matlab)



El diodo en conmutación

Observaciones en Pspice: corrientes (2)



PARAMETERS:

Res = 100

V1 = -10

V2 = 10

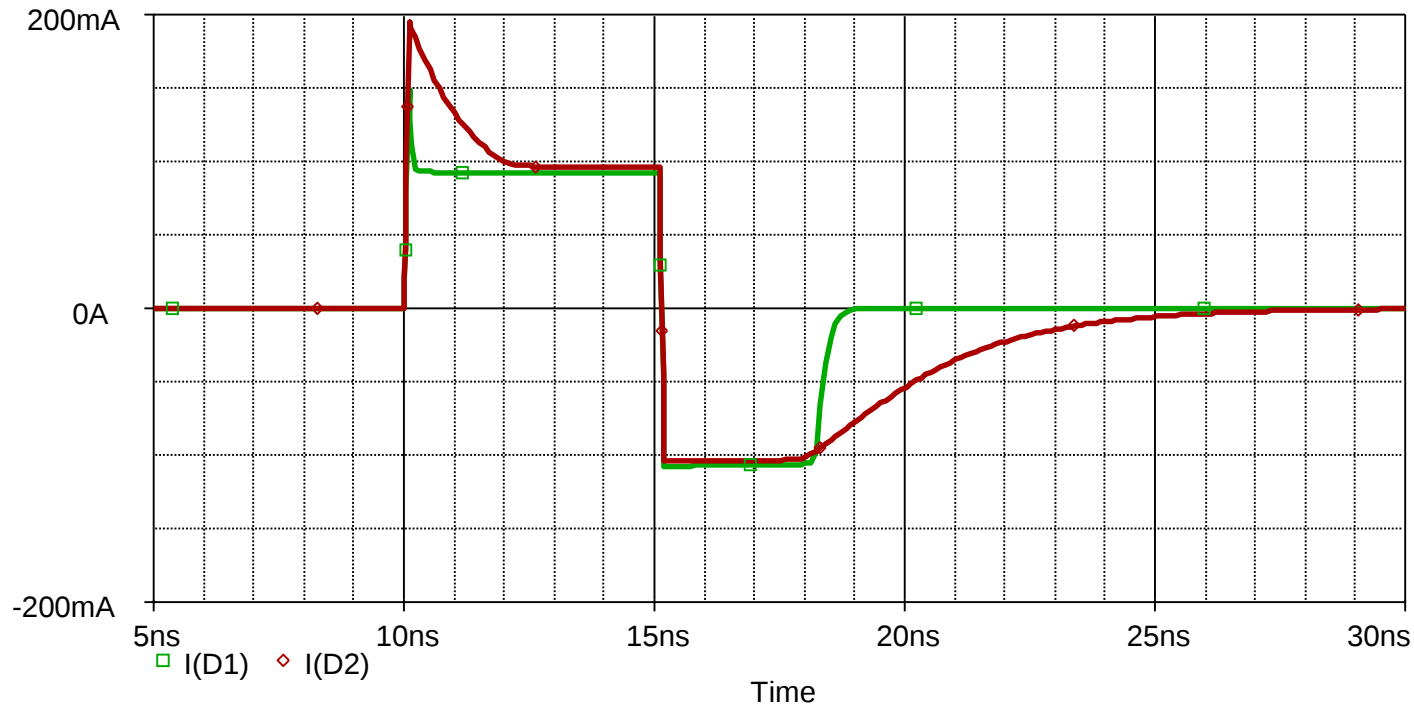
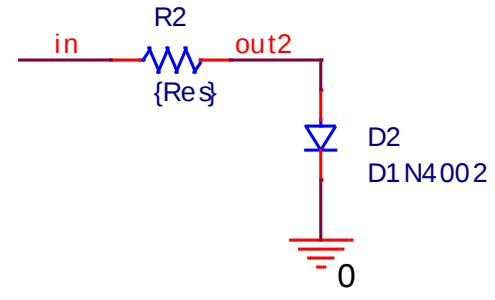
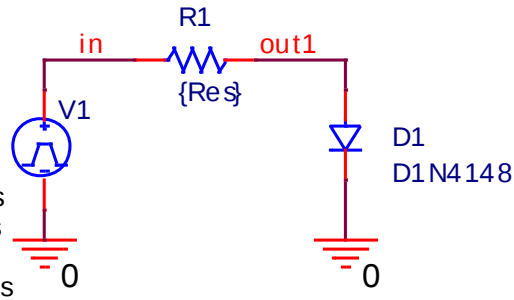
TD = 10ns

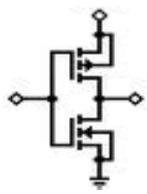
TR = 0.1ns

TF = 0.1ns

PW = 5ns

PER = 40ns





El diodo en conmutación

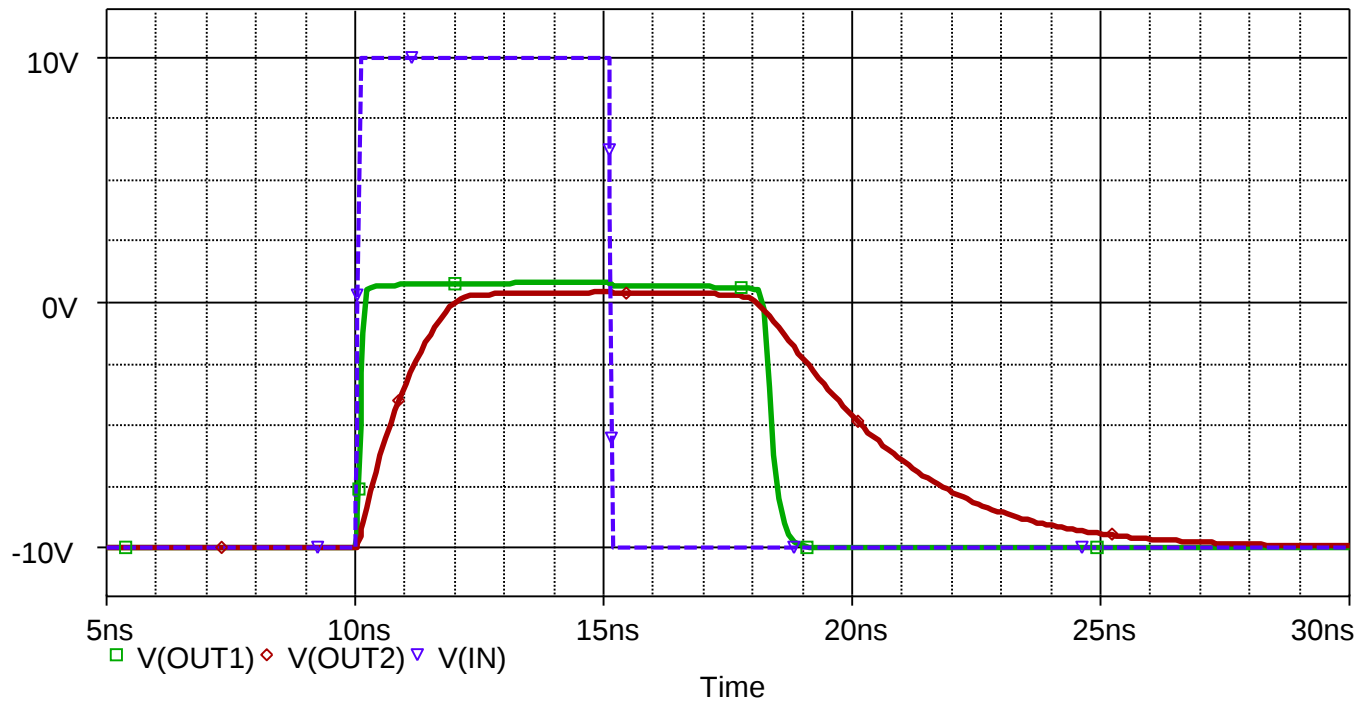
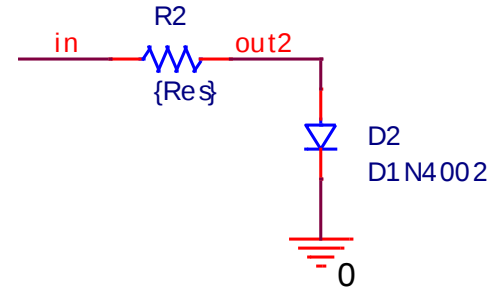
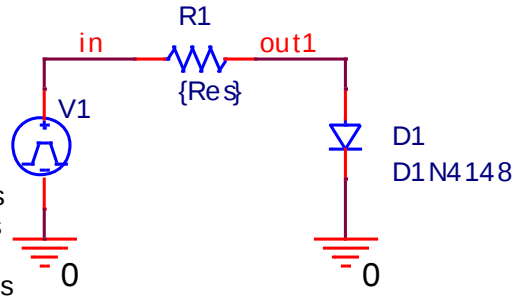
Observaciones en Pspice: tensiones (3)

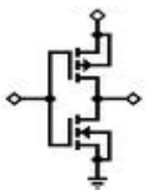


PARAMETERS:

Res = 100

V1 = -10
V2 = 10
TD = 10ns
TR = 0.1ns
TF = 0.1ns
PW = 5ns
PER = 40ns

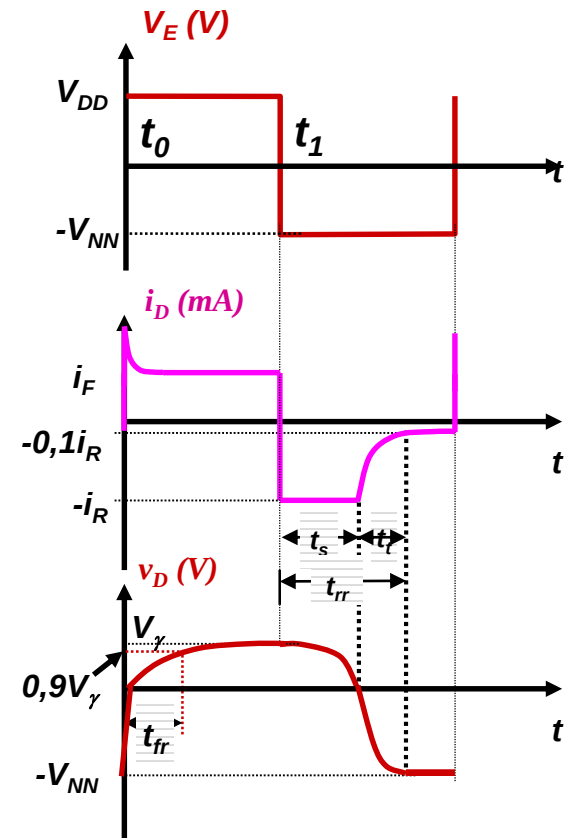
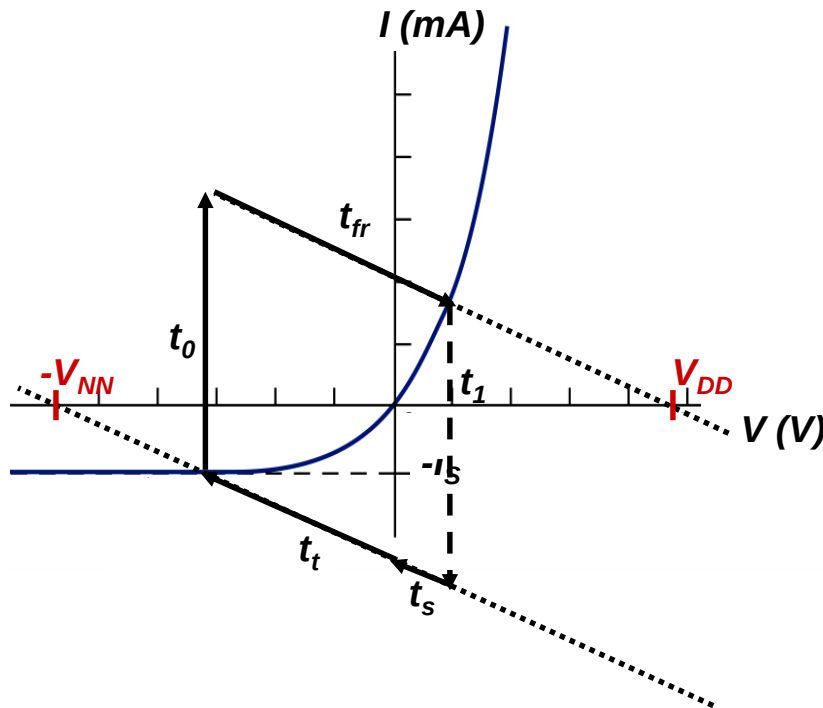


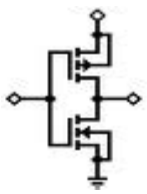


El diodo en conmutación

Trayectorias de conmutación

- ❑ Cambios del punto de trabajo sobre las curvas V-I del diodo:
 - Pasos **On-Off**: cambio en *generador* → cambio en *rectas de carga*
 - Los cambios de Q no son instantáneos...

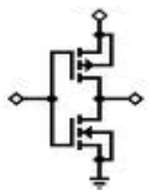




Índice general



- ❑ El diodo en conmutación
 - Conmutación
 - *cambios bruscos de portadores en la unión PN*
 - Tensiones y corrientes en conmutación
 - *Transiciones (Off → On) y (On → Off)*
- ❑ **Transistores en conmutación**
 - **Procesos de carga/descarga en transistores unipolares.**
 - **FET: formas de onda en conmutación.**
 - **Conmutación en BJT. Procesos y formas de onda.**
- ❑ Introducción a los circuitos electrónicos digitales
 - Inversor CMOS
 - Función de transferencia estática
 - Procesos de conmutación. Cargas capacitivas.
 - Potencia dinámica



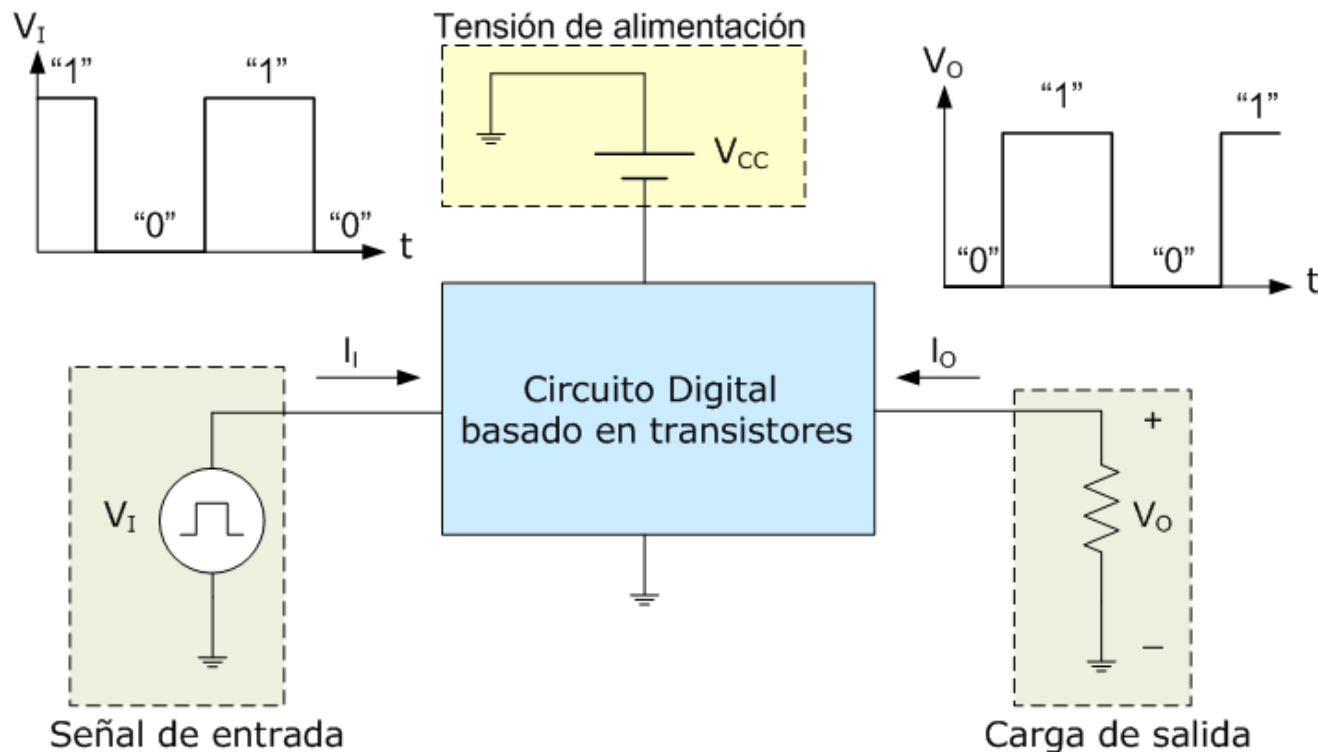
Introducción

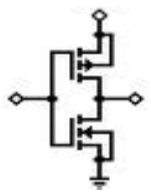
Aspectos generales



■ Transistores en conmutación.

- En muchos sistemas electrónicos las señales de entrada hacen que los trt's funcionen en **corte y saturación (BJT's)** o **corte y óhmica (FET's)**
- Un ejemplo: en **sistemas digitales**, las **señales de entrada** y salida toman **sólo dos estados (niveles)**: que representan el **"1"** y el **"0" lógicos**.



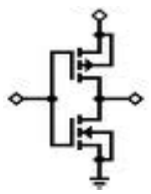


Introducción

Aspectos generales



- ❑ Las **características** (velocidad de conmutación, consumo, etc.) de los **sistemas digitales** están estrechamente relacionadas con las **características de los transistores** utilizados y **de los circuitos básicos** diseñados a partir de ellos.
- ❑ En conmutación, las **regiones de funcionamiento** son **corte y saturación** para los **BJTs** y **corte y óhmica** para los unipolares (**FETs**):
 - **Estado OFF → Circuito abierto:** se corresponde con la región de **corte** del transistor
 - **Estado ON → "cortocircuito":** regiones de **saturación**, caso de **BJTs**, o **óhmica**, caso de **FETs**.
- ❑ El control de estos dos estados se realiza por el terminal de base (caso de BJT) o puerta (caso de FETs) Cuando los **transistores** funcionan en estos **dos estados (on-off)** interesa que las **transiciones** de uno a otro sean lo **más rápidas posibles**.
- ❑ Los **sistemas conmutados** (sistemas digitales, microprocesadores, sistemas de potencia, etc.) serán tanto **más rápidos** cuanto **menor sea el tiempo** que se requiera para pasar los dispositivos electrónicos (transistores, en este caso) de un estado a otro.

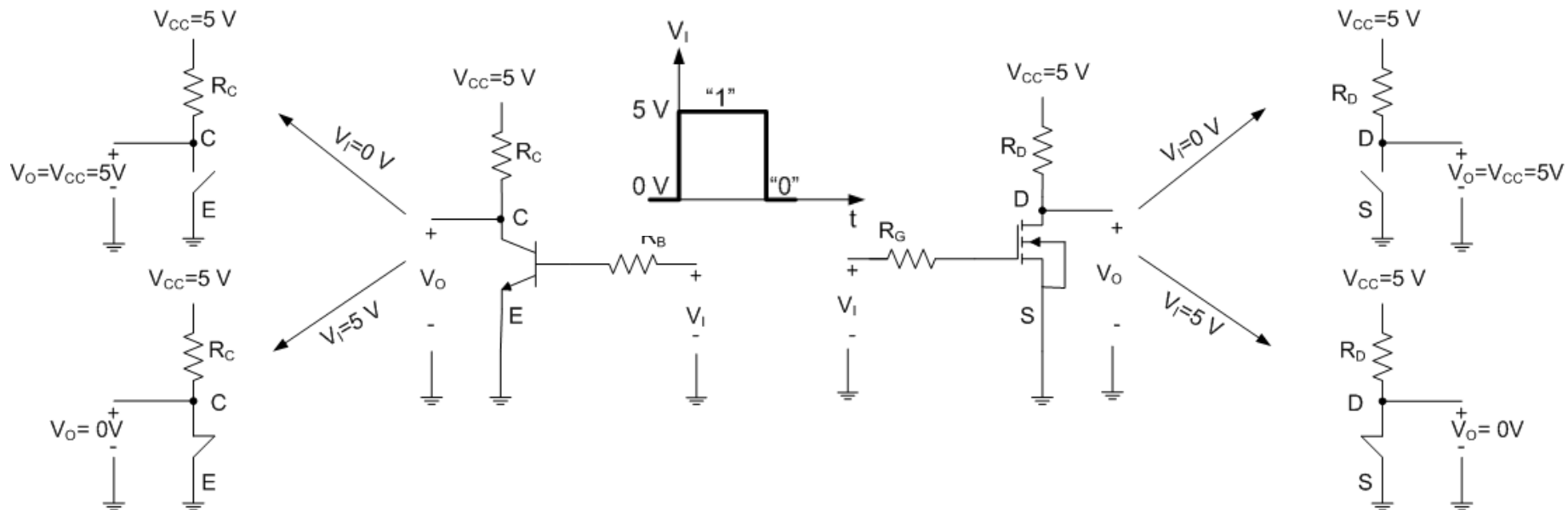


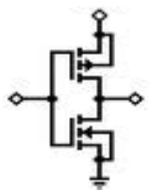
Transistores en conmutación

Aspectos generales



- En la figura se muestran **dos ejemplos básicos** de utilización de **transistores funcionando como interruptores**.
 - Nótese el comportamiento básico tipo **inversor**: la salida de ambos circuitos es la complementaria de la entrada. Un "0" a la entrada produce un "1" a la salida y viceversa.
- Estado **OFF**: se debe dar que para $V_I = 0V$ los transistores estén cortados (circuitos abiertos)
- Estado **ON**: en esta situación, se debe dar que para $V_I = 5V$ los transistores estén en saturación (BJT $\rightarrow V_{CESAT} \approx 0V$), o en óhmica (MOSFET $\rightarrow R_{DS-On} \approx 0$).



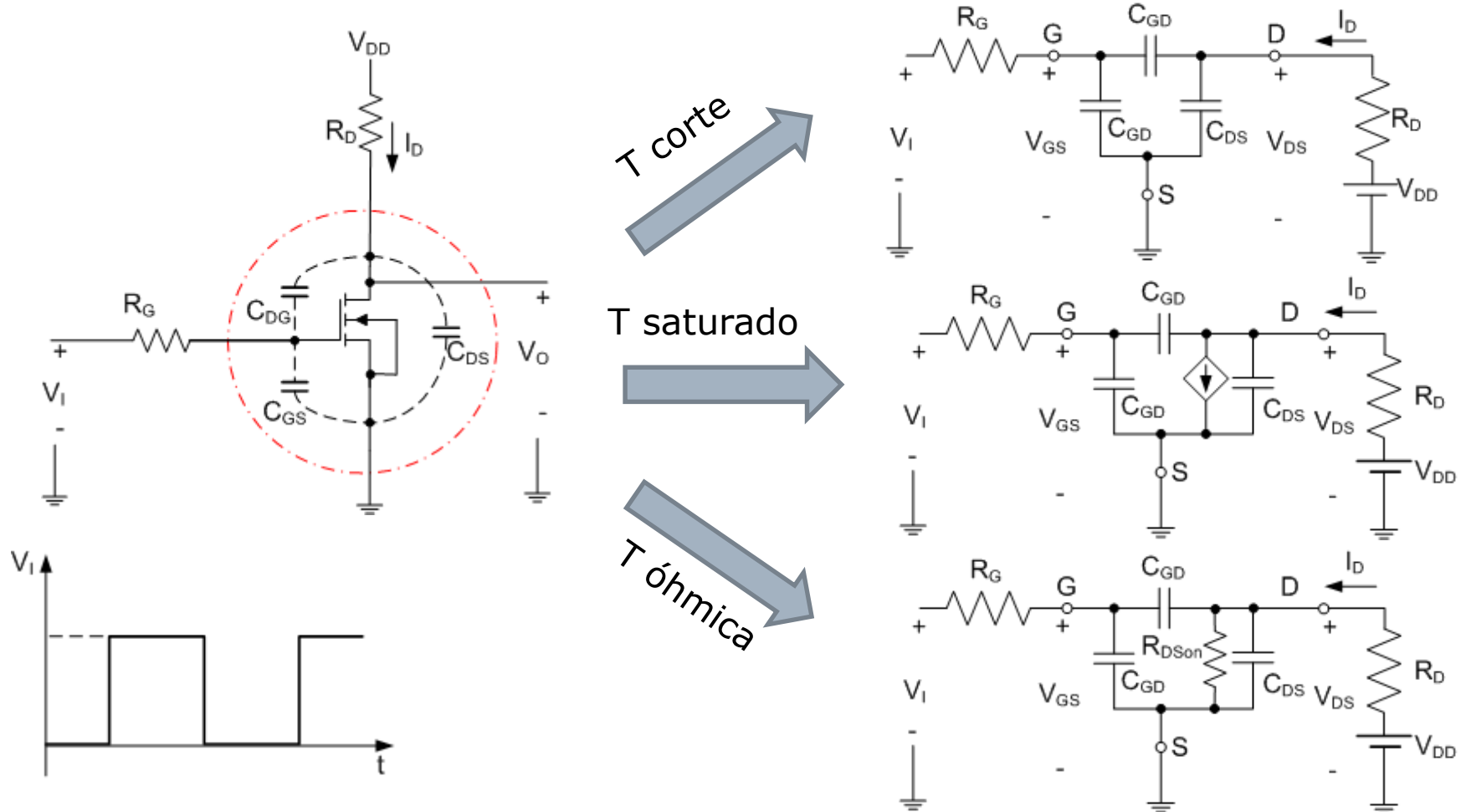


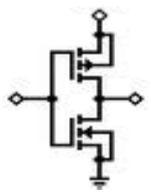
Transistores FET's en conmutación

Tiempos de conmutación



- Para los transistores MOSFET, la **velocidad de respuesta** está **determinada** por la **velocidad de carga y descarga** de las **capacidades** del **circuito** y del **dispositivo**. A las capacidades del dispositivo se le suelen conocer como “capacidades parásitas”.





Transistores FET's en conmutación

Tiempos de conmutación



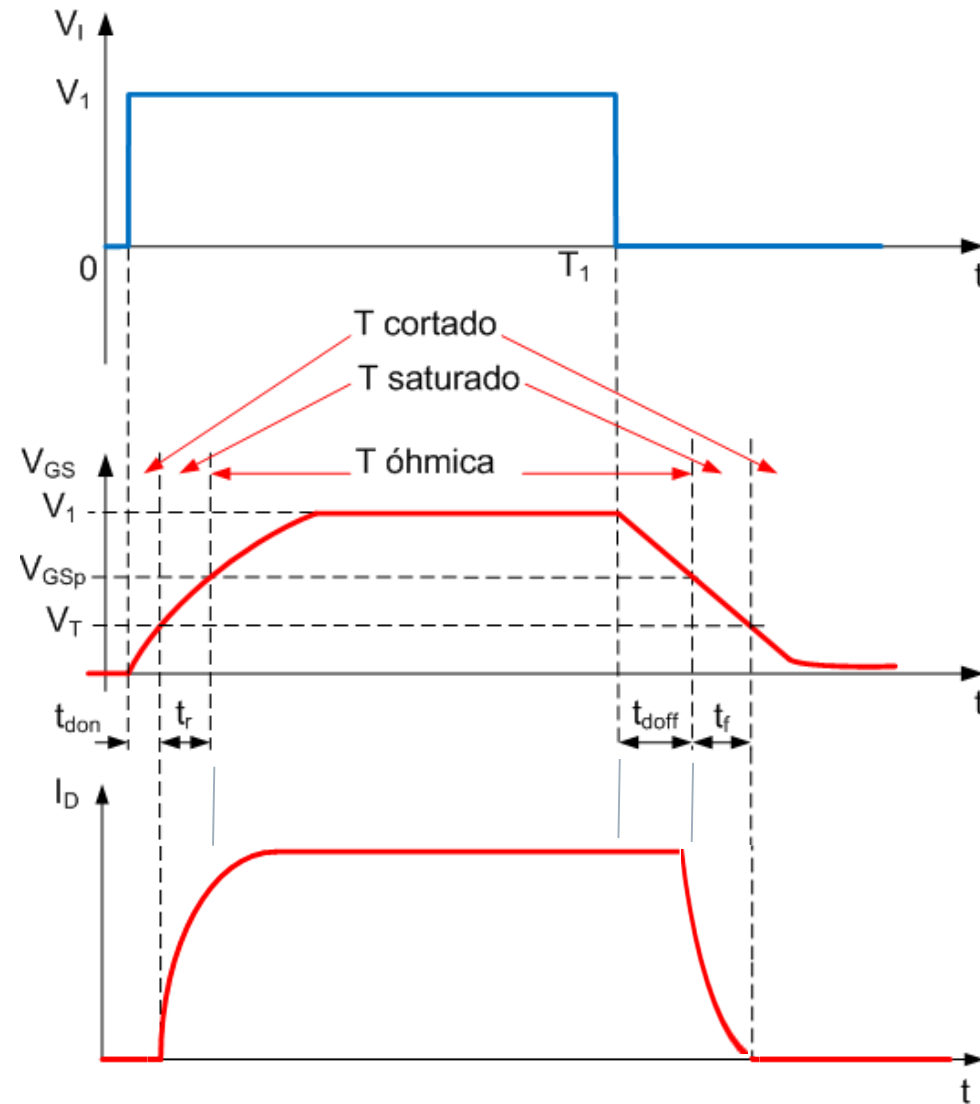
- En la **figura** se muestran las **formas de onda** de V_{GS} e I_D para la señal de entrada indicada.
- Sobre estas gráficas se indican los **tiempos más** significativos que intervienen en las conmutaciones **on-off y off-on** del transistor MOSFET.

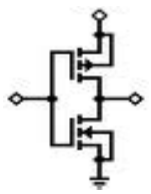
t_{don} = turn-on delay time.

t_r = rise time.

$t_{d(off)}$ = turn-off delay time.

t_f = fall time.





Transistores FET's en conmutación

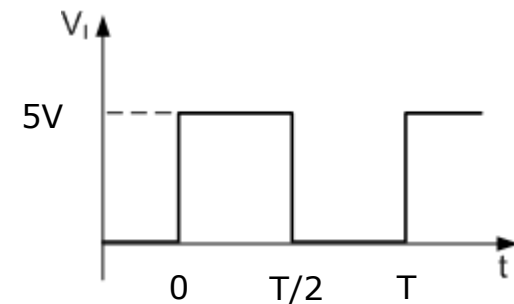
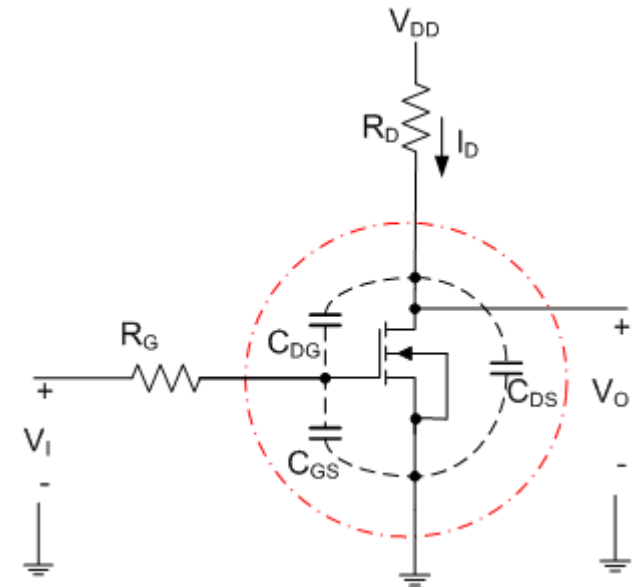
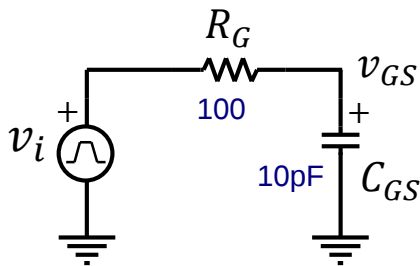
Ejercicio

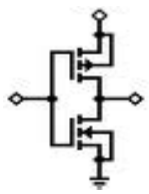
- Del cto. y MOS de la figura se conocen los siguientes datos:

- $R_G = 0.1\text{k}\Omega$; $R_D = 1.2\text{k}\Omega$; $V_{DD} = 5\text{V}$;
 $k = 4\text{mA/V}^2$; $V_t = 3\text{V}$;
 $C_{GS} = 10\text{pF}$; $C_{GD} \approx 0$; $C_{DS} \approx 0$
- El MOS pasa de activa a óhmica para una entrada de valor $V_{GSP} = 4.25\text{V}$

- Calcule:

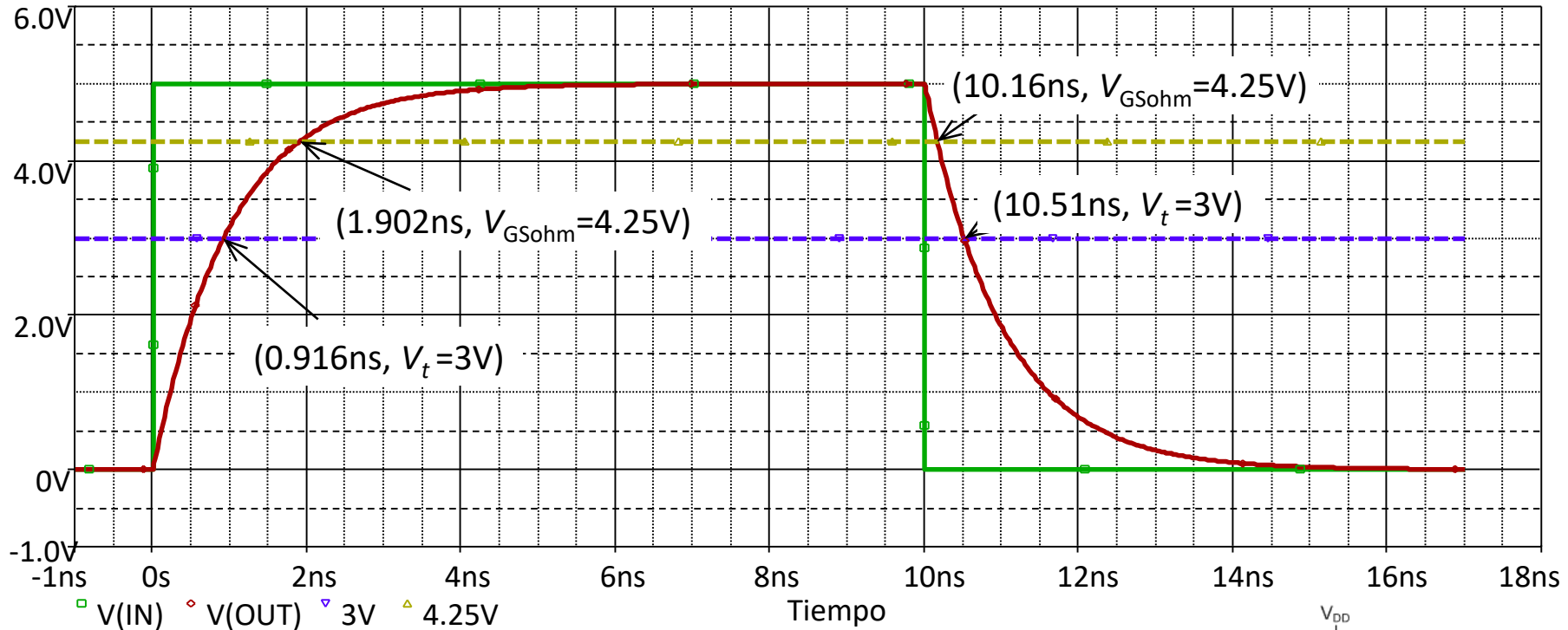
- $t_{d(on)}$, $t_{d(off)}$, t_r y t_f si $T = 10\mu\text{s}$
- Máxima frecuencia de señal que garantice que el MOS alcanza los estados finales (óhmica y corte)





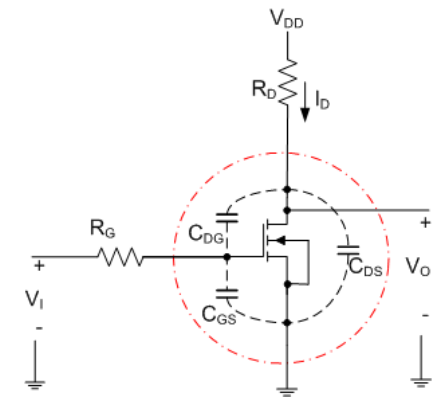
Transistores FET's en conmutación

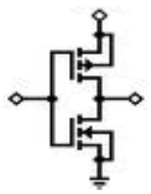
Ejercicio



■ Soluciones:

- $t_{d(on)}=916\text{ps}$; $t_r=981\text{ps}$;
 $t_{d(off)}=162\text{ps}$; y $t_f=348\text{ps}$
- $T \geq 2(t_{d(on)} + t_r) = 3.794\text{ns}$; $f_{\max}=263.5\text{MHz}$



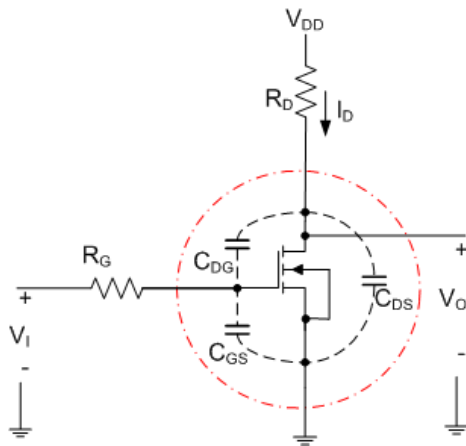


Transistores FET's en conmutación

Tiempos de conmutación: simulaciones



- Tomando en cuenta todos los procesos de transferencias de cargas, la conmutación en un MOS es más compleja.
- Conmutaciones reales en un MOS, con carga resistiva:

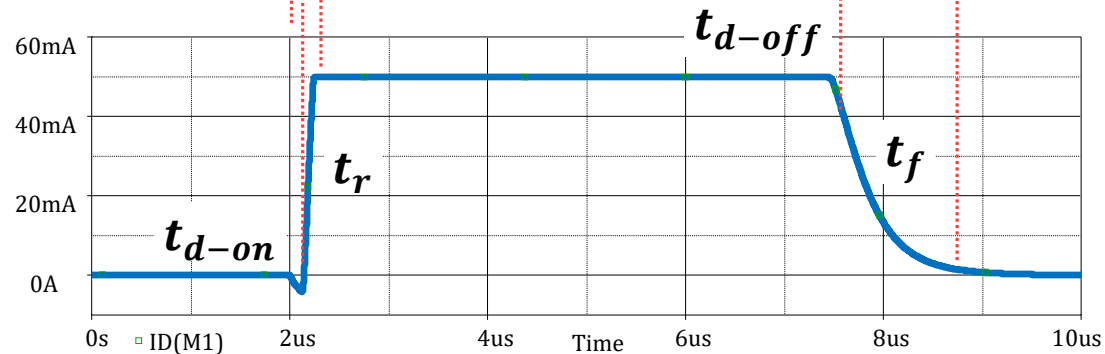
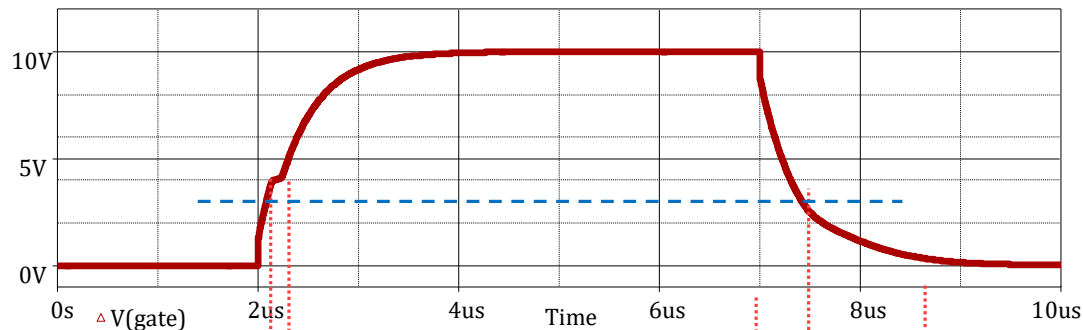
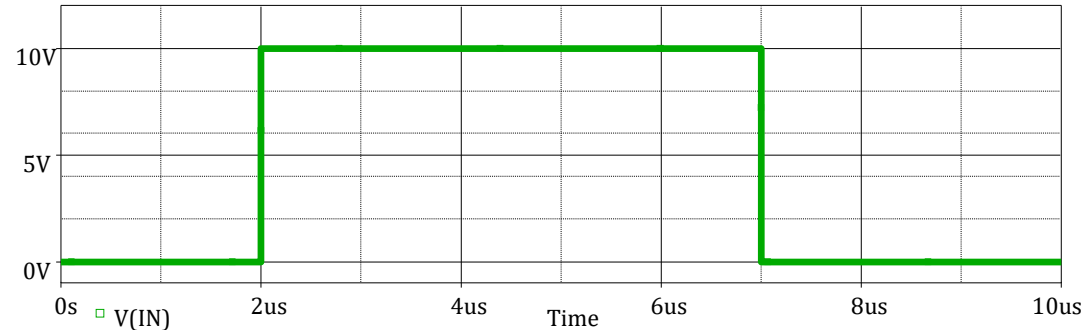


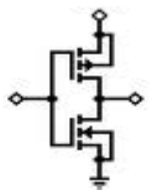
t_{d-on} = turn-on delay time.

t_r = rise time.

t_{d-off} = turn-off delay time.

t_f = fall time.

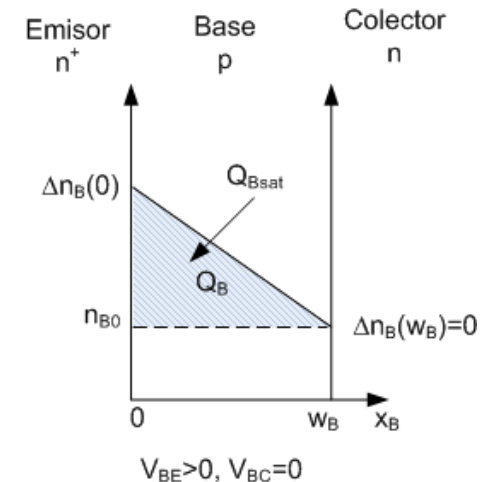




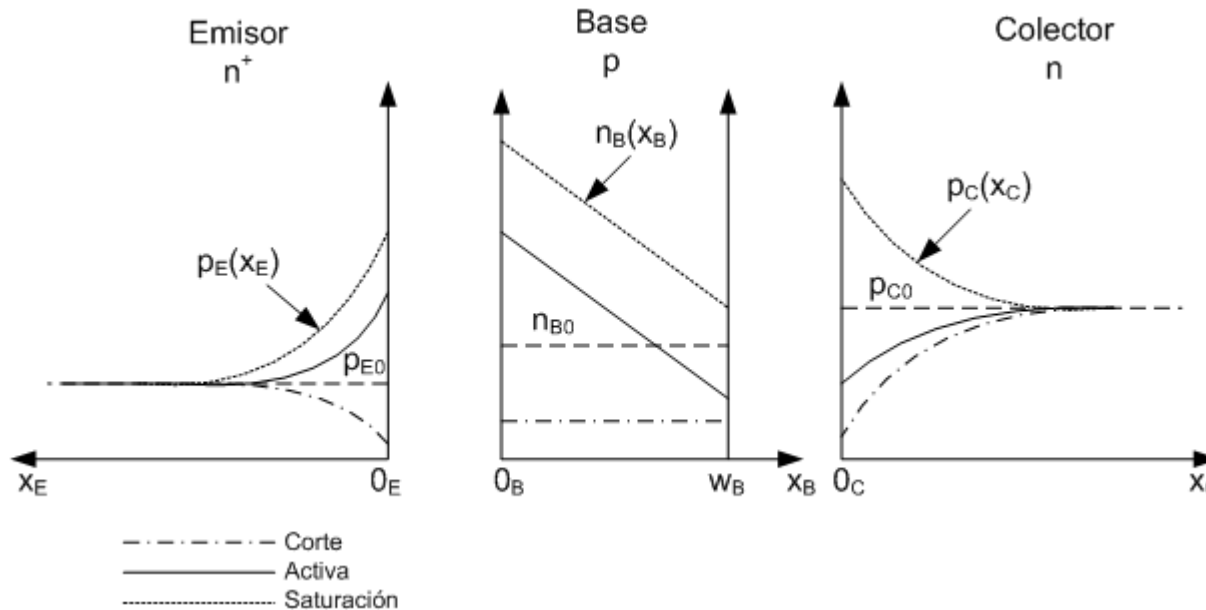
Transistores bipolares en conmutación

Modelo de control de carga

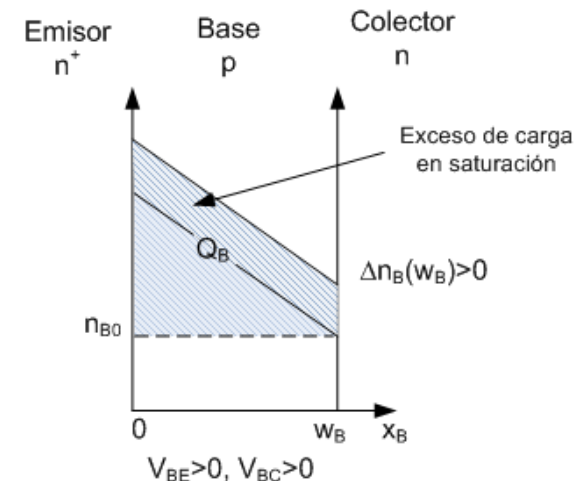
- El tiempo que tardan los BJT en las conmutaciones de **on** a **off** y viceversa se **relaciona** con la evolución de la **concentración** de portadores **en las uniones E-B y B-C**.
- Off → On:** se han de inyectar suficientes portadores en base como para saturarlo rápidamente...
 - alta corriente de base → **OJO: ¡exceso de portadores!**
- On → Off:** para cortar el BJT se debe extraer tal exceso de carga → **corriente inversa por la base** (→ descarga de C_{BE})



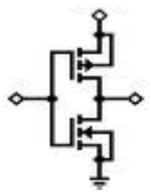
Limite activa- saturación



Excesos de concentración de portadores minoritarios en los límites de las regiones de vaciamiento

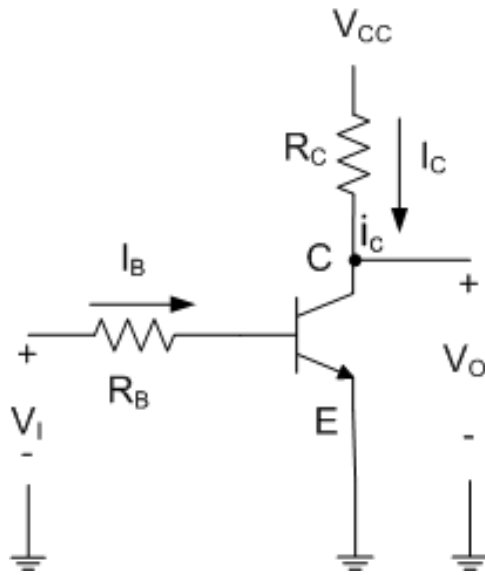


Saturación



Transistores bipolares en conmutación

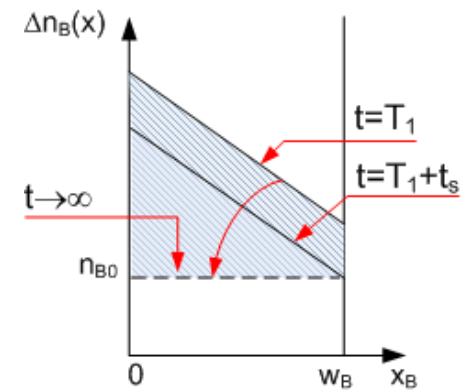
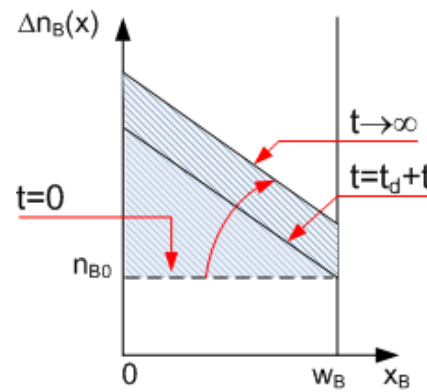
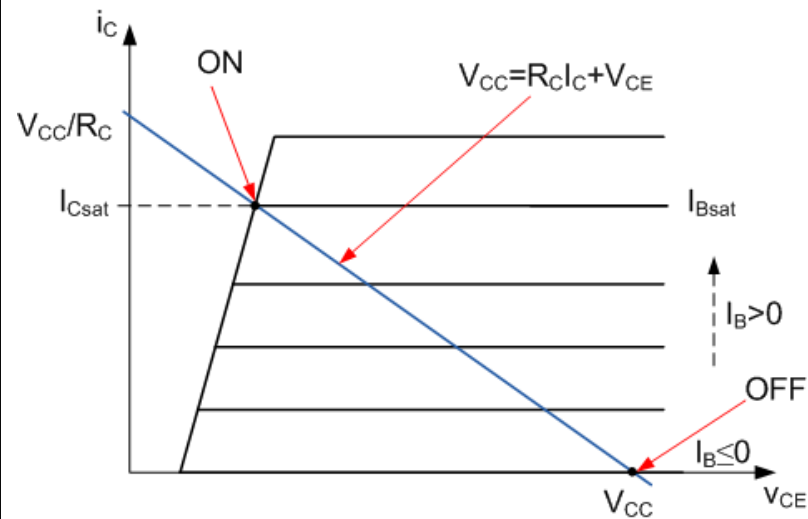
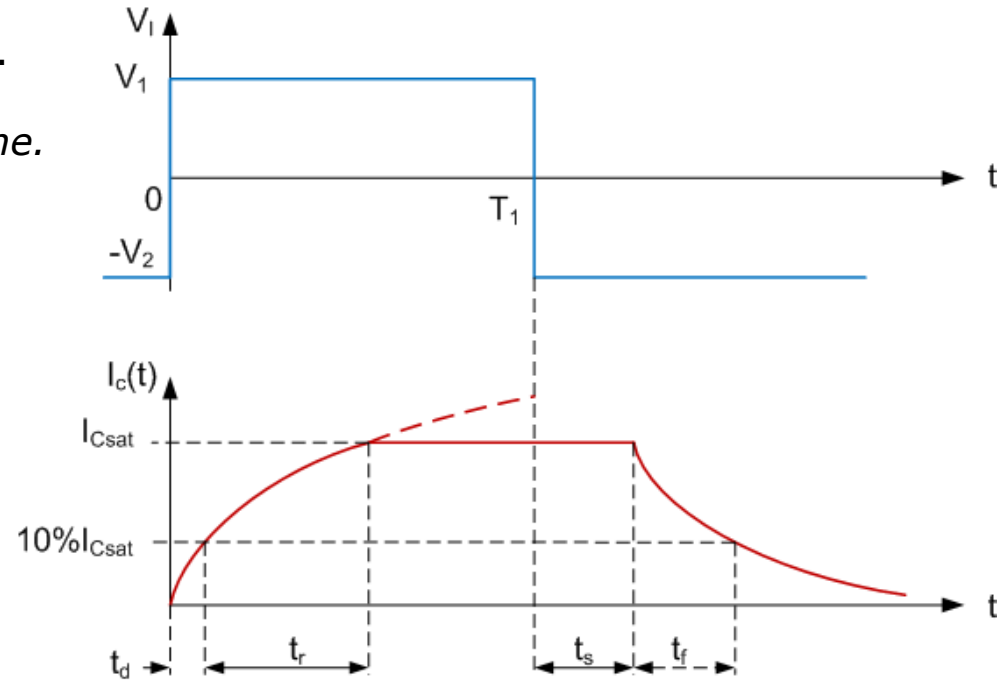
Tiempos de conmutación

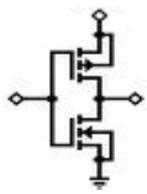


t_d = delay time.
 t_r = rise time.
 t_s = storage time.
 t_f = fall time.

$$t_{ON} = t_d + t_r$$

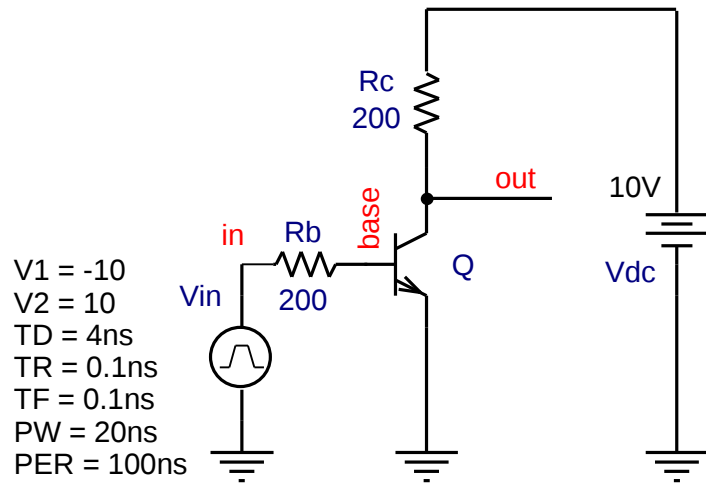
$$t_{OFF} = t_s + t_f$$





Transistores bipolares en conmutación

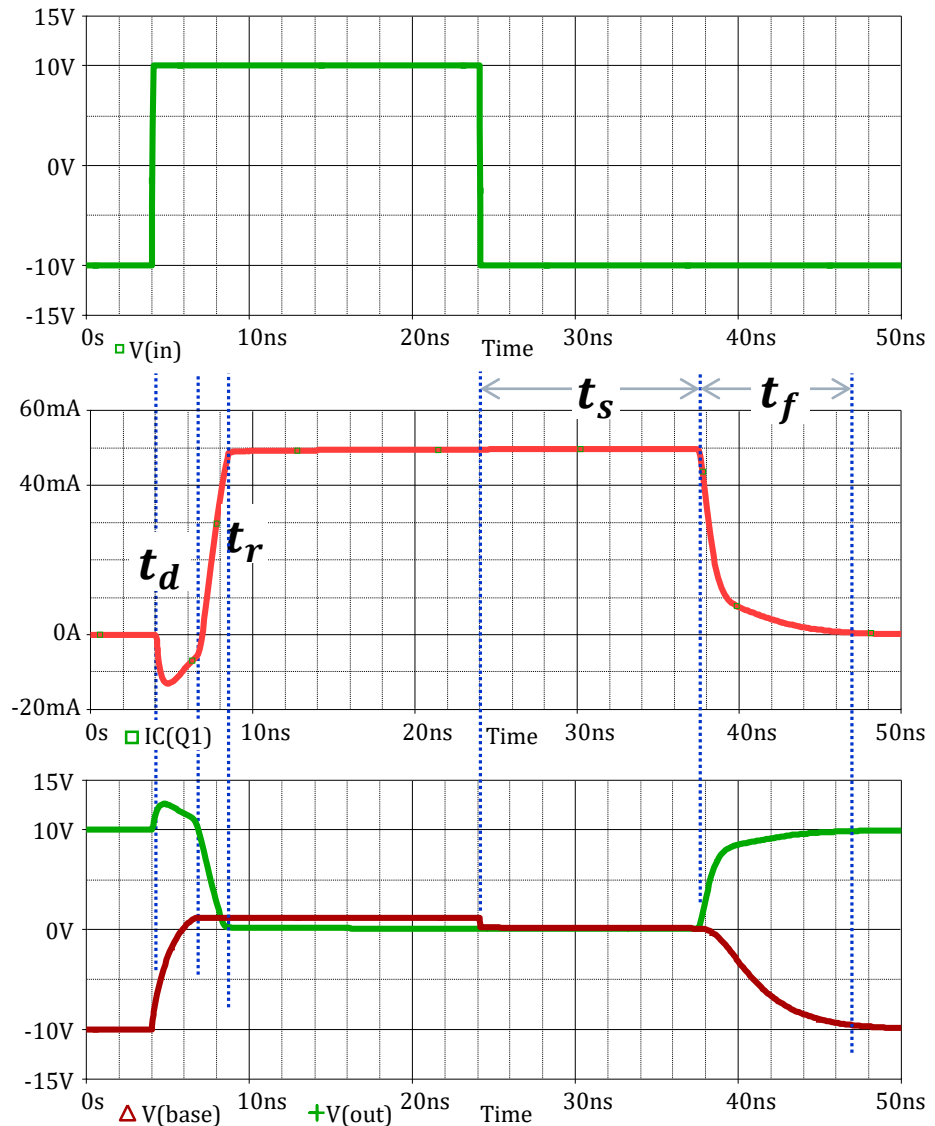
Tiempos de conmutación: simulación

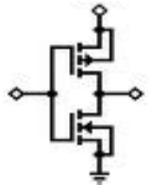


t_d = delay time.
 t_r = rise time.
 t_s = storage time.
 t_f = fall time.

$$t_{ON} = t_d + t_r$$

$$t_{OFF} = t_s + t_f$$

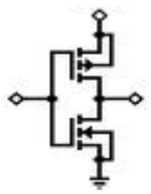




Índice general



- ❑ El diodo en conmutación
 - Conmutación
 - *cambios bruscos de portadores en la unión PN*
 - Tensiones y corrientes en conmutación
 - *Transiciones (Off → On) y (On → Off)*
- ❑ Transistores en conmutación
 - Procesos de carga/descarga en transistores unipolares.
 - FET: formas de onda en conmutación.
 - Conmutación en BJT. Procesos y formas de onda.
- ❑ **Introducción a los circuitos electrónicos digitales**
 - **Inversor CMOS.**
 - **Función de transferencia estática.**
 - **Procesos de conmutación. Cargas capacitivas.**
 - **Potencia dinámica.**

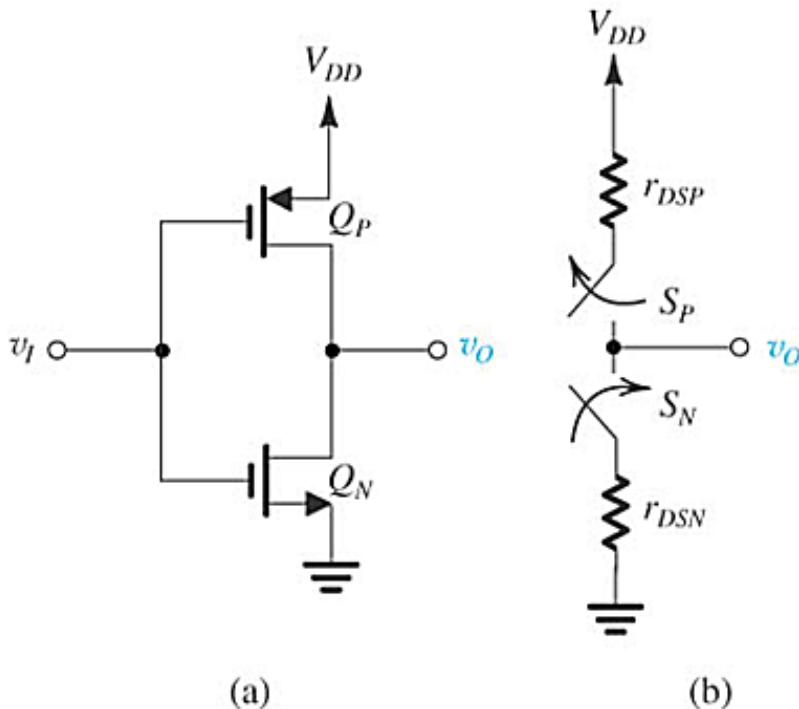


Circuitos digitales CMOS

Elemento básico: el inversor CMOS.

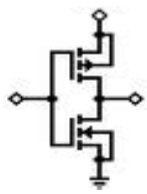


- ❑ Es el elemento básico en el origen de las tecnologías de c.i. digitales actuales, por su bajo consumo y alta escala de integración.
- ❑ **CMOS** = **C**omplementary **MOS** transistors.
 - El cto. más básico (un inversor) usa solo dos MOS: uno **P** y otro **N** (y por ello son *complementarios*)



❑ La **figura** muestra el **inversor CMOS básico**

- (a): los MOS comparten Puerta (entrada) y Drenador (salida).
- (b): como circuito digital, ambos transistores se hacen funcionar en las zonas de:
 - **corte** (*switch abierto*) y
 - **óhmica** (*switch cerrado + resistencia*).
- Esto se corresponderá con los estados alto y bajo deseados



Circuitos digitales CMOS

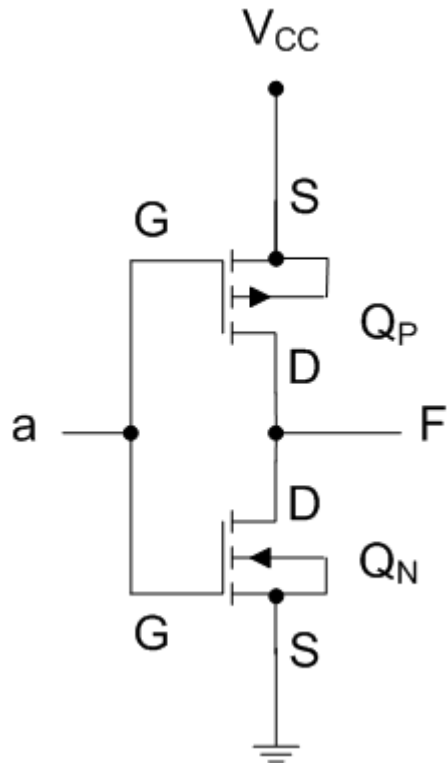
Inversor CMOS: función lógica



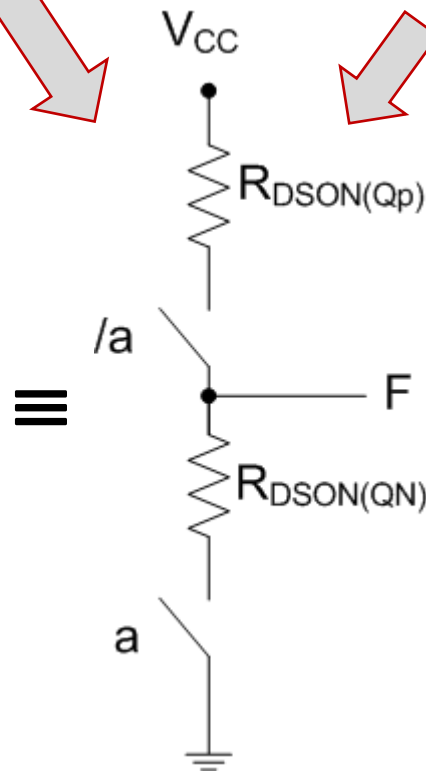
Circuito equivalente funcionando los transistores en conmutación:

Los **interruptores** (MOS-p y MOS-n) se **cierran** cuando la **variable** que se indica a su lado toma **valor lógico "H"** y se **abren** cuando la **variable** toma **valor lógico "L"**. Esto es:

$/a$ o $a = H \rightarrow$ interruptor cerrado,
 $/a$ o $a = L \rightarrow$ interruptor abierto



Inversor CMOS

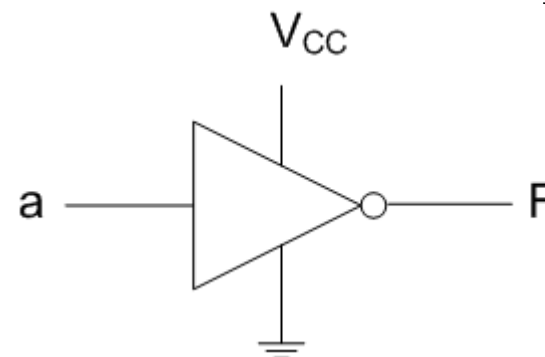


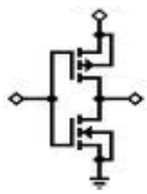
$$a = V_L \Rightarrow \begin{cases} Q_P \text{ ON} \\ Q_N \text{ OFF} \end{cases} \Rightarrow F = V_H$$

$$a = V_H \Rightarrow \begin{cases} Q_P \text{ OFF} \\ Q_N \text{ ON} \end{cases} \Rightarrow F = V_L$$

a	F
L	H
H	L

$$V_L \equiv L, V_H \equiv H$$





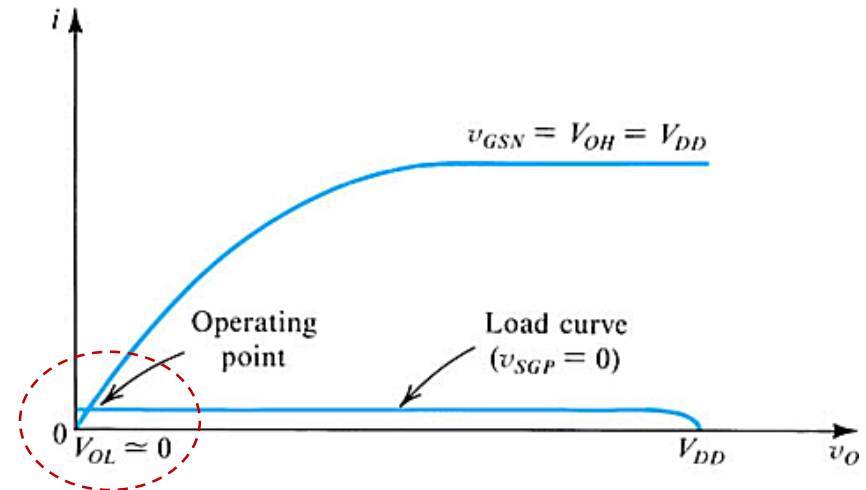
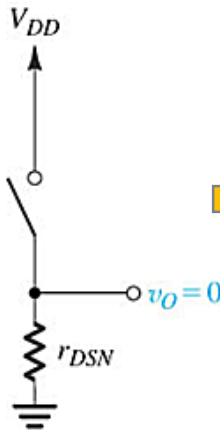
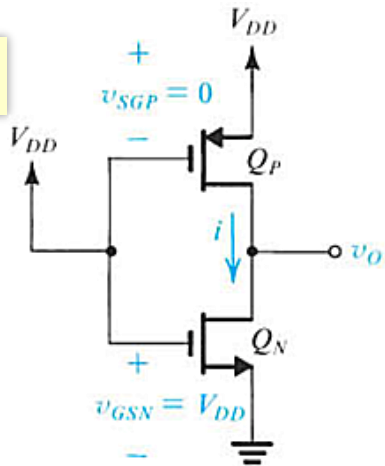
Circuitos digitales CMOS

Estados H y L en el inversor CMOS

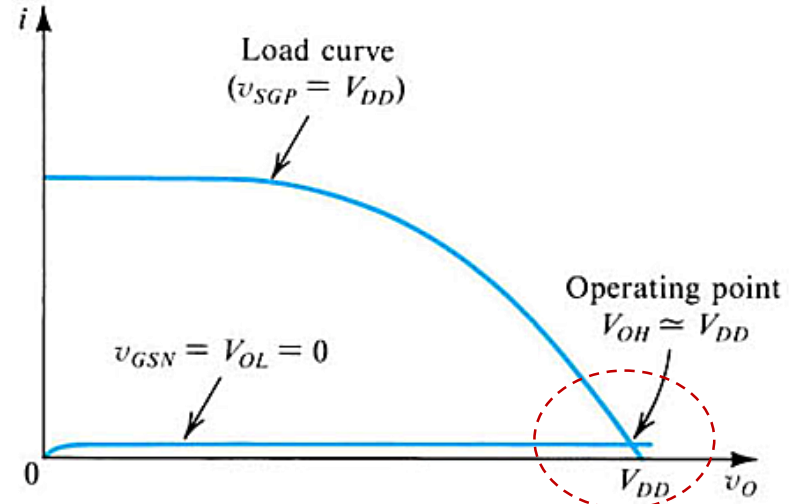
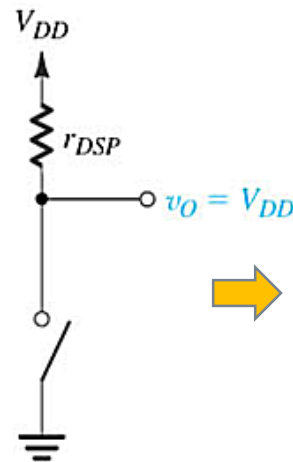
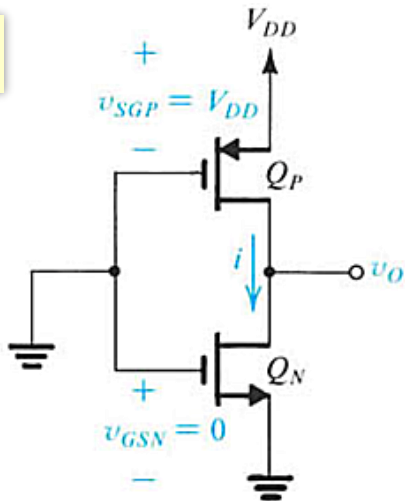


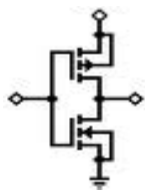
- Características DC: **Puntos de trabajo** → *curvas de carga* de Q_P sobre Q_N

$V_I = H$



$V_I = L$





Circuitos digitales CMOS

Característica estática



- Variaciones lentas de $v_I \rightarrow$ f. de transferencia en **baja frecuencia**

- Es una f. de t. **inversora**

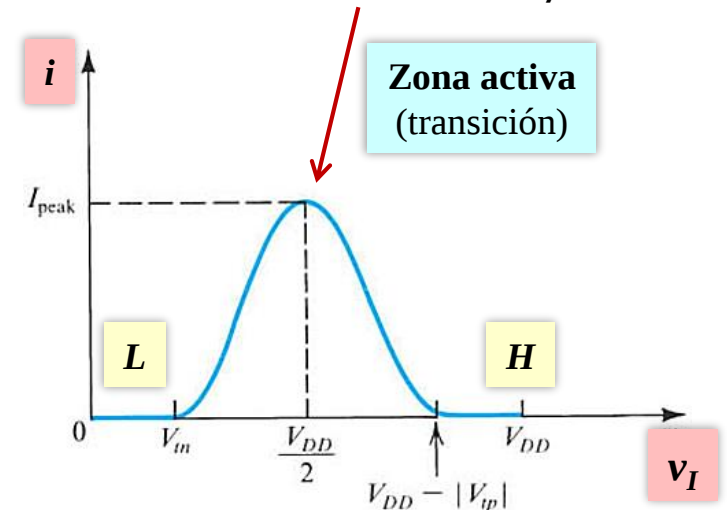
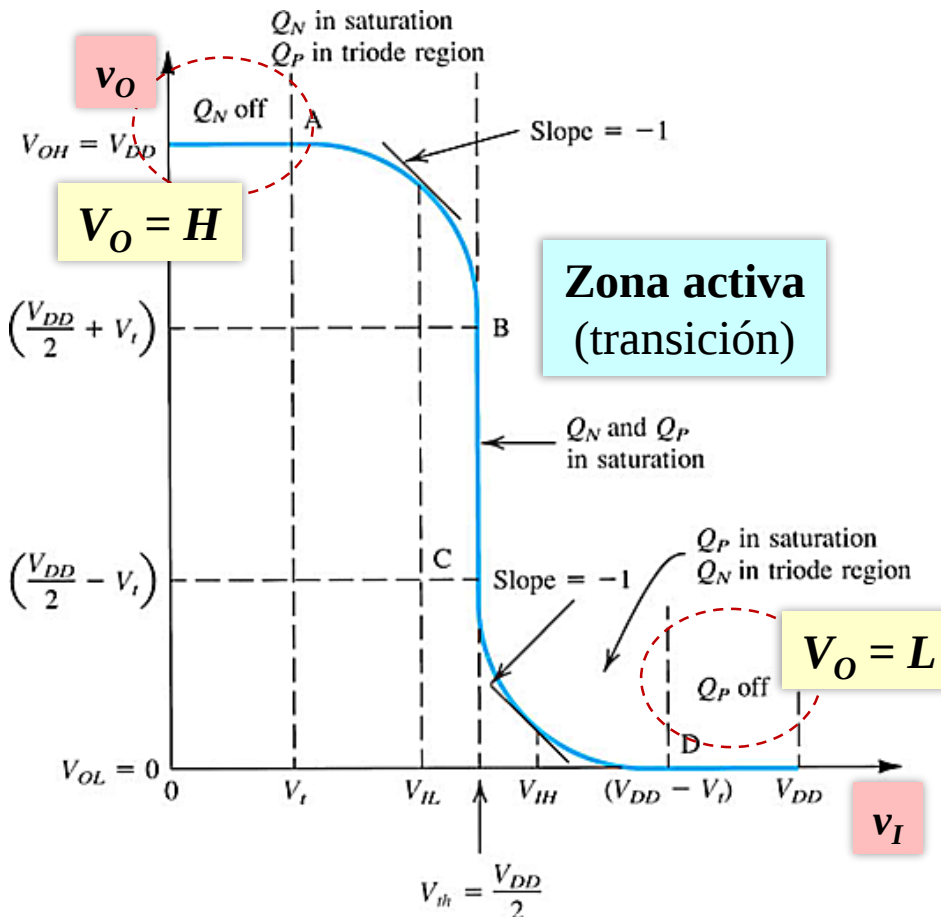
- In = H $\rightarrow$ Out = L**

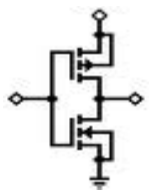
- $Q_N = \text{ON}, Q_P = \text{OFF}$
- iNo hay consumo de corriente!*

- In = L $\rightarrow$ Out = H**

- $Q_N = \text{OFF}, Q_P = \text{ON}$
- iNo hay consumo de corriente!*

- Importante:** sólo hay consumos en las transiciones **entre** H y L



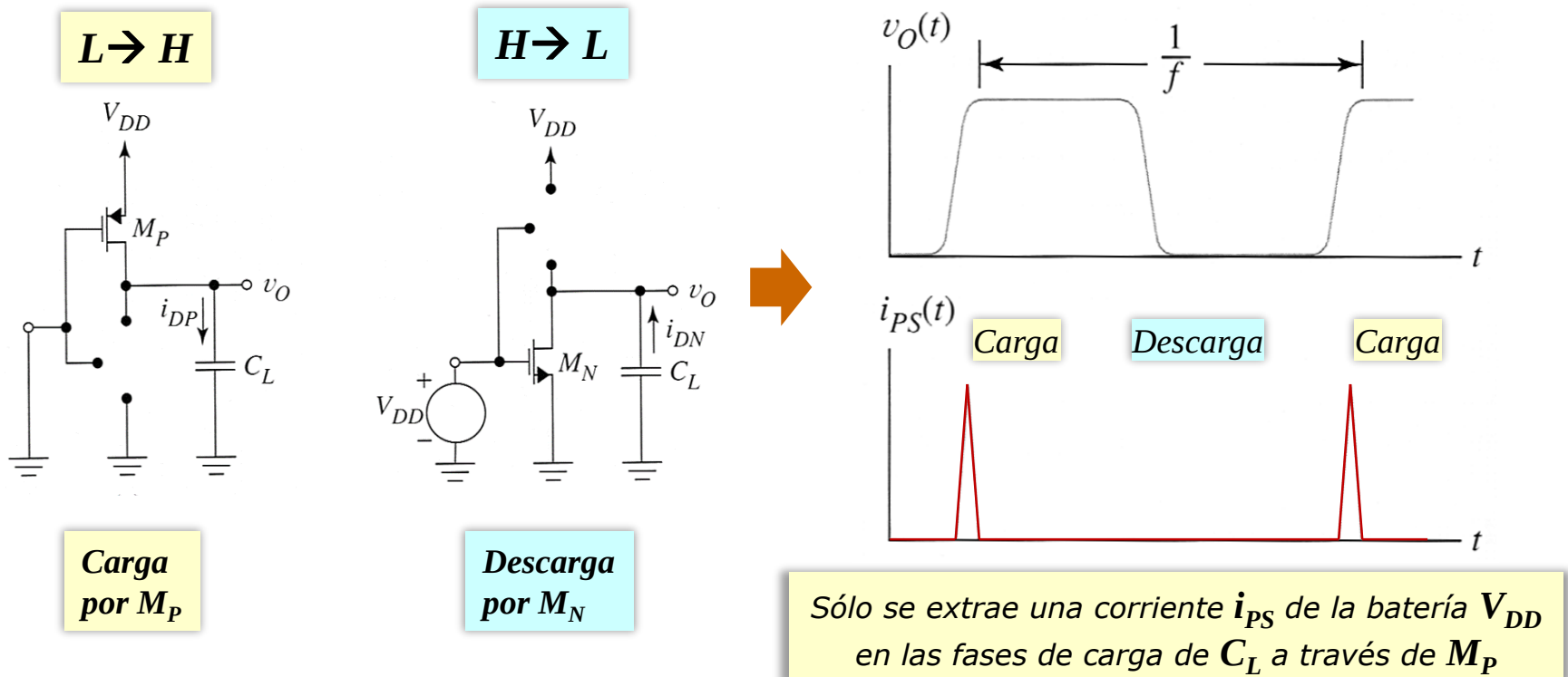


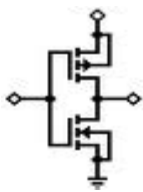
Circuitos digitales CMOS

Características dinámicas



- Excitación: señal digital de frecuencia $f \rightarrow$ ¿velocidad de conmutación?
 - En la salida hay un efecto capacitivo debido a las **pistas** de circuito y a las **entradas** de las puertas siguientes (modeladas por C_L)
 - Los transistores en **ON** deben ser capaces de cargar y descargar tales capacidades $\rightarrow$ necesitan **tiempo** (retardos) y **corrientes** (energía)





Circuitos digitales CMOS

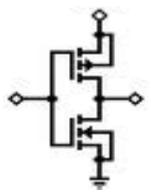
Potencia y consumo en condiciones dinámicas



- ❑ Potencia consumida → significativa en condiciones **dinámicas**
 - Cuando un c.i. digital **CMOS** es sometido a conmutaciones se produce un consumo de potencia apreciable. Dos causas diferentes:
 1. *Potencia debida a las transiciones (P_T). Su origen se debe:*
 - *A las cargas y descargas de las capacidades parasitas propias de los transistores, y*
 - *A la conducción parcial y simultanea de los transistores canal P y N en el momento de la conmutación de corte a óhmica y viceversa (la potencia debida a este fenómeno es del orden del 10% de la potencia debida a las capacidades parasitas)*
 2. *Potencia debida a las cargas capacitivas en las salidas (P_L):*
 - *Carga y descarga de las capacidades conectadas a las salidas del c.i. (C_L)*
 - Ambas dependen de la frecuencia de conmutación (ver Anexo I) por lo que en conjunto, la **potencia media consumida** resulta ser:

$$P_{media} = P_M = C_L \cdot V_{DD}^2 \cdot f$$

- ❑ Observe los **factores** de los que depende la potencia consumida: ¿de qué manera se puede **reducir el consumo de un circuito digital** basado en CMOS?
Contraste la respuesta con su propia experiencia (p.e. en el uso de PCs portátiles).



Circuitos digitales CMOS

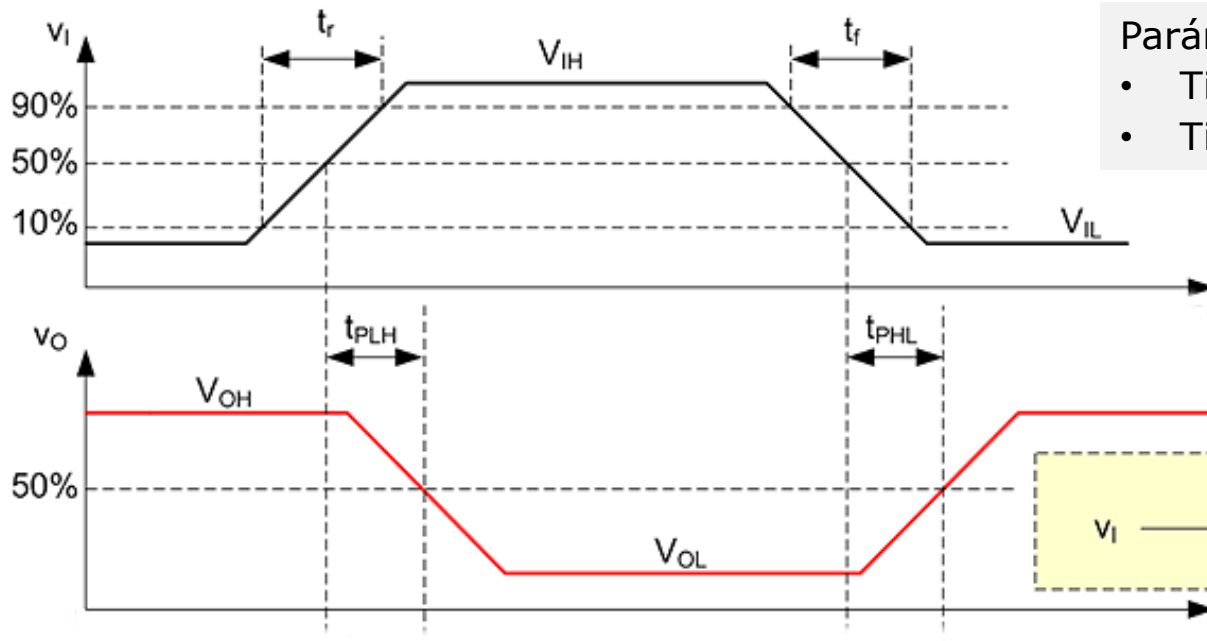
Tiempos de propagación



- En un circuito digital se dan múltiples fenómenos de carga/descarga como el descrito. Todos los fenómenos se engloban en un solo concepto: el **retardo**.
- Este **retardo** se describe con dos parámetros, definidos en la figura siguiente:
 - t_{pHL} (t. de propagación de nivel H a L) y
 - t_{pLH} (t. de propagación de nivel L a H).

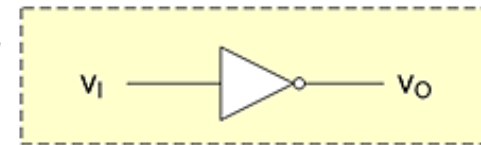


$$\text{Tiempo de propagación: } t_p = \frac{t_{pLH} + t_{pHL}}{2}$$

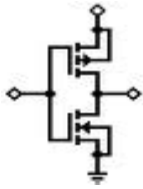


Parámetros típicos de las señales:

- Tiempo de subida (*rise time*): t_r
- Tiempo de caída (*fall time*): t_f



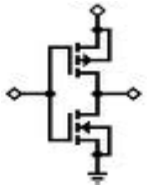
Otra forma de dar la velocidad de conmutación de un circuito digital, es dando la frecuencia máxima de conmutación de un biestable realizado con dispositivos de la tecnología considerada (*toggle frequency*)



Control de revisiones

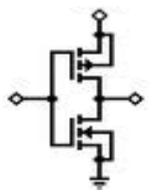


- 2017-04-21: versión inicial.
- 2020-05-12: modificadas las transparencias (actuales) 21, 22, 23, 24 y 27, para incorporar resultados de simulación y corregir un error en la gráfica de la transparencia 21.



Anexo I: Potencia en circuitos digitales

- Potencia en condiciones estáticas: CMOS
- Potencia en condiciones dinámicas: CMOS
- Potencia: condiciones de medida de CPD

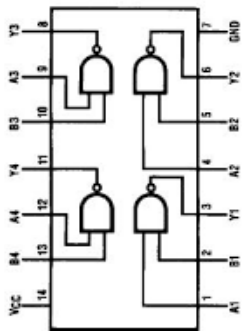


A-I: Potencia en circuitos digitales

Condiciones estáticas: familias CMOS

- ❑ Cuando un c.i. digital CMOS **no está sometido a conmutaciones** los **transistores** canal P y canal N **no conducen al mismo tiempo**
 - En consecuencia, idealmente **no existe corriente** entre V_{CC} y GND.
 - Sin embargo en la práctica **existen corrientes** de **minoritarios** (presentes en todas las uniones de diodos polarizados en inversa) dando lugar a una corriente de fuga muy pequeña, unos pocos nA, entre V_{CC} y GND.
 - Esta corriente de fuga se proporciona en las *datasheet* de los c.i. CMOS con el nombre de: *quiescent supply/device current*, I_{CC}
 - Con este dato, se puede saber la **disipación** de energía en **reposo** (*Quiescent power dissipation*) cuyo valor es muy pequeño y se evalúa en DC:

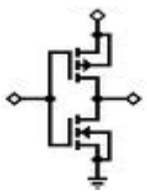
$$P_{S1} = V_{CC} I_{CC}$$



Type 74HC00

At recommended operating conditions; voltages are referenced to GND (ground = 0 V).

SYMBOL	PARAMETER	TEST CONDITIONS		MIN.	TYP.	MAX.	UNIT
		OTHER	V _{CC} (V)				
T _{amb} = −40 to +85 °C; note 1							
I _{CC}	quiescent supply current	V _I = V _{CC} or GND; I _O = 0	6.0	—	—	20	μA



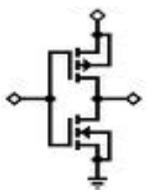
A-I: Potencia en circuitos digitales

Condiciones dinámicas: familias CMOS

- ❑ Cuando un c.i. digital es sometido a conmutaciones se produce un consumo adicional de potencia:
 1. *Potencia debida a las transiciones (P_T):* Su origen se debe: a) las cargas y descargas de las capacidades parasitas propias de los transistores, y b) conducción parcial y simultanea de los transistores canal P y N en el momento de la conmutación de corte a óhmica y viceversa (la potencia debida a este fenómeno es del orden del 10% de la potencia debida a las capacidades parasitas)
 2. *Potencia debida a las cargas capacitivas en las salidas (P_L):* Carga y descarga de las capacidades conectadas a las salidas del c.i (C_L)
- ❑ Por tanto, la potencia dinámica (P_D) total consumida por un c.i, con n entradas y m salidas, debido a las conmutaciones viene dada por (como se demostrará más adelante):

$$P_D = P_T + P_L = \sum_{i=1}^n (C_{PDi} V_{CC}^2 f_{Ii}) + \sum_{j=1}^m (C_{Lj} V_{CC}^2 f_{Oj})$$

- ❑ Donde:
 - C_{PDi} : Capacitancia de disipación de potencia (*power dissipation capacitance*).
 - f_{Ii} : frecuencia de la entrada "i"
 - f_{Oj} : frecuencia de la salida "j"
 - C_{Lj} : Carga total capacitiva de la salida "j".



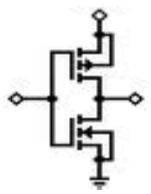
A-I: Potencia en circuitos digitales

Condiciones dinámicas: CMOS

- La **potencia total consumida** (P_{Total}) es por tanto:

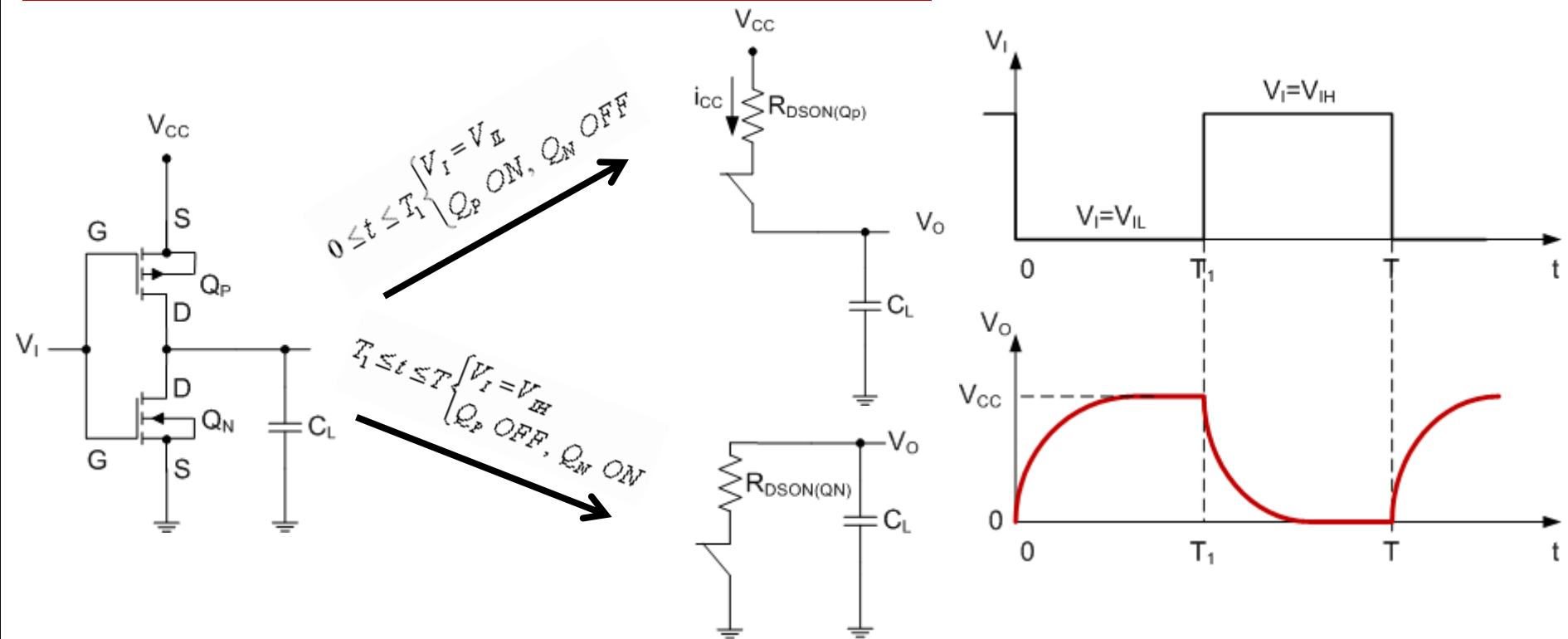
$$P_{Total} = P_D + P_S = \sum_{i=1}^n (C_{PDi} V_{CC}^2 f_{Ii}) + \sum_{j=1}^m (C_{Lj} V_{CC}^2 f_{Oj}) + V_{CC} \left[\frac{n_1 I_{CCL} + n_2 I_{CCH}}{n_1 + n_2} + n_3 \Delta I_{CC} \right]$$

- C_{PD} es un **parámetro** que suele **utilizarse**, con carácter general, para determinar la **potencia consumida** por **cualquier dispositivo** cuando la **potencia** es una **combinación lineal** de la **frecuencia**.
- En el caso de **c.i. digitales** las **condiciones de medida** de este parámetro son **diferentes** en función de la **función lógica del c.i.** (los fabricantes en sus *datasheets* hacen referencia explícita a las condiciones de medida de C_{PD}).
- En general se puede decir que la **potencia consumida por los c.i. CMOS y BiCMOS**, cuando estos están **sometidos a conmutaciones** de **frecuencias** del orden de los **MHz**, se puede **aproximar** por la **potencia dinámica** (P_D), tal como se pondrá de manifiesto más adelante.



A-I: Potencia en circuitos digitales

Condiciones dinámicas: CMOS con carga capacitiva C_L



$$P = \frac{1}{T} \int_0^T i_{CC} V_{CC} dt = \underbrace{\frac{1}{T} \int_0^{T_1} i_{CC} V_{CC} dt}_{Q_P \text{ ON, } Q_N \text{ OFF}} + \underbrace{\frac{1}{T} \int_{T_1}^T i_{CC} V_{CC} dt}_{Q_P \text{ OFF, } Q_N \text{ ON: } I_{CC}=0} = \frac{1}{T} \int_0^{T_1} i_{CC} V_{CC} dt \quad 0 \leq t \leq T_1: i_{CC} = C_L \frac{dV_O}{dt}$$

$$P = \frac{1}{T} \int_0^{T_1} i_{CC} V_{CC} dt = \frac{1}{T} \int_0^{T_1} C_L \frac{dV_O}{dt} V_{CC} dt = \frac{V_{CC} C_L}{T} \int_0^{V_{CC}} dV_O = \frac{V_{CC}^2}{T} C_L = V_{CC}^2 C_L f$$