

**Cuestión 1 (1,5 puntos)**

El circuito de la Figura 1.1 pertenece a un sistema de acceso para usuarios autorizados a escribir información en dispositivos. El sistema completo incluye cuatro áreas con cuatro dispositivos cada una de ellas, aunque en la figura se muestra únicamente la conexión al área 2. La entrada del sistema es un código de 12 bits  $[D_{11}..D_0]$  según se muestra en la Tabla 1.1. Cada usuario tiene, en cada área, dispositivos permitidos para él, tal y como se indica en la Tabla 1.2. Para que un usuario pueda escribir información en su/s dispositivo/s permitido/s debe activarse el área correctamente mediante la señal SSI, y el usuario debe introducir su código de usuario.

$D_{11}..D_0$		
$D_{11}..D_8$	$D_7..D_4$	$D_3..D_0$
Código de Activación de área	Código de usuario	Info.

Tabla 1.1

Acceso a dispositivos Área 2 (Hex.)		
Usuario	Código de usuario	Dispositivo
1	6h	Disp 2
2	2h	Disp 1 y Disp 3
3	8h	Disp 4
4	Ah	Disp 4

Tabla 1.2

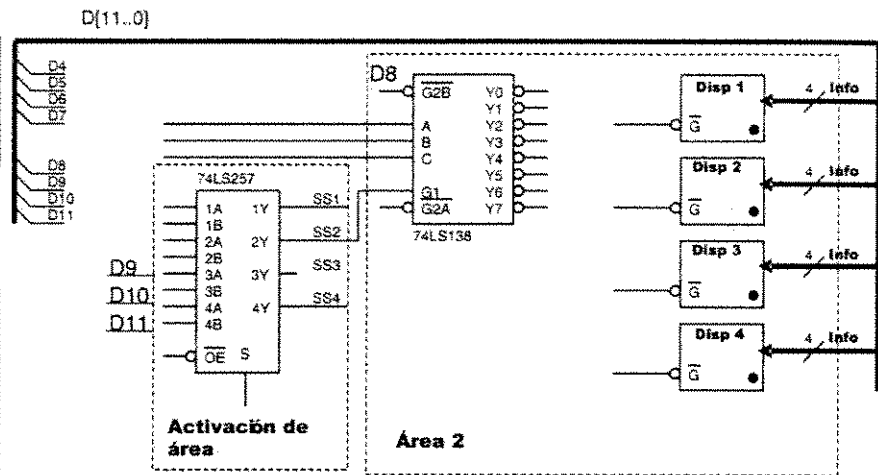


Figura 1.1

1. Escriba el código de  $[D_{11}..D_0]$  para el siguiente caso: se introduce uno de los códigos de activación válidos para el área 2 (el código 8h) y el usuario 4 escribe la información Ch. (0,3 ptos.)

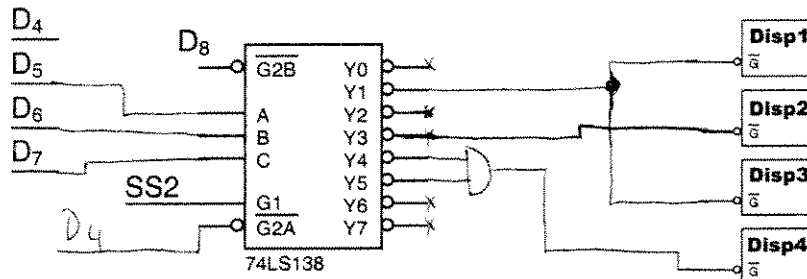
$D_{11}$	$D_{10}$	$D_9$	$D_8$	$D_7$	$D_6$	$D_5$	$D_4$	$D_3$	$D_2$	$D_1$	$D_0$
1	0	0	0	1	0	1	0	1	1	0	0

Código de  
Activación de área  
(8h)

Código de  
usuario  
(Ah)

Información  
(Ch)

2. Empleando el menor número posible de puertas lógicas adicionales, complete las conexiones en el circuito mostrado a continuación para que el sistema de acceso a los dispositivos del área 2 funcione de la forma descrita en el enunciado y en la Figura 1.1. Cada dispositivo se habilita mediante una señal  $\overline{G}$ . (0,6 ptos.)

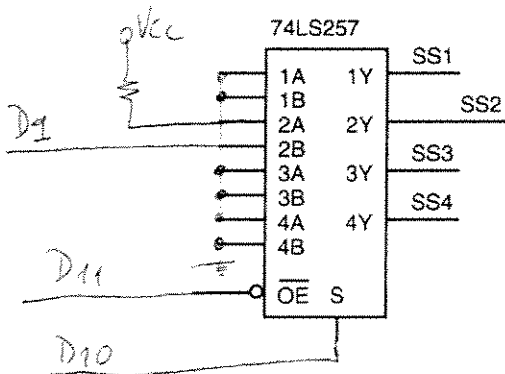


Usuario	Código Usuario D1 D2 D3 D4	Disponibilidad	Yi (us)
1	0 1 1 0	2	y3
2	0 0 1 0	1, 3	y1
3	1 0 0 0	4	y4
4	1 0 1 0	4	y5

CB-A-

$\text{buscando: } \begin{matrix} D & D & D \\ C & B & A \end{matrix}$   
 $D_4$  siempre 0.

3. Para habilitar el área 2 debe activarse correctamente la señal SS2, implementada en el bloque de activación de área de la forma:  $SS2 = \overline{D_{11}} \cdot D_{10} \cdot D_9 + \overline{D_{11}} \cdot D_9 + \overline{D_{11}} \cdot \overline{D_{10}} \cdot \overline{D_9}$ . Complete las conexiones del circuito mostrado a continuación para que active correctamente el área 2 del esquema de la Figura 1.1, sin emplear ningún elemento adicional. Indique qué códigos de activación son válidos. (0,6 pts.)



os. (Regulador) (0,6 ptos.)

$$SS_2 = \overline{D_{11}} \cdot \overline{D_{10}} D_9 + \overline{D_{11}} \overline{D_{10}} D_5 + \overline{D_{11}} \cdot \overline{D_{10}} \cdot D_5 + \overline{D_{11}} \cdot \overline{D_{10}} \cdot \overline{D_5} =$$

$$= \overline{D_{11}} \cdot \overline{D_{10}} D_9 + \overline{D_{11}} \overline{D_{10}} \cdot \overline{D_5} + \overline{D_{11}} \cdot \overline{D_{10}} \cdot \overline{D_9}$$

$$= \overline{D_{11}} \left( \overline{D_{10}} \cdot \overline{D_5} + \overline{D_{10}} (D_9 + \overline{D_5}) \right)$$

Códigos de activación válidos (D<sub>11</sub> D<sub>10</sub> D<sub>9</sub> D<sub>8</sub>): 0000, 0010, 0110

- D8 debe ser 0 siempre para activar G2B del '138' (Figura 11)
- $SS_2 = H$  Si:  $SS_2 = \overline{D_{11}} \cdot \overline{D_{10}} \cdot D_9 + \overline{D_{11}} \cdot \overline{D_{10}} \cdot D_9 + \overline{D_{11}} \cdot \overline{D_{10}} \cdot D_9 = H$  <sup>3/8</sup>  
 $\Rightarrow (0 \overset{+}{1} 1) \quad (0 \overset{+}{0} 1) \quad (0 \overset{+}{0} 0)$

## Cuestión 2 (1,5 puntos)

Se desea implementar la operación  $R = (X - 2 \cdot Y)$  con dos operandos enteros  $X$  e  $Y$  de 7 y 6 bits respectivamente ( $X_6, \dots, X_0$ ), ( $Y_5, \dots, Y_0$ ), expresados en C2. El resultado de la operación se obtiene en  $R$  de 8 bits ( $R_7, \dots, R_0$ ) también en C2. Para realizar esta operación se dispone del circuito de la Figura 2.1, que consta de dos ALUs 74LS382, cuya tabla de funcionamiento se muestra en las características anexas.

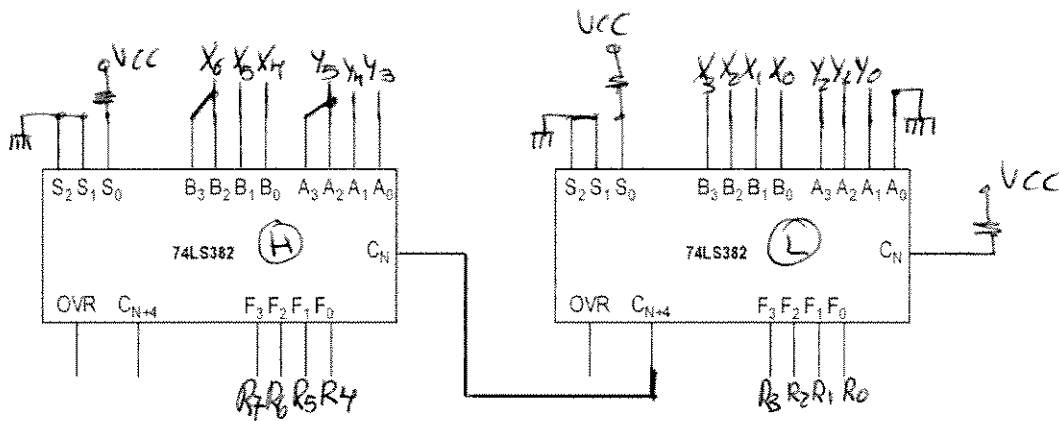


Figura 2.1

- Realice las conexiones necesarias en el circuito de la Figura 2.1 para que funcione de la manera descrita, sin emplear elementos adicionales, y evitando desbordamiento. Etiquete claramente los pines asociados con los dos operandos ( $X_6, \dots, X_0$ ), ( $Y_5, \dots, Y_0$ ) y con el resultado ( $R_7, \dots, R_0$ ). (1 pts)

- \* ALUs en modo B PLUS  $\bar{A}$  ( $S_2 S_1 S_0 = 001$ )
- \*  $C_{NL} = 1$  (resta en C2)
- \*  $C_{N+4L} \rightarrow C_{NA}$  (expansión serie)

$X_6$	$X_6$	$X_5$	$X_4$	$X_3$	$X_2$	$X_1$	$X_0$	$X$
$Y_5$	$Y_5$	$Y_4$	$Y_3$	$Y_2$	$Y_1$	$Y_0$	$\emptyset$	$2Y$

- Indique razonadamente el margen de valores posibles para  $R$ , y justifique que no se produce desbordamiento. (0,5 pts)

$$X (7 \text{ bits}) \rightarrow [-64, +63]$$

$$Y (6 \text{ bits}) \rightarrow [-32, +31]$$

$$2Y \rightarrow [-64, +62]$$

$$X - 2Y \rightarrow [-126, +127]$$

$$R (8 \text{ bits}) \rightarrow [-128, +127]$$

Rango de  $(X - 2Y)$   
contenido en el rango  
de  $R \Rightarrow$  no se  
produce desbordamiento

**Cuestión 3 (1,5 puntos)**

Dado el circuito de la Figura 3.1, y teniendo en cuenta las características del 74LS138 que se proporcionan, complete el cronograma de la Figura 3.2.

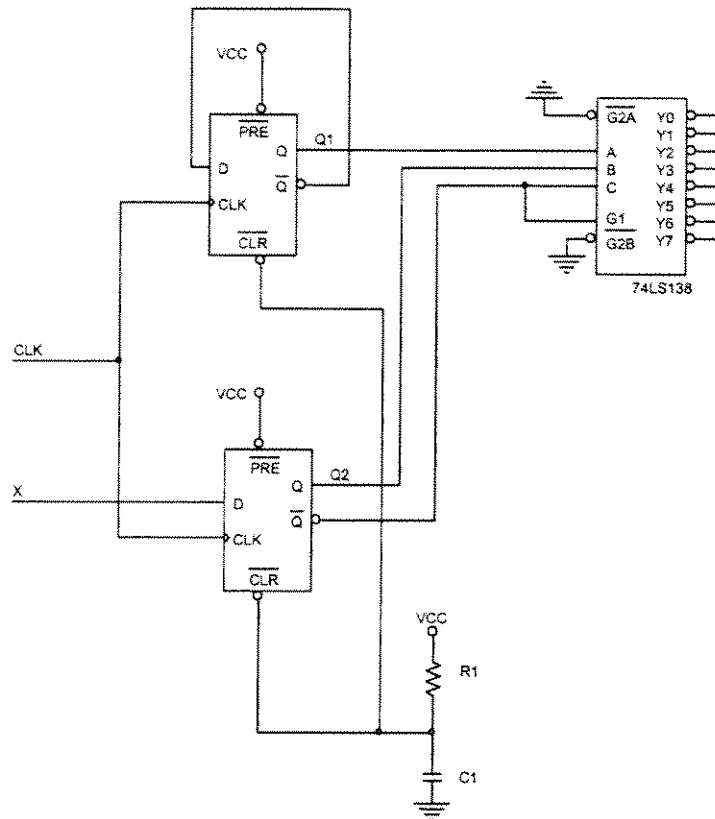


Figura 3.1

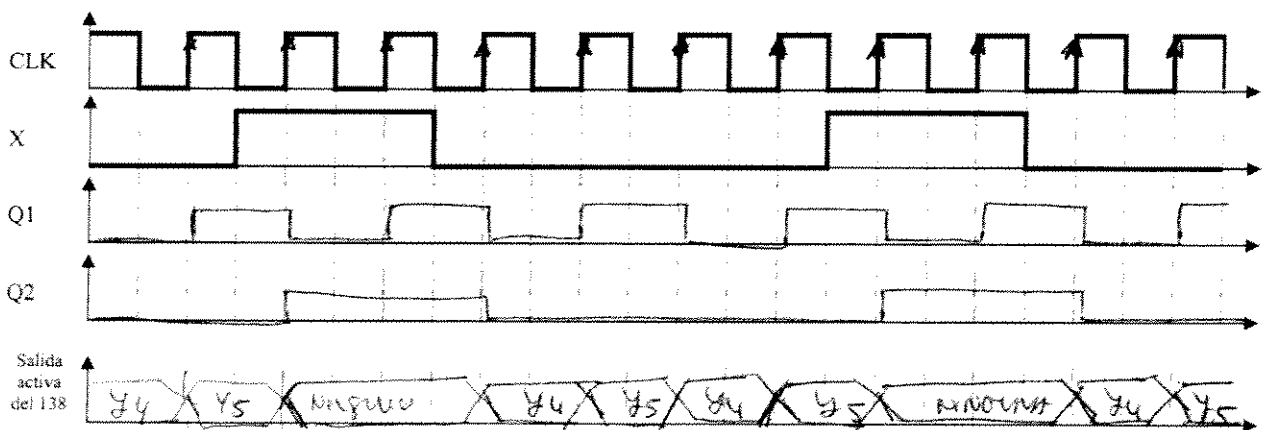
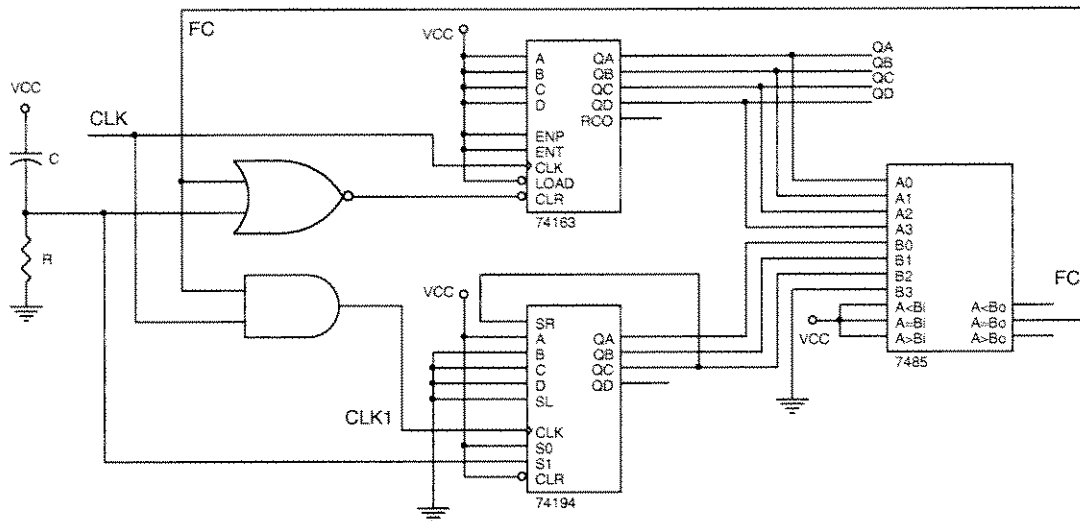


Figura 3.2

**Cuestión 4 (1,5 puntos)**

A partir del circuito de la Figura 4.1, se pide:



**Figura 4.1. Circuito secuencial.**

1. Indique la secuencia decimal que seguirá el registro ( $Q_D Q_C Q_B Q_A$ ) desde el momento de conexión de la alimentación, por cada flanco de su entrada de reloj, CLK1. **(0,5 pts)**

La secuencia del registro es 1, 2, 4, 9, 2, 4, 9, 2, 4, 9...

2. Complete en la tabla siguiente la evolución de las salidas del contador y del registro. **(1 pts)**

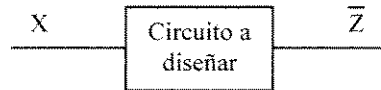
CLK	Contador				Registro				FC
	$Q_D$	$Q_C$	$Q_B$	$Q_A$	$Q_D$	$Q_C$	$Q_B$	$Q_A$	
Inicio +↑	0	0	0	0	0	0	0	1	0
↑	0	0	0	1	0	0	0	1	1
↑	0	0	0	0	0	0	1	0	0
↑	0	0	0	1	0	0	1	0	0
↑	0	0	1	0	0	0	1	0	1
↑	0	0	0	0	0	1	0	0	0
↑	0	0	0	1	0	1	0	0	0
↑	0	0	1	0	0	1	0	0	0
↑	0	1	0	0	0	1	0	0	1
↑	0	0	0	0	1	0	0	1	0
↑	0	0	0	1	1	0	0	1	1
↑	0	0	0	0	0	0	1	0	0
↑	0	0	0	1	0	0	1	0	0
↑	0	0	1	0	0	0	1	0	1

El circuito 7485 compara el valor de salida del contador (entrada A del 7485) con los tres bits menos significativos de la salida del registro (entrada B del 7485 donde  $B_3$  se deja fijo a 0). Cuando ambas entradas son idénticas, se activa la señal FC que, de manera síncrona realiza un CLEAR del contador y un desplazamiento del registro.

En el instante inicial, se carga en el registro el valor 0001 y se fuerza un CLEAR en el contador.

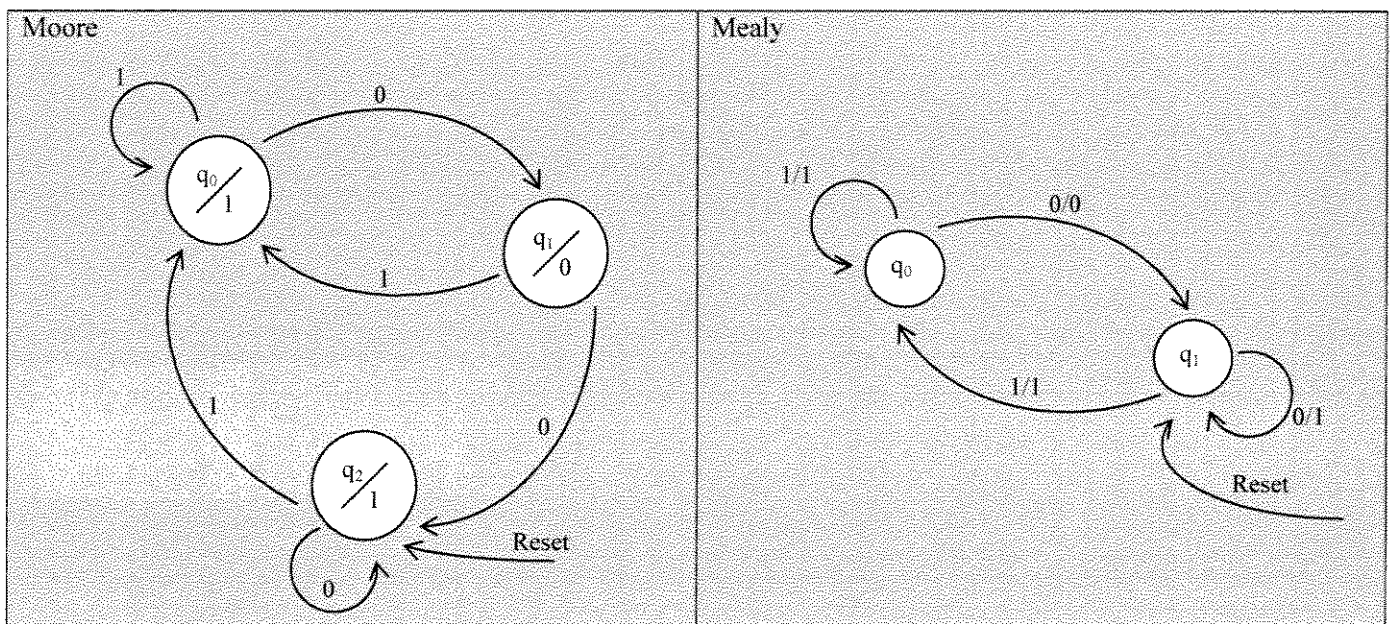
**Cuestión 5 (1,5 puntos)**

Se desea implementar un circuito secuencial síncrono capaz de detectar el cambio de nivel de una señal X de 'H' a 'L'. Para ello, el circuito que se debe diseñar, recibe una única entrada, la señal X, y debe activar una salida Z a nivel bajo durante, como máximo, el tiempo de un ciclo de reloj al detectar un flanco de bajada en X, manteniendo Z desactivada posteriormente hasta la aparición de un nuevo flanco.



1. Dibuje los grafos correspondientes a un autómata de Moore y de Mealy.

(0,5 pts.)



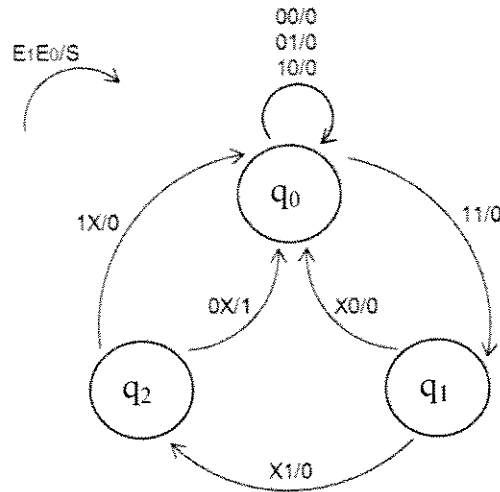
2. Indique las diferencias de funcionamiento que se observarían en Z al implementar ambos circuitos.

(0,3 pts.)

En el diseño de Moore la salida depende del estado  $q_i$  y cambia cuando cambia éste. Por tanto, la salida se activará (a nivel bajo) tras la llegada del flanco de bajada en la señal de entrada, coincidiendo con el flanco activo de la señal de reloj del sistema (CLK). La salida se mantendrá activada durante un periodo de CLK.

En el diseño de Mealy, sin embargo, la salida depende directamente de la entrada. Por ello, la salida se activará en el instante en el que se produzca el flanco de bajada de la señal de entrada (sin tener que coincidir necesariamente con los flancos de la señal de reloj). Se mantiene activada hasta que llegue el primer flanco de CLK posterior al cambio  $H \rightarrow L$  de la señal de entrada. Dicha activación durará por tanto como máximo un ciclo de reloj.

3. Dado el siguiente grafo, realice los pasos necesarios para la obtención de la función lógica de la salida Z (no es necesario que obtenga las funciones de las entradas de los biestables ni que implemente el circuito). **(0,7 ptos.)**



- Tabla de estados

Estado actual	Estado Futuro				S*			
	$E_1E_0=00$	$E_1E_0=01$	$E_1E_0=10$	$E_1E_0=11$	$E_1E_0=00$	$E_1E_0=01$	$E_1E_0=10$	$E_1E_0=11$
q <sub>0</sub>	q <sub>0</sub>	q <sub>0</sub>	q <sub>0</sub>	q <sub>1</sub>	0	0	0	0
q <sub>1</sub>	q <sub>0</sub>	q <sub>2</sub>	q <sub>0</sub>	q <sub>2</sub>	0	0	0	0
q <sub>2</sub>	q <sub>0</sub>	q <sub>0</sub>	q <sub>0</sub>	q <sub>0</sub>	1	1	0	0

- Codificación de estados y tabla codificada

Estado	Código	Estado actual	Estado Futuro				S			
			$E_1E_0=00$	$E_1E_0=01$	$E_1E_0=10$	$E_1E_0=11$	$E_1E_0=00$	$E_1E_0=01$	$E_1E_0=10$	$E_1E_0=11$
q <sub>0</sub>	00	00	00	00	00	01	0	0	0	0
q <sub>1</sub>	01	01	00	10	00	10	0	0	0	0
q <sub>2</sub>	10	10	00	00	00	00	1	1	0	0
		$Q_1Q_0$	$D_1D_0$	$D_1D_0$	$D_1D_0$	$D_1D_0$				

- Obtención de la función lógica de la salida

$Q_1Q_0 \backslash E_1E_0$	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	X	X	X	X
10	1	1	0	0

$$S = Q_1 \cdot \overline{E_1}$$

\* Por error tipográfico en el enunciado, la salida se denota simultáneamente como Z en el párrafo escrito y S en el grafo. Como es lógico, la utilización de ambas notaciones en la solución es correcta.