



PROBLEMAS DE ESTRUCTURA DE COMPUTADORES

MEMORIA

Memoria Cache

1.- Sea un computador con memoria cache con las características siguientes:

Memoria física de 32 KB

Memoria cache de direcciones físicas de 512 bytes con bloques de 128 bytes y emplazamiento directo

- Indicar el formato de la dirección para MP teniendo en cuenta las características de la MC
- Si en un momento dado los contenidos de la cache (en hexadecimal) son los indicados en la tabla. Expresar en hexadecimal el rango de direcciones físicas ubicadas en cada bloque de la memoria cache, es decir los bloques almacenados en la memoria cache de qué dirección a qué dirección están almacenados en memoria principal.
- Supongamos que un programa realiza la siguiente cadena de referencias indicad el número de aciertos que se producen: de 0x2080 a 0x209F, de 0x2880 a 0x289F y de 0x03F0 a 0x0410.

Etiqueta	Bloque
35	0
10	1
10	2
08	3

2.- Considerar una memoria principal de 32M bytes direccionable en bytes a la que se dota de una memoria cache con las siguientes características:

- Tamaño de 2K bytes
- Líneas de 256 bytes,
- Prebúsqueda bajo fallo (en caso de fallo se trae el bloque que lo provoca y el siguiente)
- Algoritmo de reemplazamiento FIFO.

Sea la secuencia de acceso a memoria principal dada por las siguientes direcciones: 0x0023FA, 0x0014A2, 0x003F02, 0x0040B1h, 0x005572 y 0x0023AA. Mostrar la evolución del directorio cache indicando los fallos (F), las prebúsquedas (P) y los aciertos (A) que se producen suponiendo:

- emplazamiento directo
- emplazamiento asociativo por conjuntos de 2 vías

3.- Disponemos de un computador de 32 bits con una memoria direccionable en bytes y dotado de una cache de 512 bytes. Cada bloque es de 16 bytes.

a) Si la cache es de organización directa, indique para la siguiente secuencia de referencias a memoria

si se trata de un acierto o un fallo: 0xA01, 0xB0F, 0x77A, 0x60F, 0xA70, 0xB01, 0xA7A, 0xA0B, 0x67A, 0xB7A, 0x071, 0x67F. Indique además qué fallos producen reemplazamiento.

b) Si la cache es asociativa por conjuntos con dos vías, con reemplazamiento LRU, indique para la misma secuencia de referencias del apartado anterior si se producen reemplazamientos

4.- Considerar un computador con una memoria principal de 64K bytes, direccionable en bytes, al que se dota de una memoria cache de 2K bytes, con líneas de 256 bytes, y prebúsqueda bajo fallo (en caso de fallo se trae el bloque que lo provoca y el siguiente).

Sea la secuencia de acceso a memoria principal dada por las siguientes direcciones: 0x3345, 0x14BF, 0x1584, 0x4021, 0x55AB y 0x41F1

Mostrar la evolución de la caché de etiquetas indicando los fallos y las prebúsquedas que se producen.

a) Una organización directa

b) Una organización asociativa por conjuntos de 2 vías, con algoritmo de reemplazo LRU

c) Una organización directa y un buffer de 512 bytes donde se almacena inicialmente el bloque prebuscado hasta que se le referencia. El buffer actúa con emplatzamiento asociativo y política FIFO.

5.- Considerar un computador con una memoria principal de 4MB, direccionable en bytes, al que se dota de una memoria cache de 4KB, con líneas de 512B, y cache de víctima de 1024B. La memoria cache tiene dos vías mientras que la cache víctima es completamente asociativa. Para ambas el algoritmo de reemplazamiento es FIFO.

Originalmente en las dos memorias se encuentran los bloques que aparecen en las siguientes tablas:

Conjunto	Etiqueta	FIFO
0	668	0
0	008	1
1	297	0
1	368	1
2	5FF	0
2	668	1
3	297	1
3	200	0

Etiqueta/ Conjunto de MP	FIFO
0A80	0
3FFF	1

Sea la secuencia de acceso a memoria principal dada por las siguientes direcciones: 0x334500, 0x14BF00, 0x150084, 0x004021, 0x0540AB y 0x0041F1

Mostrar la evolución de la caché de etiquetas indicando los fallos y las transferencias entre cache de víctima y cache.

6.- Considerar un computador con una memoria principal de 128MB, direccionable en bytes, al que se dota de una memoria cache de 1MB, con líneas de 256B, y cache de víctima de 1KB. La memoria cache tiene acceso directo, mientras que la cache víctima es completamente asociativa. Para ambas el algoritmo de reemplazamiento es FIFO.

Originalmente en las dos memorias se encuentran los bloques que aparecen en las siguientes tablas.

Sea la secuencia de acceso a memoria principal dada por las siguientes direcciones: 0x334500, 0x14BF00, 0x15BF00, 0x14BFFF, 0x402100, 0x55AB00, 0x41F100y 0x3345FF

Suponiendo la cache originalmente vacía mostrar la evolución de la caché de etiquetas indicando los fallos y las transferencias entre cache de víctima y cache.

11.- Considerar un computador con una memoria principal de 4MB, direccionable en bytes, al que se dota de una memoria cache de 2KB, con líneas de 512B. La memoria cache presenta emplazamiento directo.

Se quiere ejecutar el siguiente código:

```
for(i=0;i<1024;i++)  
    C[i]=A[i]-B[1023-i];
```

Los datos son enteros y están almacenados desde la dirección 0x200000

- a) ¿Cuántos fallos de cache se producen?
- b) ¿Cuántos fallos se producen si aplicamos fusión de arrays? ¿Importa el orden de la fusión?
- c) ¿Cuántos fallos se producen si aplicamos alargamientos de arrays? ¿Importa la cantidad "alargada"?

Memoria Virtual

12.- Sea una memoria cache asociativa virtualmente accedida físicamente marcada de 2^{10} bytes y grado de asociatividad 8 que utiliza direcciones de 32 bits. Sabiendo que la memoria principal se divide en bloque de 4 bytes y que el bus de direcciones virtuales y direcciones reales tiene el mismo tamaño.

- a) Cuántas páginas tiene un proceso virtual
- b) Cuántas bytes tiene una página
- c) Cuántos bloques una página

13.- Sea una memoria cache de emplazamiento directo virtualmente accedida físicamente marcada cuyo formato de dirección es el siguiente:

Formato dir cache		
Cache tag	Cache index	Byte select
63:4	3:2	1:0

- a) Cuál es el tamaño de esta memoria cache
- b) Cuál es el tamaño de las páginas de la memoria virtual
- c) Cómo se podría doblar el tamaño de la memoria cache sin modificar el formato de la dirección

14.- Sea un computador con memoria virtual paginada y memoria cache con las características siguientes:

- Memoria virtual de 32 páginas de 8 KB cada una, con traducción asociativa y reemplazamiento LRU

- Memoria física de 32 KB
- Memoria cache de direcciones físicas de 512 bytes, asociativa por conjuntos, con bloques de 128 bytes, 2 bloques por conjunto y reemplazamiento LRU.
- La política de actualización de la memoria principal es escritura directa sin asignación en escritura

- a) Indicar el formato de la dirección virtual y de la dirección física, esta última desde el punto de vista de la memoria virtual y de la memoria cache.
- b) Si en un momento dado los contenidos de la tabla de páginas y de la cache son los siguientes: Expresar en hexadecimal el rango de direcciones virtuales y físicas ubicadas en cada marco de página de la memoria principal, así como el rango de direcciones direcciones virtuales y físicas ubicadas en cada bloque de la memoria cache.
- c) Supongamos que un programa realiza la siguiente cadena de referencias virtuales (en hexadecimal): 08770, 02080-0209F, 02880-0289F, 0D3F0-0D410, 27000-2701F. (Las referencias subrayadas son para escritura, el resto para lectura). Calcular el tiempo total de acceso a memoria para satisfacer esa cadena de referencias, suponiendo que inicialmente los contenidos de la cache son los que se muestran en la tabla anterior. Indicar claramente como evolucionan los contenidos de la memoria principal y de la memoria cache (indicando las direcciones virtuales que se ubican en cada bloque y los cambios en las etiquetas), cuando se realiza la cadena de referencias anterior.

Tabla de páginas asociativa		Etiquetas en la cache		
Nº de página	Nº de marco	Etiqueta	Conjunto	Vía
06	3	23	0	0
01	0	47	0	1
04	2	73	1	0
0C	1	08	1	1

15.- Sea un sistema de memoria con las siguientes características:

- Memoria virtual paginada de 4GB, política de emplazamiento LRU
- Tamaño de página 2KB
- Memoria principal con 13 bits para la dirección
- Memoria cache de direcciones físicas 2048 bytes, con bloques de 256 bytes, asociativa por conjuntos con 4 bloques/cjto, política LRU

- a) Indicar el formato de la dirección virtual y de la dirección física, esta última desde el punto de vista de la memoria virtual y de la memoria cache.
- b) Se desea acceder a las siguientes direcciones: 55118FF8; 0A000000 y 11281276. Indicar si se produce algún fallo en la gestión de la memoria, los valores de las tablas al finalizar el acceso a cada una de las direcciones. Además indicar en los casos de fallo de página los bloques de memoria cache que se invalidarían.
- c) Si el computador accede a la dirección FFA34500 indicar el rango de direcciones correspondientes a su página en memoria virtual, el rango de direcciones correspondiente a su marco de página en memoria principal, el rango de direcciones correspondientes a su bloque en memoria principal y el rango de direcciones correspondientes a su marco de bloque en memoria cache (rango: dirección de comienzo y final de un conjunto). Las tablas se mantienen

con los valores obtenidos a la finalización del apartado b.

Nº de página	Marco	Edad	Conjunto	M.Bloque	Etiqueta	Edad
000001	0	0	0	0	F	0
1B0000	1	1		1	0	2
0AA231	2	3		2	B	3
100000	3	2		3	1	1
			1	0	A	1
				1	2	3
				2	1	2
				3	B	0

16.- Sea un computador con memoria virtual paginada, cada página tiene 1024 palabras, en memoria virtual tiene 8 páginas y la memoria física 4 marcos de página.

- Indicad el tamaño en bits de la dirección de memoria virtual y de la dirección de memoria física.
- Si la jerarquía tiene una memoria cache de 1024 palabras de acceso directo con 4 bloques de cache de direcciones virtuales, indicad que tamaño en bits tiene la etiqueta de cache.
- Qué valores de etiqueta de cache indicarían que algún bloque de la página virtual cero está en cache

Página virtual	Hit	Marco de página
0	1	3
1	1	1
2	0	0
3	0	0
4	1	2
5	0	0
6	1	0
7	0	0

Rendimiento

17.- Sea una memoria principal de 1 mega byte de tamaño dividida en bloques de 2 palabras, siendo cada palabra de 1 byte. Sabiendo que el sistema tiene una memoria cache asociativa por conjuntos de 2^8 bytes con un grado de asociatividad de $E=4$ y un tiempo de acceso de 10 ns:

- Nº de bits del bus de direcciones
- Nº de bloques por conjunto de la memoria cache
- Formato de las direcciones de memoria cache
- Calcula el tiempo medio de acceso a memoria y el ancho de banda sabiendo lo siguiente:
 - la tasa de fallos de la Mc es del 3 %,
 - el bus y la memoria son de 1 palabra y el acceso secuencial
 - se tarda 10ns en enviar la dirección, 80 ns en acceder al dato, 10 ns en enviar el dato

- e) Para poder implementar memoria virtual suponemos que el procesador genera direcciones de 64 bits. ¿cuál es el formato de la dirección virtual si quisiéramos implementar una cache virtualmente accedida físicamente marcada.

18.- Sea una memoria principal de 2^{64} bytes y una memoria cache de 2^6 bytes. Sabiendo que la memoria principal tiene unos tiempos de acceso de 150 ns la memoria cache unos tiempos de acceso de 8 ns, sabiendo que la MP se divide en 2^{62} bloques

- formato de la dirección cache para la política de emplazamiento directo
- formato para la política de emplazamiento totalmente asociativo
- Formato para la política de emplazamiento asociativa por conjunto sabiendo que es una memoria cache de 4 vías.
- Tiempo medio de acceso a memoria y ancho de banda sabiendo que la tasa de fallos es del 8%. Suponemos el bus y la memoria son de 1 byte y el acceso a los datos secuencial, el tiempo que se tarda en enviar la dirección es de 25 ns, el tiempo que se tarda en acceder al dato son 100ns, el tiempo que se tarda en enviar el dato son 25 ns
- Tiempo medio de acceso a memoria y ancho de banda sabiendo que la tasa de fallos es del 8%. Suponemos el bus y la memoria son de 4 byte y el acceso a los datos en paralelo, el tiempo que se tarda en enviar la dirección es de 25 ns, el tiempo que se tarda en acceder al dato son 100ns, el tiempo que se tarda en enviar el dato son 25 ns
- Tiempo medio de acceso a memoria y ancho de banda sabiendo que la tasa de fallos es del 8%. anchura de bus de 1 palabra, la memoria esta organizada en 4 módulos de 1 palabra entrelazados. El acceso se realiza en paralelo a los cuatro módulos. el tiempo que se tarda en enviar la dirección es de 25 ns, el tiempo que se tarda en acceder al dato son 100ns, el tiempo que se tarda en enviar el dato son 25 ns
- Sabiendo que el tamaño de dirección virtual es el mismo que de dirección real y que una página es de 32k palabras. Formato de la dirección virtual.
- suponiendo que la memoria virtual se implementa mediante una tabla de direcciones directa ¿Cuántas posiciones de memoria se deberían reservar para la tabla suponiendo un proceso de tamaño máximo?

19.- Sea la siguiente jerarquía de memoria

- una memoria cache que tiene unos tiempos de acceso de 20ns, bloques de 8 bytes y una tasa de fallos del 1%
- una memoria principal con tiempos de acceso total para 4 bytes de 200ns y una tasa de fallos del 0,001%
- el ancho de bus entre mc y mp es de 4 bytes,
- una memoria secundaria con un tiempo promedio de acceso a una posición 1 millón de ns y el tiempo de acceso un byte de 10ns
- Un sistema de memoria virtual paginada con página de 512 bytes
 - tiempo de acceso medio a memoria cache
 - tiempo medio de acceso a la memoria virtual
 - tiempo medio de acceso de la jerarquía
- tiempo medio de acceso a la memoria virtual
 - tiempo medio de acceso de la jerarquía

20.- Sea un sistema con las siguientes características:

Un procesador con un

- CPI ideal de 1
- 35 % de las instrucciones de acceso a memoria

Una Cache

- 64 kb
- Unificada
- Emplazamiento directo, postescritura, bit sucio y asignación en escritura
- Líneas de 8 bytes
- 25% de las líneas modificadas
- Tasa de fallos =0,021
- direcciones físicas

Memoria principal

- Latencia de 60 ciclos
- Tasa de transferencia de bloques 4 bytes/ciclo

TLB

- Tasas de fallos 0,03
- Penalización 7 ciclos

a) Calcular el CPI real del sistema.

b) suponer que al sistema anterior se le añade una cache de segundo nivel con las siguientes características:

- 1Mb
- Unificada
- Asociativa por conjuntos E=2, escritura directa sin asignación en escritura
- La latencia de acceso a l2 son 20 ciclos.
- Líneas de 64 bytes
- Tasa de transferencia con MP 16 bytes/ciclo
- Tasa de transferencia con L1 4 bytes/ciclo
- Tasa de fallos local 0,2
- De las instrucciones que llegan a L2 el 80% son de lectura y el 20% de escritura
- Además las caches utilizan direccionamiento virtual y los valores de la tasa de fallos y la penalización de la TLB son los mismos

c) indicar cuál de las dos organizaciones es mejor