

Problema 1

Como se observa en la tabla siguiente, para que todas las instrucciones hayan sido lanzadas a ejecución y solo la primera se haya ejecutado completamente, es necesario que las instrucciones de LOAD tengan una latencia de 6 ciclos

Inst		Issue(Se lanza a)		Execute	Write
I1: LD	F6,x(R1)	1	Load1	2-7	8
I2: LD	F2,y(R1)	2	Load2	3-8	9
I3: MULTD	F0,F2,F4	3	Mul1	10-?	
I4: SUBD	F8,F6,F2	4	Add1	10-?	
I5: DIVD	F6,F0,F6	5	Mul2		
I6: ADDD	F10,F0,F6	6	Add2		
I7: ADDD	F6,F8,F2	7	Add3		
I8: SD	z(R1),F6	8	Store1		

Problema 1 (cont.): Ciclo 1

Se lanza: LD F6,x(R1)

Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
	Add1	No					
	Add2	No					
	Add3	No					
	Mul1	No					
	Mul2	No					

Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi				Load1					
Vi									

Load Buffers

Instr alojada		Busy	Dirección
I1	Load1	Yes	X + R1
	Load2	No	
	Load3	No	

Store Buffers

Instr alojada		Busy	Dirección	Qi	Vi
	Store1	No			
	Store2	No			
	Store3	No			

Problema 1 (cont.): Ciclo 2

Se lanza: LD F2,y(R1)

Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
	Add1	No					
	Add2	No					
	Add3	No					
	Mul1	No					
	Mul2	No					

Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi		Load2		Load1					
Vi									

Load Buffers

Instr alojada		Busy	Dirección
I1	Load1	Yes	X + R1
I2	Load2	Yes	Y + R1
	Load3	No	

Store Buffers

Instr alojada		Busy	Dirección	Qi	Vi
	Store1	No			
	Store2	No			
	Store3	No			

Problema 1 (cont.): Ciclo 3

Se lanza: MULTD F0,F2,F4

Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
	Add1	No					
	Add2	No					
	Add3	No					
I3	Mul1	Yes	Mul		Load2	[F4]	
	Mul2	No					

Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi	Mul1	Load2		Load1					
Vi									

Load Buffers

Instr alojada		Busy	Dirección
I1	Load1	Yes	X + R1
I2	Load2	Yes	Y + R1
	Load3	No	

Store Buffers

Instr alojada		Busy	Dirección	Qi	Vi
	Store1	No			
	Store2	No			
	Store3	No			

Problema 1 (cont.): Ciclo 4

Se lanza: SUBD F8,F6,F2

Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
I4	Add1	Yes	Sub		Load1		Load2
	Add2	No					
	Add3	No					
I3	Mul1	Yes	Mul		Load2	[F4]	
	Mul2	No					

Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi	Mul1	Load2		Load1	Add1				
Vi									

Load Buffers

Instr alojada		Busy	Dirección
I1	Load1	Yes	X + R1
I2	Load2	Yes	Y + R1
	Load3	No	

Store Buffers

Instr alojada		Busy	Dirección	Qi	Vi
	Store1	No			
	Store2	No			
	Store3	No			

Problema 1 (cont.): Ciclo 5

Se lanza: DIVD F6,F0,F6

Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
I4	Add1	Yes	Sub		Load1		Load2
	Add2	No					
	Add3	No					
I3	Mul1	Yes	Mul		Load2	[F4]	
I5	Mul2	Yes	Div		Mul1		Load1

Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi	Mul1	Load2		Load1 Mul2	Add1				
Vi									

Load Buffers

Instr alojada		Busy	Dirección
I1	Load1	Yes	X + R1
I2	Load2	Yes	Y + R1
	Load3	No	

Store Buffers

Instr alojada		Busy	Dirección	Qi	Vi
	Store1	No			
	Store2	No			
	Store3	No			

Problema 1 (cont.): Ciclo 6

Se lanza: ADDD F10,F0,F6

Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
I4	Add1	Yes	Sub		Load1		Load2
I6	Add2	Yes	Add		Mul1		Mul2
	Add3	No					
I3	Mul1	Yes	Mul		Load2	[F4]	
I5	Mul2	Yes	Div		Mul1		Load1

Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi	Mul1	Load2		Mul2	Add1	Add2			
Vi									

Load Buffers

Instr alojada		Busy	Dirección
I1	Load1	Yes	X + R1
I2	Load2	Yes	Y + R1
	Load3	No	

Store Buffers

Instr alojada		Busy	Dirección	Qi	Vi
	Store1	No			
	Store2	No			
	Store3	No			

Problema 1 (cont.): Ciclo 7

Se lanza: ADDD F6,F8,F2

Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
I4	Add1	Yes	Sub		Load1		Load2
I6	Add2	Yes	Add		Mul1		Mul2
I7	Add3	Yes	Add		Add1		Load2
I3	Mul1	Yes	Mul		Load2	[F4]	
I5	Mul2	Yes	Div		Mul1		Load1

Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi	Mul1	Load2		Mul2 Add3	Add1	Add2			
Vi									

Load Buffers

Instr alojada		Busy	Dirección
I1	Load1	Yes	X + R1
I2	Load2	Yes	Y + R1
	Load3	No	

Store Buffers

Instr alojada		Busy	Dirección	Qi	Vi
	Store1	No			
	Store2	No			
	Store3	No			

Problema 1 (cont.): Ciclo 8 Se lanza: SD z(R1),F6 Acaba: LD F6,x(R1)

Estaciones de Reserva

Instr alojada	Nombre ER	Busy	Ope.	Vj	Qj	Vk	Qk
I4	Add1	Yes	Sub	[F6]			Load2
I6	Add2	Yes	Add		Mul1		Mul2
I7	Add3	Yes	Add		Add1		Load2
I3	Mul1	Yes	Mul		Load2	[F4]	
I5	Mul2	Yes	Div		Mul1	[F6]	

Registros

	F0	F2	F4	F6	F8	F10	F12	F14	F16
Qi	Mul1	Load2		Add3	Add1	Add2			
Vi									

Load Buffers

Instr alojada		Busy	Dirección
I1	Load1	No	
I2	Load2	Yes	Y + R1
	Load3	No	

Store Buffers

Instr alojada		Busy	Dirección	Qi	Vi
I8	Store1	Yes	Z + R1	Add3	
	Store2	No			
	Store3	No			

Problema 3.

Para ver la ocupación de ER desarrollamos algunas iteraciones. Con las que están a continuación se llega a producir un comportamiento repetitivo, por lo que no hace falta desarrollar más.

Símbolos:

- * Riesgo estructural por acceso a memoria
- \$ Dependencia verdadera (LDE)
- + Riesgo estructural por uso del CDB

				ER ocupadas		
ITERACIÓN 1	ISSUE	EXECUTE	WRITE	Load	Store	Add
LD F2, X(R1)	1	2-3	4	1	0	0
LD F4, Y (R1)	2	4-5 *	6	2	0	0
ADDD F4,F2,F4	3	7-9 \$	10	2	0	1
SD Y(R1), F4	4	11-12 \$	--	2	1	1
BNEZ R1,loop	5	6	--	1	1	1
SUB R1,R1,#8	6	7	8	1	1	1
ITERACIÓN 2				Load	Store	Add
LD F2, X(R1)	7	9-10 \$	11	1	1	1
LD F4, Y (R1)	8	11-12 *	13	2	1	1
ADDD F4,F2,F4	9	14-16 \$	17	2	1	2
SD Y(R1), F4	10	18-19 \$	--	2	2	2
BNEZ R1,loop	11	12	--	2	2	1
SUB R1,R1,#8	12	13	14	1	2	1
IT 3				Load	Store	Add
LD F2, X(R1)	13	15-17 \$+	18	2	1	1
LD F4, Y (R1)	14	18-19 *	20	2	1	1
ADDD F4,F2,F4	15	21-23 \$	24	2	1	2
SD Y(R1), F4	16	25-26 \$	--	2	2	2
BNEZ R1,loop	17	18	--	2	2	2
SUB R1,R1,#8	18	19-20 +	21	2	2	1
IT 4				Load	Store	Add
LD F2, X(R1)	19	22-24 \$+	25	2	2	1
LD F4, Y (R1)	20	25-26 *	27	3	1	1
ADDD F4,F2,F4	21	28-30 \$	31	2	1	2
SD Y(R1), F4	22	32-33 \$	--	2	2	2
BNEZ R1,loop	23	24	--	2	2	2
SUB R1,R1,#8	24	25	26	2	2	2

IT 5				Load	Store	Add
LD F2, X(R1)	25	27-28 \$	29	3	2	1
LD F4, Y (R1)	26	29-31 *+	32	3	2	1
ADDD F4,F2,F4	27	33-35 \$	36	3	1	2
SD Y(R1), F4	28	37-38 \$	--	2	2	2
BNEZ R1,loop	29	30	--	2	2	2
SUB R1,R1,#8	30	31-32 +	33	1	2	2
IT 6				Load	Store	Add
LD F2, X(R1)	31	34-36 \$+	37	2	2	2
LD F4, Y (R1)	32	37-38 *	39	3	2	1
ADDD F4,F2,F4	33	40-42 \$	43	2	2	2
SD Y(R1), F4	34	44-45 \$	--	2	2	2
BNEZ R1,loop	35	36	--	2	2	2
SUB R1,R1,#8	36	37	38	2	2	2
IT 7				Load	Store	Add
LD F2, X(R1)	37	39-40 \$	41	3	2	1
LD F4, Y (R1)	38	41-43 *+	44	3	2	1
ADDD F4,F2,F4	39	45-47 \$	48	3	1	2
SD Y(R1), F4	40	49-50 \$	--	2	2	2
BNEZ R1,loop	41	42	--	2	2	2
SUB R1,R1,#8	42	43-44 +	45	1	2	2
IT 8				Load	Store	Add
LD F2, X(R1)	43	46-48 \$+	49	2	2	2
LD F4, Y (R1)	44	49-50 *	51	3	2	1
ADDD F4,F2,F4	45	52-54 \$	55	2	2	2
SD Y(R1), F4	46	56-57 \$	--	2	2	2
BNEZ R1,loop	47	48	--	2	2	2
SUB R1,R1,#8	48	49	50	2	2	2

En la iteración 7 todo ocurre igual que en la 5, pero 12 ciclos más tarde. Lo mismo ocurre en la 8, donde todo ocurre igual que en la 6, pero 12 ciclos más tarde. Luego, como las circunstancias en que arranca la iteración 9, son las mismas que cuando arrancó la 7 se volverá a repetir el comportamiento, y análogamente para todas las impares 11, 13, etc. Lo mismo se puede razonar para las iteraciones pares.

En consecuencia, las instrucciones se lanzan a razón de un por ciclo de reloj → CPI = 1

Nota adicional: Para hacerse una idea del comportamiento bastaría con desarrollar las 3 primeras iteraciones. Cuando comienza la 4ª iteración (ciclo 19) están totalmente finalizadas las 2 primeras. Luego el nº máximo de iteraciones vivas es 2. Por tanto podrían ser necesarios como máximo 2x2 LB, 2x1 ER de la suma y 2x1 SB. Solo hay 3 LB, pero hay que tener en cuenta que cuando se lanza el primer LD de la 4ª iteración, ya se vacía un LB de la 3ª iteración.

Cálculo del tiempo de ejecución (no se sabe el nº de iteraciones):

$$T = n^{\circ} \text{ ciclos} \times t_c = n^{\circ} \text{ ciclos} / f$$

$$n^{\circ} \text{ ciclos} = (n^{\circ} \text{ iteraciones} \times 6) \text{ ciclos}; f = 10^9 \text{ ciclos/s}$$

$$T = [(n^{\circ} \text{ iteraciones} \times 6) \text{ ciclos}] / (10^9 \text{ ciclos/s}) = n^{\circ} \text{ iteraciones} \times 6 \times 10^{-9} \text{ s}$$

Cálculo del rendimiento en MFLOPS

En cada iteración se hace una operación en PF.

$$\text{Rendimiento} = 1 \text{ FLOP} / \text{iteración} = 1/6 \text{ FLOP/ciclo}$$

Pasamos a FLOP/s:

$$1/6 \text{ FLOP/ciclo} = (1/6 \text{ FLOP/ciclo}) \times (10^9 \text{ ciclos/s}) = 10^9 / 6 \text{ FLOP/s}$$

$$\text{Pasamos a MFLOPS: } (10^9 \times 10^{-6}) / 6 = 166 \text{ MFLOPS}$$

Problema 4.

Símbolos:

- * Riesgo estructural por acceso a memoria
- \$ Dependencia verdadera (LDE)

				ER ocupadas		
ITERACIÓN 1	ISSUE	EXECUTE	WRITE	Load	Store	Add
loop: SUB R1,R1,#4	1	2	3	0	0	0
LD F0, y (R1)	2	4-6 \$	7	1	0	0
LD F2, z (R1)	3	5-7 *	8	2	0	0
LD F4, t (R1)	4	6-8 *	9	3	0	0
ADDD F6,F4,F0	5	10-13 \$	14	3	0	1
ADDD F8,F2,F0	6	9-12 \$	13	3	0	2
ADDD F6,F6,F8	7	15-18 \$	19	3	0	3
BNEZ R1, loop	8	9	--	2	0	3
SD x (R1), F6	9	20-22 \$	--	1	1	3
ITERACIÓN 2				Load	Store	Add
loop: SUB R1,R1,#4	10	11	12	0	1	3
LD F0, y (R1)	11	13-15 \$	16	1	1	3
LD F2, z (R1)	12	14-16 *	17	2	1	3
LD F4, t (R1)	13	15-17 *	18	3	1	3
ADDD F6,F4,F0	14	19-22 \$	23	3	1	3
ADDD F8,F2,F0	15	18-21 \$	22	3	1	3
ADDD F6,F6,F8	16	24-27 \$	28	3	1	4
BNEZ R1, loop	17	18	--	2	1	4
SD x (R1), F6	18	29-31 \$	--	1	2	4
ITERACIÓN 3				Load	Store	Add
loop: SUB R1,R1,#4	19	20	21	0	2	4
LD F0, y (R1)	20	22-24 \$	25	1	2	3
LD F2, z (R1)	21	23-25 *	26	2	2	3
LD F4, t (R1)	22	24-26 *	27	3	2	3
ADDD F6,F4,F0	23	28-31 \$	32	3	1	3
ADDD F8,F2,F0	24	27-30 \$	31	3	1	3
ADDD F6,F6,F8	25	33-36 \$	37	3	1	4
BNEZ R1, loop	26	27	--	2	1	4
SD x (R1), F6	27	38-40 \$	--	1	2	4

Observar:

Al terminar la tercera iteración la ocupación de ER es la misma que al terminar la segunda, solo que 9 ciclos más tarde. La ejecución de las instrucciones en la 3ª iteración sigue la misma pauta que en la segunda.

Luego:

En la 4ª iteración y siguientes, todo transcurrirá como en la 3ª, con 9 ciclos de retardo en cada iteración. Por lo tanto basta con tener 3 Load Buffers, 2 Store Buffers y 4 ER de la suma.

Rendimiento

3 FLOP por cada iteración → 3 FLOP / 9 ciclos

$$R = \frac{3 \text{ FLOP} \times 1.2 \times 10^9 \frac{\text{ciclos}}{s}}{9 \text{ ciclos}} = \frac{3600 \times 10^6 \text{ FLOP}}{9 \frac{s}{s}} = 400 \text{ MFLOPS}$$